

# V25<sup>TM</sup>, V35<sup>TM</sup>

16/8, 16ビット・シングルチップ・マイクロコンピュータ

μPD70320

μPD70322

μPD70330

μPD70332

μPD70P322

# V25<sup>TM</sup>, V35<sup>TM</sup>

16/8, 16ビット・シングルチップ・マイクロコンピュータ

$\mu$ PD70320

$\mu$ PD70322

$\mu$ PD70330

$\mu$ PD70332

$\mu$ PD70P322

V20<sup>TM</sup>, V25<sup>TM</sup>, V30<sup>TM</sup>, V35<sup>TM</sup>は日本電気株式会社の商標です。

○本資料の内容は、後日変更する場合があります。

○文書による当社の承諾なしに本資料の転載複製を禁じます。

○この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。

○当社は、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療用機器など極めて高い信頼性が要求される「特定」用途に推奨できる製品を標準的には用意しておりません。当社製品を「特定」用途にご使用をお考えのお客様、および、「標準」品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。

#### 当社推奨の用途例

標準：電算機、事務器、通信機器(端末、移動体)、計測機器、AV機器、家電、産業用ロボット等

特別：自動車電装、列車制御、通信機器(幹線)、交通信号制御、燃焼制御、防災・防犯装置等

○この製品は耐放射線設計をしておりません。



本版で改訂された主な箇所

| 箇 所              | 内 容                                                 |
|------------------|-----------------------------------------------------|
| p. 3             | 1.2 オーダ情報 品名追加, 品質水準追加                              |
| p. 23            | 2.2.1(2)コントロールモード CLKOUT に対する記述を追加                  |
| p. 43<br>p. 52   | 3.1.5, 3.4.2 内部データ領域ベース・レジスタ I D B<br>アクセスに関する記述を追加 |
| p. 54<br>p. 188  | 表 3-4, 1.1.6.1 SCE0, SCE1 の RESET 時の値<br>修正         |
| p. 63            | 図 4-2 割り込み受け付けの動作 修正                                |
| p. 92            | 4.1.4 ハードウェア割り込みの応答時間 追加                            |
| p. 104, 112      | 図 5-3, 図 5-4 READY 端子によるウェイト 修正                     |
| p. 104<br>p. 112 | 5.5 バス・タイミング, 6.4 DMA タイミング タイミン<br>グ図のウェイト・ステートを修正 |
| p. 188           | 図 11-4 SCC0, SCC1 修正                                |
| p. 195           | 1.2.3.1 STOP モードの解除 インターバル時間の記述を<br>追加              |
| p. 628           | 付録 F シリアル送信中の送信禁止操作による送信データ<br>抜けに関する制限事項 追加        |
| p. 631           | 付録 G 割り込みの優先順位と処理順位に関する制限事項<br>追加                   |

巻末にアンケート・コーナーを設けております。このドキュメントに対する  
ご意見をお気軽にどうぞお寄せください。

## は じ め に

- 対 象 者** このマニュアルは、 $\mu$ PD70322, 70332 (別名称V25<sup>TM</sup>, V35<sup>TM</sup>)の機能を理解し、それを用いたアプリケーション・システムを設計するユーザのエンジニアを対象とします。
- 目 的** このマニュアルは、次の構成に示す $\mu$ PD70322, 70332の持つハードウェア機能をユーザに理解していただくことを目的とします。
- 構 成** このマニュアルは、大きく分けて次の内容で構成しております。
- ・ 概 説
  - ・ 端子機能
  - ・ 内部CPU機能
  - ・ 内部周辺デバイス
  - ・ スタンバイ機能
  - ・ リセット機能
  - ・ 命令の説明
- 読 み 方** このマニュアルの読者には、電気、論理回路、マイクロコンピュータの一般知識を必要とします。なお、このマニュアルでは、 $\mu$ PD70322, 70332という製品名を、V25, V35の名称に統一して説明してあります。
- $\mu$ PD70108, 70116 (別名称V20<sup>TM</sup>, V30<sup>TM</sup>)をすでに経験しているユーザ
- V25, V35は、V20, V30のネイティブ・モードの命令と互換性があります。
- ハードウェアに関する説明と 15.1  $\mu$ PD70108, 70116に対する追加命令でソフトウェアの違いを確認し、それらの説明を中心にお読みください。
- 命令モニタリングを調べたいとき
- 付録A 命令モニタリング・リストを利用してください。
- モニタリングが分かっている命令の機能を調べたいとき
- 付録B 命令索引(アルファベット順)を利用してください。
- 一通りV25, V35の機能を理解しようとするとき
- 目次に従ってお読みください。

|   |   |              |                                                 |
|---|---|--------------|-------------------------------------------------|
| 凡 | 例 | データ表記の重み     | : 左が上位桁, 右が下位桁                                  |
|   |   | アクティブ・ロウの表記  | : <u>XXX</u> (端子, 信号名称の上に上線)                    |
|   |   | メモリ・マップのアドレス | : 上部 - 下位, 下部 - 上位                              |
|   |   | 注            | : 本文中につけた注の説明                                   |
|   |   | 注 意          | : 気をつけて読んでいただきたい内容                              |
|   |   | 備 考          | : 本文の補足説明                                       |
|   |   | 数の表記         | : 2進数…XXXX または XXXXB<br>10進数…XXXX<br>16進数…XXXXH |

## 目 次 要 約

|       |                                            |
|-------|--------------------------------------------|
| 第 1 章 | 概 説 … 1                                    |
| 第 2 章 | 端子機能 … 15                                  |
| 第 3 章 | 内部CPU機能 … 38                               |
| 第 4 章 | 割り込み機能 … 59                                |
| 第 5 章 | バス制御 … 98                                  |
| 第 6 章 | DMAコントローラ … 135                            |
| 第 7 章 | ポート機能 … 150                                |
| 第 8 章 | クロック発生回路 … 160                             |
| 第 9 章 | タイマ・ユニット … 163                             |
| 第10章  | タイム・ベース・カウンタ … 173                         |
| 第11章  | シリアル・インタフェース … 175                         |
| 第12章  | スタンバイ機能 … 192                              |
| 第13章  | リセット機能 … 197                               |
| 第14章  | アドレス生成 … 199                               |
| 第15章  | 命令の説明 … 208                                |
| 第16章  | 動作状態の遷移 … 611                              |
| 付 録 A | 命令モニタック・リスト … 614                          |
| 付 録 B | 命令索引(アルファベット順) … 618                       |
| 付 録 C | ハードウェア索引(アルファベット順) … 623                   |
| 付 録 D | マクロ・サービスとINTの競合に関する制限事項 … 624              |
| 付 録 E | MOVSPA命令の使用上の注意事項 … 625                    |
| 付 録 F | シリアル送信中の送信禁止操作による送信データ抜けに関する制限<br>事項 … 628 |
| 付 録 G | 割り込み優先順位と処理順序に関する注意事項 … 631                |



# 目 次

## 第1章 概 説 … 1

- 1.1 特 徴 … 2
- 1.2 オータ情報と品質水準 … 3
  - 1.2.1 オータ情報 … 3
  - 1.2.2 品質水準 … 4
- 1.3 端子接続図(Top View) … 5
- 1.4 内部ブロック図 … 13

## 第2章 端子機能 … 15

- 2.1 端子機能一覧 … 15
  - 2.1.1  $\mu$ PD70322, 70320, 70P322 (V25モード) … 15
  - 2.1.2  $\mu$ PD70332, 70330, 70P322 (V35モード) … 18
  - 2.1.3  $\mu$ PD70P322 (EPROMプログラミング・モード) … 21
  - 2.1.4 各モードにおける端子状態 … 22
- 2.2 各端子の機能説明 … 23
  - 2.2.1 P00-P07 (Port 0) … 23
  - 2.2.2 P10-P17 (Port 1) … 24
  - 2.2.3 P20-P27 (Port 2) … 26
  - 2.2.4 PT0-PT7 (Port with Comparator 0-7) … 27
  - 2.2.5  $V_{TH}$  (Threshold Voltage) … 27
  - 2.2.6  $TxD0$ ,  $TxD1$  (Transmit Data 0,1) … 28
  - 2.2.7  $RxD0$ ,  $RxD1$  (Recieve Data 0,1) … 28
  - 2.2.8  $\overline{CTS0}$  (Clear to Send 0) … 28
  - 2.2.9  $\overline{CTS1}$  (Clear to Send 1) … 28
  - 2.2.10  $\overline{RESET}$  (Reset) … 28
  - 2.2.11  $\overline{EA}$  (External Access) … 29
  - 2.2.12 X1, X2 (Crystal) … 29
  - 2.2.13 D0-D15 (Data Bus 0-15) … 29
  - 2.2.14 A0-A19 (Address Bus 0-19) … 29
  - 2.2.15  $\overline{MREQ}$  (Memory Request) … 30
  - 2.2.16  $\overline{MSTB}$  (Memory Strobe) … 30
  - 2.2.17  $R/\overline{W}$  (Read/Write Strobe) … 30
  - 2.2.18  $\overline{REFRQ}$  (Refresh Request) … 30
  - 2.2.19  $\overline{IOSTB}$  (I/O Strobe) … 30
  - 2.2.20  $V_{DD}$  (Power Supply) … 30
  - 2.2.21 GND (Ground) … 31
  - 2.2.22  $V25/\overline{V35}$  (V25 Mode/ $\overline{V35}$  Mode) … 31
  - 2.2.23  $\overline{PROG}$  (Program) … 31
  - 2.2.24  $\overline{UBE}$  (Upper Byte Enable) … 31

|        |                                        |      |
|--------|----------------------------------------|------|
| 2.3    | 端子の入出力回路                               | … 32 |
| 2.4    | 未使用端子の処理                               | … 35 |
| <br>   |                                        |      |
| 第3章    | 内部CPU機能                                | … 38 |
| <br>   |                                        |      |
| 3.1    | レジスタ                                   | … 38 |
| 3.1.1  | レジスタ・バンク                               | … 38 |
| 3.1.2  | 汎用レジスタ (AW, BW, CW, DW)                | … 41 |
| 3.1.3  | ポインタ (SP, BP) とインデックス・レジスタ (IX, IY)    | … 41 |
| 3.1.4  | セグメント・レジスタ (PS, SS, DS 0, DS 1)        | … 42 |
| 3.1.5  | 内部データ領域ベース・レジスタ (IDB)                  | … 43 |
| 3.1.6  | 特殊機能レジスタ                               | … 43 |
| 3.2    | プログラム・カウンタ (PC)                        | … 44 |
| 3.3    | プログラム・ステータス・ワード (PSW)                  | … 44 |
| 3.3.1  | CY (Carry Flag)                        | … 45 |
| 3.3.2  | P (Parity Flag)                        | … 46 |
| 3.3.3  | AC (Auxiliary Flag)                    | … 46 |
| 3.3.4  | Z (Zero Flag)                          | … 46 |
| 3.3.5  | S (Sign Flag)                          | … 46 |
| 3.3.6  | V (Overflow Flag)                      | … 46 |
| 3.3.7  | IBRK (I/O Break Flag)                  | … 47 |
| 3.3.8  | BRK (Break Flag)                       | … 47 |
| 3.3.9  | IE (Interrupt Enable Flag)             | … 47 |
| 3.3.10 | DIR (Direction Flag)                   | … 48 |
| 3.3.11 | RB 0 - RB 2 (Register Bank 0 - 2 Flag) | … 48 |
| 3.3.12 | F 0, F 1 (User Flag 0, 1 Flag)         | … 48 |
| 3.4    | メモリ空間                                  | … 49 |
| 3.4.1  | 内部データ領域                                | … 51 |
| 3.4.2  | 内部データ領域ベース・レジスタ (IDB)                  | … 52 |
| 3.4.3  | 特殊機能レジスタ領域                             | … 52 |
| 3.4.4  | 内蔵RAM領域                                | … 55 |
| 3.4.5  | ベクタ・テーブル領域                             | … 56 |
| 3.4.6  | 外部メモリ領域                                | … 57 |
| 3.4.7  | 内蔵ROM領域                                | … 57 |
| 3.5    | I/O空間                                  | … 58 |
| <br>   |                                        |      |
| 第4章    | 割り込み機能                                 | … 59 |
| <br>   |                                        |      |
| 4.1    | 割り込みコントローラ                             | … 59 |
| 4.2    | 割り込み要因                                 | … 59 |
| 4.3    | 優先順位制御                                 | … 61 |
| 4.3.1  | 多重割り込みの優先順位制御                          | … 61 |
| 4.3.2  | 同時に割り込みが発生したときの優先順位制御                  | … 62 |
| 4.4    | 割り込み応答方式                               | … 63 |
| 4.4.1  | ベクタ割り込み                                | … 63 |
| 4.4.2  | レジスタ・バンク切り替え機能                         | … 64 |
| 4.4.3  | マクロ・サービス機能                             | … 70 |
| 4.4.4  | マクロ・サービス制御レジスタ                         | … 72 |

|        |                                            |    |
|--------|--------------------------------------------|----|
| 4.5    | NMI (Non-Maskable Interrupt)               | 74 |
| 4.6    | INT (Interrupt)                            | 75 |
| 4.7    | 割り込み要求レジスタ                                 | 76 |
| 4.8    | 割り込みプライオリティ・レジスタ(ISPR)                     | 78 |
| 4.9    | 外部割り込み                                     | 79 |
| 4.9.1  | 外部割り込みモード・レジスタ(INTM)                       | 79 |
| 4.9.2  | 外部割り込み要求制御レジスタ(EXIC0, EXIC1, EXIC2)        | 80 |
| 4.9.3  | 外部割り込みマクロ・サービス制御レジスタ<br>(EMS0, EMS1, EMS2) | 80 |
| 4.10   | ソフトウェアによる割り込み                              | 81 |
| 4.10.1 | 一般のソフトウェア割り込み                              | 81 |
| 4.10.2 | 入出力命令割り込み                                  | 82 |
| 4.10.3 | FPO 命令割り込み                                 | 83 |
| 4.11   | 割り込みが受け付けられないタイミング                         | 84 |
| 4.12   | ブロック処理命令実行中の割り込み処理                         | 84 |
| 4.13   | 割り込みの受け付け方                                 | 85 |
| 4.14   | ハードウェア割り込みの応答時間                            | 92 |
| 4.14.1 | V25の割り込み応答時間(システム・クロック数)                   | 92 |
| 4.14.2 | V25のNMI応答時間(システム・クロック数)                    | 93 |
| 4.14.3 | V25のINT応答時間(システム・クロック数)                    | 94 |
| 4.14.4 | V35の割り込み応答時間(システム・クロック数)                   | 95 |
| 4.14.5 | V35のNMI応答時間(システム・クロック数)                    | 96 |
| 4.14.6 | V35のINT応答時間(システム・クロック数)                    | 97 |

## 第5章 バス制御 … 98

|       |                      |     |
|-------|----------------------|-----|
| 5.1   | プログラマブル・ウェイト機能       | 102 |
| 5.2   | バス・ホールド機能            | 120 |
| 5.3   | リフレッシュ機能             | 121 |
| 5.3.1 | リフレッシュ・モード・レジスタ(RFM) | 121 |
| 5.3.2 | 疑似 SRAM との接続         | 124 |
| 5.3.3 | DRAM との接続            | 125 |
| 5.4   | バス使用权                | 126 |
| 5.5   | バス・タイミング             | 127 |

## 第6章 DMA コントローラ … 135

|       |                               |     |
|-------|-------------------------------|-----|
| 6.1   | 端子機能                          | 135 |
| 6.2   | DMA 動作                        | 135 |
| 6.3   | DMA の制御のためのレジスタ               | 138 |
| 6.3.1 | DMA モード・レジスタ(DMAM0, DMAM1)    | 138 |
| 6.3.2 | DMA コントロール・レジスタ(DMAC0, DMAC1) | 139 |
| 6.3.3 | DMA サービス・チャネル                 | 140 |
| 6.3.4 | DMA 割り込み要求制御レジスタ(DIC0, DIC1)  | 142 |
| 6.4   | DMA 転送タイミング                   | 143 |



## 第7章 ポート機能 … 150

- 7.1 ポート0-2 … 150
  - 7.1.1 ハードウェア構成 … 150
  - 7.1.2 各ポートの機能 … 152
- 7.2 ポートT(PT0-PT7) … 158
  - 7.2.1 ハードウェア構成 … 158
  - 7.2.2 ポートTモード・レジスタ(PMT) … 159

## 第8章 クロック発生回路 … 160

- 8.1 クロック発生回路の構成 … 160
- 8.2 プロセッサ・コントロール・レジスタ(PRC) … 162

## 第9章 タイマ・ユニット … 163

- 9.1 タイマ・ユニットの構成と動作 … 163
- 9.2 タイマ・コントロール・レジスタ(TMC0, TMC1) … 165
- 9.3 タイマ・ユニット割り込み要求 … 170
  - 9.3.1 タイマ・ユニット割り込み要求制御レジスタ  
(TMIC0, TMIC1, TMIC2) … 171
  - 9.3.2 タイマ・ユニット・マクロ・サービス制御レジスタ  
(TMMS0, TMMS1, TMMS2) … 171

## 第10章 タイム・ベース・カウンタ … 173

- 10.1 タイム・ベース・カウンタの構成 … 173
- 10.2 タイム・ベース・インターバルの指定 … 173
- 10.3 タイム・ベース割り込み要求制御レジスタ(TBIC) … 174

## 第11章 シリアル・インタフェース … 175

- 11.1 シリアル・インタフェースの構成 … 175
- 11.2 アシクロナス・モード … 177
- 11.3 I/Oインタフェース・モード … 180
- 11.4 シリアル・モード・レジスタ(SCM0, SCM1) … 182
- 11.5 ボー・レート・ジェネレータ … 186
  - 11.5.1 シリアル制御レジスタ(SCC0, SCC1) … 187
- 11.6 シリアル・エラー処理 … 188
  - 11.6.1 シリアル・エラー・レジスタ(SCE0, SCE1) … 188
- 11.7 ブレーク検出機能 … 189
- 11.8 シリアル・インタフェース割り込み要求 … 190
  - 11.8.1 割り込み要求制御レジスタ(SEICn, SRICn, STICn) … 190
  - 11.8.2 マクロ・サービス制御レジスタ(SRMSn, STMSn) … 191

## 第12章 スタンバイ機能 … 192

- 12.1 スタンバイ・コントロール・レジスタ(STBC) … 192

|                   |                                                                 |   |     |
|-------------------|-----------------------------------------------------------------|---|-----|
| 12.2              | HALTモード                                                         | … | 193 |
| 12.2.1            | HALTモードの解除                                                      | … | 193 |
| 12.3              | STOPモード                                                         | … | 195 |
| 12.3.1            | STOPモードの解除                                                      | … | 195 |
| 第13章 リセット機能 … 197 |                                                                 |   |     |
| 第14章 アドレス生成 … 199 |                                                                 |   |     |
| 14.1              | 命令アドレス                                                          | … | 199 |
| 14.1.1            | ダイレクト・アドレッシング                                                   | … | 199 |
| 14.1.2            | レラティブ・アドレッシング                                                   | … | 199 |
| 14.1.3            | レジスタ・アドレッシング                                                    | … | 199 |
| 14.1.4            | レジスタ・インダイレクト・アドレッシング                                            | … | 200 |
| 14.1.5            | インデクスト・アドレッシング                                                  | … | 200 |
| 14.1.6            | ベース・アドレッシング                                                     | … | 201 |
| 14.1.7            | ベース・インデクスト・アドレッシング                                              | … | 201 |
| 14.2              | メモリ・オペランド・アドレス                                                  | … | 202 |
| 14.2.1            | レジスタ・アドレッシング                                                    | … | 202 |
| 14.2.2            | イミューディエト・アドレッシング                                                | … | 202 |
| 14.2.3            | ダイレクト・アドレッシング                                                   | … | 203 |
| 14.2.4            | レジスタ・インダイレクト・アドレッシング                                            | … | 203 |
| 14.2.5            | オートインクリメント／デクリメント・アドレッシング                                       | … | 204 |
| 14.2.6            | インデクスト・アドレッシング                                                  | … | 204 |
| 14.2.7            | ベース・アドレッシング                                                     | … | 205 |
| 14.2.8            | ベース・インデクスト・アドレッシング                                              | … | 205 |
| 14.2.9            | ビット・アドレッシング                                                     | … | 206 |
| 14.2.10           | 特殊機能レジスタ・アドレッシング                                                | … | 207 |
| 第15章 命令の説明 … 208  |                                                                 |   |     |
| 15.1              | μPD70108, 70116に対する追加命令                                         | … | 208 |
| 15.2              | 命令のオペレーション                                                      | … | 211 |
| 15.3              | データ転送命令                                                         | … | 217 |
| 15.3.1            | MOV (Move)                                                      | … | 217 |
| 15.3.2            | LDEA (Load Effective Address to Register)                       | … | 234 |
| 15.3.3            | TRANS/TRANSB (Translate Byte)                                   | … | 235 |
| 15.3.4            | XCH (Exchange)                                                  | … | 236 |
| 15.3.5            | MOVSPA (Move Stack Pointer After Context Switch)                | … | 239 |
| 15.3.6            | MOVSPB (Move Stack Pointer Before Task Switch)                  | … | 240 |
| 15.4              | リピート・プリフィクス                                                     | … | 241 |
| 15.4.1            | REPC (Repeat while Carry)                                       | … | 241 |
| 15.4.2            | REPNC (Repeat while Not Carry)                                  | … | 242 |
| 15.4.3            | REP/REPE/REPZ (Repeat/Repeat while Equal/<br>Repeat while Zero) | … | 243 |
| 15.4.4            | REPNE/REPNZ (Repeat while Not Equal/<br>Repeat while Not Zero)  | … | 245 |

|              |                                                                                     |         |
|--------------|-------------------------------------------------------------------------------------|---------|
| <b>15.5</b>  | <b>プリミティブ・ブロック転送命令</b>                                                              | ... 246 |
| 15.5.1       | MOVBK/MOVBKB/MOVBKW (Move Block/<br>Move Block Byte/Move Block Word)                | ... 246 |
| 15.5.2       | CMPBK/CMPBKB/CMPBKW (Compare Block/<br>Compare Block Byte/Compare Block Word)       | ... 248 |
| 15.5.3       | CMPM/CMPMB/CMPMW (Compare Multiple/<br>Compare Multiple Byte/Compare Multiple Word) | ... 250 |
| 15.5.4       | LDM/LDMB/LDMW (Load Multiple/<br>Load Multiple Byte/Load Multiple Word)             | ... 252 |
| 15.5.5       | STM/STMB/STMW (Store Multiple/<br>Store Multiple Byte/Store Multiple Word)          | ... 254 |
| <b>15.6</b>  | <b>ビット・フィールド操作命令</b>                                                                | ... 256 |
| 15.6.1       | INS (Insert Bit Field)                                                              | ... 256 |
| 15.6.2       | EXT (Extract Bit Field)                                                             | ... 260 |
| <b>15.7</b>  | <b>入出力命令</b>                                                                        | ... 264 |
| 15.7.1       | IN (Input)                                                                          | ... 264 |
| 15.7.2       | OUT (Output)                                                                        | ... 268 |
| <b>15.8</b>  | <b>プリミティブ入出力命令</b>                                                                  | ... 272 |
| 15.8.1       | INM (Input Multiple)                                                                | ... 272 |
| 15.8.2       | OUTM (Output Multiple)                                                              | ... 275 |
| <b>15.9</b>  | <b>加減算命令</b>                                                                        | ... 278 |
| 15.9.1       | ADD (Add)                                                                           | ... 278 |
| 15.9.2       | ADDC (Add with Carry)                                                               | ... 289 |
| 15.9.3       | SUB (Subtract)                                                                      | ... 297 |
| 15.9.4       | SUBC (Subtract with Carry)                                                          | ... 306 |
| <b>15.10</b> | <b>BCD 演算命令</b>                                                                     | ... 313 |
| 15.10.1      | ADD4S (Add Nibble String)                                                           | ... 313 |
| 15.10.2      | SUB4S (Subtract Nibble String)                                                      | ... 315 |
| 15.10.3      | CMP4S (Compare Nibble String)                                                       | ... 317 |
| 15.10.4      | ROL4 (Rotate Left Nibble)                                                           | ... 319 |
| 15.10.5      | ROR4 (Rotate Right Nibble)                                                          | ... 321 |
| <b>15.11</b> | <b>増減命令</b>                                                                         | ... 323 |
| 15.11.1      | INC (Increment)                                                                     | ... 323 |
| 15.11.2      | DEC (Decrement)                                                                     | ... 326 |
| <b>15.12</b> | <b>乗算命令</b>                                                                         | ... 329 |
| 15.12.1      | MULU (Multiply Unsigned)                                                            | ... 329 |
| 15.12.2      | MUL (Multiply Signed)                                                               | ... 336 |
| <b>15.13</b> | <b>除算命令</b>                                                                         | ... 352 |
| 15.13.1      | DIVU (Divide Unsigned)                                                              | ... 352 |
| 15.13.2      | DIV (Divide Signed)                                                                 | ... 360 |
| <b>15.14</b> | <b>BCD 補正命令</b>                                                                     | ... 368 |
| 15.14.1      | ADJBA (Adjust Byte Add)                                                             | ... 368 |
| 15.14.2      | ADJ4A (Adjust Nibble Add)                                                           | ... 369 |
| 15.14.3      | ADJBS (Adjust Byte Subtract)                                                        | ... 370 |
| 15.14.4      | ADJ4S (Adjust Nibble Subtract)                                                      | ... 371 |

|              |                                         |     |     |
|--------------|-----------------------------------------|-----|-----|
| <b>15.15</b> | <b>データ変換命令</b>                          | ... | 372 |
| 15.15.1      | CVTBD (Convert Binary to Decimal)       | ... | 372 |
| 15.15.2      | CVTDB (Convert Decimal to Binary)       | ... | 373 |
| 15.15.3      | CVTBW (Convert Byte to Word)            | ... | 374 |
| 15.15.4      | CVTWL (Convert Word to Long Word)       | ... | 375 |
| <b>15.16</b> | <b>比較命令</b>                             | ... | 376 |
| 15.16.1      | CMP (Compare)                           | ... | 376 |
| <b>15.17</b> | <b>補数演算命令</b>                           | ... | 383 |
| 15.17.1      | NOT (Not)                               | ... | 383 |
| 15.17.2      | NEG (Negate)                            | ... | 385 |
| <b>15.18</b> | <b>論理演算命令</b>                           | ... | 387 |
| 15.18.1      | TEST (Test)                             | ... | 387 |
| 15.18.2      | AND (And)                               | ... | 394 |
| 15.18.3      | OR (Or)                                 | ... | 401 |
| 15.18.4      | XOR (Exclusive Or)                      | ... | 408 |
| <b>15.19</b> | <b>ビット操作命令</b>                          | ... | 415 |
| 15.19.1      | TEST1 (Test Bit)                        | ... | 415 |
| 15.19.2      | NOT1 (Not Bit)                          | ... | 426 |
| 15.19.3      | CLR1 (Clear Bit)                        | ... | 435 |
| 15.19.4      | SET1 (Set Bit)                          | ... | 446 |
| <b>15.20</b> | <b>シフト命令</b>                            | ... | 457 |
| 15.20.1      | SHL (Shift Left)                        | ... | 457 |
| 15.20.2      | SHR (Shift Right)                       | ... | 467 |
| 15.20.3      | SHRA (Shift Right Arithmetic)           | ... | 478 |
| <b>15.21</b> | <b>ローテート命令</b>                          | ... | 489 |
| 15.21.1      | ROL (Rotate Left)                       | ... | 489 |
| 15.21.2      | ROR (Rotate Right)                      | ... | 499 |
| 15.21.3      | ROLC (Rotate Left with Carry)           | ... | 509 |
| 15.21.4      | RORC (Rotate Right with Carry)          | ... | 518 |
| <b>15.22</b> | <b>サブルーチン制御命令</b>                       | ... | 529 |
| 15.22.1      | CALL (Call)                             | ... | 529 |
| 15.22.2      | RET (Return from Procedure)             | ... | 535 |
| <b>15.23</b> | <b>スタック操作命令</b>                         | ... | 539 |
| 15.23.1      | PUSH (Push)                             | ... | 539 |
| 15.23.2      | POP (Pop)                               | ... | 546 |
| 15.23.3      | PREPARE (Prepare New Stack Frame)       | ... | 551 |
| 15.23.4      | DISPOSE (Dispose a Stack Frame)         | ... | 553 |
| <b>15.24</b> | <b>ブランチ命令</b>                           | ... | 554 |
| 15.24.1      | BR (Branch)                             | ... | 554 |
| <b>15.25</b> | <b>条件付きブランチ命令</b>                       | ... | 560 |
| 15.25.1      | BV (Branch if Overflow)                 | ... | 560 |
| 15.25.2      | BNV (Branch if Not Overflow)            | ... | 561 |
| 15.25.3      | BC/BL (Branch if Carry/Lower)           | ... | 562 |
| 15.25.4      | BNC/BNL (Branch if Not Carry/Not Lower) | ... | 564 |
| 15.25.5      | BE/BZ (Branch if Equal/Zero)            | ... | 565 |
| 15.25.6      | BNE/BNZ (Branch if Not Equal/Not Zero)  | ... | 566 |
| 15.25.7      | BNH (Branch if Not Higher)              | ... | 567 |
| 15.25.8      | BH (Branch if Higher)                   | ... | 568 |

|              |                                                            |                |
|--------------|------------------------------------------------------------|----------------|
| 15.25.9      | BN (Branch if Negative)                                    | ... 569        |
| 15.25.10     | BP (Branch if Positive)                                    | ... 570        |
| 15.25.11     | BPE (Branch if Parity Even)                                | ... 571        |
| 15.25.12     | BPO (Branch if Parity Odd)                                 | ... 572        |
| 15.25.13     | BLT (Branch if Less Than)                                  | ... 573        |
| 15.25.14     | BGE (Branch if Greater Than or Equal)                      | ... 574        |
| 15.25.15     | BLE (Branch if Less Than or Equal)                         | ... 575        |
| 15.25.16     | BGT (Branch if Greater Than)                               | ... 576        |
| 15.25.17     | DBNZNE (Decrement and Branch if Not Zero<br>and Not Equal) | ... 577        |
| 15.25.18     | DBNZE (Decrement and Branch if Not Zero<br>and Equal)      | ... 578        |
| 15.25.19     | DBNZ (Decrement and Branch if Not Zero)                    | ... 579        |
| 15.25.20     | BCWZ (Branch if CW Equals Zero)                            | ... 580        |
| 15.25.21     | BTCLR (Branch if True and Clear)                           | ... 581        |
| <b>15.26</b> | <b>割り込み命令</b>                                              | <b>... 582</b> |
| 15.26.1      | BRK (Break)                                                | ... 582        |
| 15.26.2      | BRKV (Break if Overflow)                                   | ... 586        |
| 15.26.3      | RETI (Return from Interrupt)                               | ... 588        |
| 15.26.4      | RETRBI (Return from Register Bank<br>Switching Interrupt)  | ... 589        |
| 15.26.5      | FINT (Finish Interrupt)                                    | ... 590        |
| 15.26.6      | CHKIND (Check Index)                                       | ... 591        |
| <b>15.27</b> | <b>レジスタ・バンク切り替え命令</b>                                      | <b>... 593</b> |
| 15.27.1      | BRKCS (Break Context Switch)                               | ... 593        |
| 15.27.2      | TSKSW (Task Switch)                                        | ... 594        |
| <b>15.28</b> | <b>CPU制御命令</b>                                             | <b>... 595</b> |
| 15.28.1      | HALT (Halt)                                                | ... 595        |
| 15.28.2      | STOP (Stop)                                                | ... 596        |
| 15.28.3      | POLL (Poll and Wait)                                       | ... 597        |
| 15.28.4      | DI (Disable Interrupt)                                     | ... 598        |
| 15.28.5      | EI (Enable Interrupt)                                      | ... 599        |
| 15.28.6      | BUSLOCK (Bus Lock Prefix)                                  | ... 600        |
| 15.28.7      | FPO 1 (Floating Point Operation 1)                         | ... 601        |
| 15.28.8      | FPO 2 (Floating Point Operation 2)                         | ... 605        |
| 15.28.9      | NOP (No Operation)                                         | ... 609        |
| <b>15.29</b> | <b>セグメント・オーバライド・プリフィクス</b>                                 | <b>... 610</b> |

## 第16章 動作状態の遷移 ... 611

### 付録A 命令モニツク・リスト ... 614

### 付録B 命令索引(アルファベット順) ... 618

### 付録C ハードウェア索引(アルファベット順) ... 623

### 付録D マクロ・サービスとINTの競合に関する制限事項 ... 624

|     |                                  |   |     |
|-----|----------------------------------|---|-----|
| 付録E | MOVSPA命令の使用上の注意事項                | … | 625 |
| 付録F | シリアル送信中の送信禁止操作による送信データ抜けに関する制限事項 | … | 628 |
| 付録G | 割り込み優先順位と処理順序に関する注意事項            | … | 631 |



# 図 の 目 次

| 図  番  号 | タ  イ  ト  ル                        |
|---------|-----------------------------------|
| 3 - 1   | レジスタ・バンクの構成 … 40                  |
| 3 - 2   | FLAG … 48                         |
| 3 - 3   | メモリ・マップ … 50                      |
| 3 - 4   | メモリ空間のアクセス条件 … 52                 |
| 3 - 5   | 内蔵RAM領域のマップ … 55                  |
| 3 - 6   | I/Oマップ(64Kバイト) … 58               |
| 4 - 1   | 多重処理制御を受ける割り込みの処理形態 … 62          |
| 4 - 2   | 割り込み受け付けの動作 … 64                  |
| 4 - 3   | レジスタ・バンク切り替えのシーケンス … 66           |
| 4 - 4   | レジスタ・バンク復帰のシーケンス … 67             |
| 4 - 5   | TSKSW命令によるレジスタ・バンク切り替えのシーケンス … 69 |
| 4 - 6   | ノーマル・モードの動作フロー … 70               |
| 4 - 7   | キャラクタ・サーチ・モードの動作フロー … 71          |
| 4 - 8   | マクロ・サービス制御レジスタ … 73               |
| 4 - 9   | マクロ・サービス・チャンネルの構成 … 73            |
| 4 - 10  | INT割り込みアクノリッジ・タイミング … 75          |
| 4 - 11  | 割り込み要求制御レジスタ … 77                 |
| 4 - 12  | ISPR … 78                         |
| 4 - 13  | INTM … 79                         |
| 4 - 14  | EXIC0, EXIC1, EXIC2 … 80          |
| 4 - 15  | EMS0, EMS1, EMS2 … 80             |
| 4 - 16  | 内部／外部割り込み要求による応答時間(V25) … 92      |
| 4 - 17  | NMIによる応答時間(V25) … 93              |
| 4 - 18  | INTによる応答時間(V25) … 94              |
| 4 - 19  | 内部／外部割り込み要求による応答時間(V35) … 95      |
| 4 - 20  | NMIによる応答時間(V35) … 96              |
| 4 - 21  | INTに  応答時間(V35) … 97              |
| 5 - 1   | メモリ・バンク構成 … 100                   |
| 5 - 2   | WTC … 102                         |
| 5 - 3   | V25 READY端子によるウェイト … 104          |



|        |                                                                                                               |
|--------|---------------------------------------------------------------------------------------------------------------|
| 5 - 4  | V35 READY 端子によるウエイト ... 112                                                                                   |
| 5 - 5  | RFLV ビットによる制御回路 ... 123                                                                                       |
| 5 - 6  | $\mu$ PD42832 接続回路例 ... 124                                                                                   |
| 5 - 7  | $\mu$ PD41256 接続回路例 ... 125                                                                                   |
| 5 - 8  | メモリ・リード・サイクル ... 127                                                                                          |
| 5 - 9  | メモリ・ライト・サイクル ... 127                                                                                          |
| 5 - 10 | I/O リード・サイクル ... 127                                                                                          |
| 5 - 11 | I/O ライト・サイクル ... 127                                                                                          |
| 5 - 12 | メモリ・リード・サイクル (1 ウエイト・スタート挿入時) ... 127                                                                         |
| 5 - 13 | メモリ・ライト・サイクル (2 ウエイト・スタート挿入時) ... 127                                                                         |
| 5 - 14 | メモリ・ライト・サイクル (READY 端子による操作時) ... 128                                                                         |
| 5 - 15 | リフレッシュ・サイクル (1 ウエイト・スタート挿入時) ... 128                                                                          |
| 5 - 16 | バス・ホールド受け付け解除タイミング ... 128                                                                                    |
| 5 - 17 | ホールド・モード時のリフレッシュ・サイクル (ウエイト・スタート数 0) ... 128                                                                  |
| 5 - 18 | HALT 中のバス・ホールド受け付け解除タイミング ... 129                                                                             |
| 5 - 19 | メモリ・リード・サイクル ... 130                                                                                          |
| 5 - 20 | メモリ・ライト・サイクル ... 130                                                                                          |
| 5 - 21 | I/O リード・サイクル ... 130                                                                                          |
| 5 - 22 | I/O ライト・サイクル ... 130                                                                                          |
| 5 - 23 | メモリ・リード・サイクル (1 ウエイト・スタート挿入時) ... 131                                                                         |
| 5 - 24 | メモリ・ライト・サイクル (2 ウエイト・スタート挿入時) ... 131                                                                         |
| 5 - 25 | メモリ・ライト・サイクル (READY 端子による操作時) ... 132                                                                         |
| 5 - 26 | リフレッシュ・サイクル (1 ウエイト・スタート挿入時) ... 132                                                                          |
| 5 - 27 | バス・ホールド受け付け解除タイミング ... 133                                                                                    |
| 5 - 28 | ホールド・モード時のリフレッシュ・サイクル ... 133                                                                                 |
| 5 - 29 | HALT 中のバス・ホールド受け付け解除タイミング ... 134                                                                             |
| 6 - 1  | DMAM0, DMAM1 ... 139                                                                                          |
| 6 - 2  | DMAC0, DMAC1 ... 140                                                                                          |
| 6 - 3  | DMA サービス・チャネル ... 141                                                                                         |
| 6 - 4  | DMA アドレスの生成方法 ... 141                                                                                         |
| 6 - 5  | DIC0, DIC1 ... 142                                                                                            |
| 6 - 6  | バースト・モード時 (TC=2 のときに DMARQ 信号によって DMA を起動した場合で転送元のメモリ・バンクはノー・ウエイト, 転送先は 1 ウエイトのウエイト・スタートの挿入が行われているとき) ... 144 |
| 6 - 7  | シングルステップ・モード時 ... 144                                                                                         |

|        |                                                                                                             |
|--------|-------------------------------------------------------------------------------------------------------------|
| 6 - 8  | 1 転送モード (メモリ→I/O, ノー・ウエイト) 時 … 145                                                                          |
| 6 - 9  | デマンド・リリース・モード (I/O→メモリ, I/O: 1ウエイト, メモリ: ノー・ウエイト) … 145                                                     |
| 6 - 10 | バースト・モード時 (TC=2 のときに DMARQ 信号によって DMA を起動した場合で、転送元のメモリ・バンクはノー・ウエイト、転送先は 1ウエイト・ステートの挿入が行われているとき、バイト転送) … 146 |
| 6 - 11 | シングルステップ・モード時 … 147                                                                                         |
| 6 - 12 | 1 転送モード (メモリ→I/O, ノー・ウエイト時) … 148                                                                           |
| 6 - 13 | デマンド・リリース・モード (I/O→メモリ, I/O: 1ウエイト, メモリ: ノー・ウエイト) … 149                                                     |
| 6 - 14 | $\overline{IORD}$ 信号, $\overline{IOWR}$ 信号作成回路例 … 149                                                       |
| 7 - 1  | ポート 0-2 構成 … 150                                                                                            |
| 7 - 2  | 出力ポート 指定のポート … 151                                                                                          |
| 7 - 3  | 入力ポート 指定のポート … 151                                                                                          |
| 7 - 4  | コントロール 指定のポート … 152                                                                                         |
| 7 - 5  | PMC0 … 153                                                                                                  |
| 7 - 6  | PM0 … 154                                                                                                   |
| 7 - 7  | PMC1 … 155                                                                                                  |
| 7 - 8  | PM1 … 155                                                                                                   |
| 7 - 9  | PMC2 … 156                                                                                                  |
| 7 - 10 | PM2 … 157                                                                                                   |
| 7 - 11 | ポート T のブロック図 … 158                                                                                          |
| 7 - 12 | PMT … 159                                                                                                   |
| 8 - 1  | クロック発生回路のブロック図 … 160                                                                                        |
| 8 - 2  | クロック発生回路の外付け回路 … 161                                                                                        |
| 8 - 3  | PRC … 162                                                                                                   |
| 9 - 1  | インターバル・タイマ・モード時のタイマ・ユニットの構成 … 163                                                                           |
| 9 - 2  | ワンショット・タイマ・モード時のタイマ・ユニットの構成 … 164                                                                           |
| 9 - 3  | TMC0 … 168                                                                                                  |
| 9 - 4  | TMC1 … 169                                                                                                  |
| 9 - 5  | タイマ・ユニットからの割り込み要求 … 170                                                                                     |
| 9 - 6  | TMIC0, TMIC1, TMIC2 … 171                                                                                   |
| 9 - 7  | TMMS0, TMMS1, TMMS2 … 172                                                                                   |

---

|        |                                                                        |     |
|--------|------------------------------------------------------------------------|-----|
| 10 - 1 | タイム・ベース・カウンタの構成 ...                                                    | 173 |
| 10 - 2 | PRC ...                                                                | 174 |
| 10 - 3 | TBIC ...                                                               | 174 |
| 11 - 1 | シリアル・インタフェースの機能 ...                                                    | 176 |
| 11 - 2 | SCM0, SCM1 (アシンクロナス・モード設定時) ...                                        | 183 |
| 11 - 3 | SCM0 (I/Oインタフェース・モード設定時) ...                                           | 185 |
| 11 - 4 | SCC0, SCC1 ...                                                         | 188 |
| 11 - 5 | SCE0, SCE1 ...                                                         | 189 |
| 11 - 6 | SEIC <sub>n</sub> , SRIC <sub>n</sub> , STIC <sub>n</sub> (n=0, 1) ... | 190 |
| 11 - 7 | SRMS <sub>n</sub> , STMS <sub>n</sub> (n=0, 1) ...                     | 191 |
| 12 - 1 | STBC ...                                                               | 192 |
| 12 - 2 | 割り込み要求によるHALTモードの解除 ...                                                | 193 |
| 12 - 3 | HALTモード中のマクロ・サービス/DMAの起動 ...                                           | 194 |
| 12 - 4 | NMI端子入力によるSTOPモード ...                                                  | 195 |
| 16 - 1 | 動作状態遷移図 ...                                                            | 612 |
| E - 1  | 正常動作時 ...                                                              | 625 |
| E - 2  | 異常動作時 ...                                                              | 626 |

## 表 の 目 次

| 表 番 号  | タ イ ト ル                                                 |
|--------|---------------------------------------------------------|
| 2 - 1  | ポート0の動作( $n=0-7$ ) ... 23                               |
| 2 - 2  | ポート1の動作( $n=0-7$ ) ... 24                               |
| 2 - 3  | ポート2の動作( $n=0-7$ ) ... 26                               |
| 3 - 1  | 汎用レジスタのオフセット ... 41                                     |
| 3 - 2  | ポインタとインデクス・レジスタのオフセット ... 42                            |
| 3 - 3  | セグメント・レジスタのオフセット ... 43                                 |
| 3 - 4  | 特殊機能レジスタ一覧 ... 53                                       |
| 4 - 1  | 割り込み要因の一覧表 ... 60                                       |
| 4 - 2  | ソフトウェアによる割り込み ... 81                                    |
| 4 - 3  | マクロ・サービス転送処理時間(V25) ... 93                              |
| 4 - 4  | マクロ・サービス転送処理時間(V35) ... 96                              |
| 5 - 1  | バス制御のための端子機能 ... 98                                     |
| 5 - 2  | $\mu PD70332, 70330, 70P322$ (V35モード) のデータ・アクセス ... 100 |
| 5 - 3  | アドレス時分割出力 ... 101                                       |
| 5 - 4  | ウェイト・ステートの設定 ... 103                                    |
| 5 - 5  | リフレッシュの周期 ... 121                                       |
| 5 - 6  | リフレッシュ・サイクル中のウェイト・ステート ... 122                          |
| 5 - 7  | $\overline{REFRQ}$ 信号の出力レベル ... 123                     |
| 6 - 1  | 各転送モードの機能 ... 136                                       |
| 7 - 1  | ポート0の動作( $n=0-7$ ) ... 153                              |
| 7 - 2  | ポート1の動作( $n=0-7$ ) ... 154                              |
| 7 - 3  | ポート2の動作( $n=0-7$ ) ... 156                              |
| 8 - 1  | 推奨するセラミック発振子 ... 161                                    |
| 9 - 1  | インターバル・タイマ・モード時の $TM_n$ のカウント時( $n=0, 1$ ) ... 166      |
| 9 - 2  | ワンショット・タイマ・モード時の $TM_0$ と $MD_0$ のカウント時間 ... 167        |
| 11 - 1 | ポー・レート・ジェネレータの設定値(参考) ... 187                           |

---

|        |                            |     |
|--------|----------------------------|-----|
| 12 - 1 | 割り込み要求によるHALTモード解除後の動作 ... | 194 |
| 12 - 2 | HALTモード／STOPモード ...        | 196 |
| 13 - 1 | 各ハードウェアのリセット後の状態 ...       | 197 |
| 15 - 1 | オペランド・タイプの凡例 ...           | 211 |
| 15 - 2 | 命令語形式の凡例 ...               | 212 |
| 15 - 3 | 命令機能説明上の凡例 ...             | 213 |
| 15 - 4 | フラグの動作の凡例 ...              | 214 |
| 15 - 5 | メモリ・アドレッシング ...            | 215 |
| 15 - 6 | 8／16ビット汎用レジスタの選択 ...       | 215 |
| 15 - 7 | セグメント・レジスタの選択 ...          | 215 |

# 第1章 概 説

μPD70322, 70332 (別名称 V25<sup>TM</sup>, V35<sup>TM</sup>) は、ともに μPD70108, 70116 (別名称 V20<sup>TM</sup>, V30<sup>TM</sup>) とソフトウェアの互換性を持ったシングルチップ・マイクロコンピュータです。

μPD70322 は外部データ・バスが 8 ビット, μPD70332 は外部データ・バスが 16 ビットです。

制御用 LSI として重要な割り込み機能を大幅に強化しています。また、インタバル・タイマ、シリアル・インタフェース、DMA コントローラなどを内蔵しています。

多量のデータを処理し、複数の機器を制御する必要があるシステムのメイン・コントローラとして最適です。その他、ハンディ・ワープロ、ハンディ・パソコン、POS 端末など、データを大量に扱うシステム制御にも適しています。

μPD70320, 70330 は、それぞれ μPD70322, 70332 からマスク ROM を除いた製品です。

μPD70P322 は、μPD70322, 70332 の内蔵マスク ROM を EPROM に置き換えた製品です。V25 モードと V35 モードを端子で切り替えることができます。

| 品 名<br>アーキテクチャ | μPD70322<br>(V25)    | μPD70320 | μPD70332<br>(V35)    | μPD70330 | μPD70P322                         |
|----------------|----------------------|----------|----------------------|----------|-----------------------------------|
| 内部アーキテクチャ      | 16 ビット               |          |                      |          |                                   |
| 外部データ・バス       | 8 ビット                |          | 16 ビット               |          | V25 モード: 8 ビット<br>V35 モード: 16 ビット |
| 内蔵 ROM         | マスク ROM<br>(16K バイト) | なし       | マスク ROM<br>(16K バイト) | なし       | EPROM<br>(16K バイト)                |

備考 V25, V35 はそれぞれ μPD70322, 70332 の別名称ですが、本文の説明中の V25, V35 は、便宜的にそれぞれ次の品種と動作モードを指します。

V25 : μPD70322, 70320, 70P322 (V25 モード)

V35 : μPD70332, 70330, 70P322 (V35 モード)

## 1.1 特 徴

- 内部16ビット・アーキテクチャ
- 外部データ・バス
  - ・ $\mu$ PD70322, 70320, 70P322 (V25モード) : 8ビット
  - ・ $\mu$ PD70332, 70330, 70P322 (V35モード) : 16ビット
- $\mu$ PD70108, 70116 (ネイティブ・モード時) とソフトウェア・コンパチブル (追加命令あり)
- 3段パイプライン方式
- 最小インストラクション・サイクル
  - ・ $\mu$ PD70322, 70320, 70P322 :  
400ns (外部クロック10MHz)
  - ・ $\mu$ PD70322-8, 70320-8, 70332-8, 70330-8, 70P322-8 :  
250ns (外部クロック16MHz)
- メモリ空間 : 1Mバイト I/O空間 : 64Kバイト
- 内蔵ROM : 16384ワード×8ビット
  - ・ $\mu$ PD70322, 70332 : マスクROM
  - ・ $\mu$ PD70P322 : EPROM
- 内蔵RAM : 256ワード×8ビット
- レジスタ・バンク (メモリ・マップト方式) : 8バンク
- オン・チップ周辺ハードウェアのメモリ・マッピング (特殊機能レジスタ)
- コンバータ付き入力ポート (ポートT) : 8ビット
- I/Oライン (入力ポート : 4ビット, 出力ポート : 20ビット)
- シリアル・インタフェース : 2チャンネル
  - ・専用ポー・レート・ジェネレータ内蔵
  - ・アシンクロナス・モード, I/Oインタフェース・モード
- 割り込みコントローラ
  - ・プログラマブル・プライオリティ (8レベル)
  - ・3種類の割り込み応答方式
    - ベクタ割り込み機能, レジスタ・バンク切り替え機能, マクロ・サービス機能
- DRAM, 疑似SRAMリフレッシュ機能
- DMAコントローラ : 2チャンネル
  - ・4種類のDMA転送モード
- 16ビット・タイマ : 2チャンネル
- タイム・ベース・カウンタ (20ビット) : 1チャンネル
- クロック発生回路内蔵
- プログラマブル・ウェイト機能
- スタンバイ機能 (STOP/HALT)
- CMOS

## 1.2 オーダ情報と品質水準

### 1.2.1 オーダ情報

| 品 名                     | 外部データ・バス<br>(ビット) | パッケージ            | 外部クロック<br>(MHz) | 内蔵ROM  |
|-------------------------|-------------------|------------------|-----------------|--------|
| μPD70322L-×××           | 8                 | 84ピンPLCC         | 10              | マスクROM |
| μPD70320L               | 8                 | 84ピンPLCC         | 10              | なし     |
| μPD70322L-8-×××         | 8                 | 84ピンPLCC         | 16              | マスクROM |
| μPD70320L-8             | 8                 | 84ピンPLCC         | 16              | なし     |
| μPD70322GJ-×××-5BG      | 8                 | 94ピン・プラスチックQFP   | 10              | マスクROM |
| μPD70320GJ-5BG          | 8                 | 94ピン・プラスチックQFP   | 10              | なし     |
| μPD70322GJ-8-×××-5BG    | 8                 | 94ピン・プラスチックQFP   | 16              | マスクROM |
| μPD70320GJ-8-5BG        | 8                 | 94ピン・プラスチックQFP   | 16              | なし     |
| μPD70332L-8-×××         | 16                | 84ピンPLCC         | 16              | マスクROM |
| μPD70330L-8             | 16                | 84ピンPLCC         | 16              | なし     |
| μPD70332GJ-8-×××        | 16                | 94ピン・プラスチックQFP   | 16              | マスクROM |
| μPD70330GJ-8            | 16                | 94ピン・プラスチックQFP   | 16              | なし     |
| μPD70P322KE             | 8/16 両用           | 84ピン・セラミック窓付きLCC | 10              | EPROM  |
| μPD70P322KE-8           | 8/16 両用           | 84ピン・セラミック窓付きLCC | 16              | EPROM  |
| μPD70322GJ(A)-×××-5BG   | 8                 | 94ピン・プラスチックQFP   | 10              | マスクROM |
| μPD70320GJ(A)-5BG       | 8                 | 94ピン・プラスチックQFP   | 10              | なし     |
| μPD70322GJ(A)-8-×××-5BG | 8                 | 94ピン・プラスチックQFP   | 16              | マスクROM |
| μPD70320GJ(A)-8-5BG     | 8                 | 94ピン・プラスチックQFP   | 16              | なし     |
| μPD70332GJ(A)-8-×××-5BG | 16                | 94ピン・プラスチックQFP   | 16              | マスクROM |
| μPD70330GJ(A)-8-5BG     | 16                | 94ピン・プラスチックQFP   | 16              | なし     |

×××: ROMコード

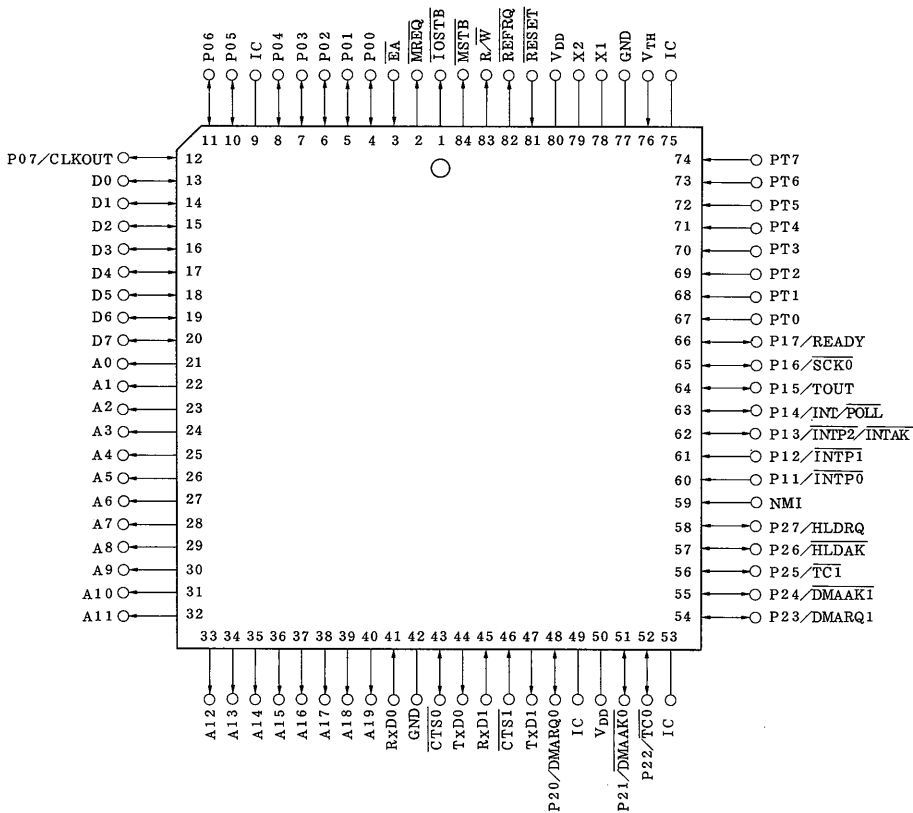


## 1 . 2 . 2 品質水準

| 品 名                                             | 品 質 水 準        |
|-------------------------------------------------|----------------|
| $\mu$ PD70322L- $\times\times\times$            | 標準 (一般電子機器用)   |
| $\mu$ PD70320L                                  | "              |
| $\mu$ PD70322L-8- $\times\times\times$          | "              |
| $\mu$ PD70320L-8                                | "              |
| $\mu$ PD70322GJ- $\times\times\times$ -5BG      | "              |
| $\mu$ PD70320GJ-5BG                             | "              |
| $\mu$ PD70322GJ-8- $\times\times\times$ -5BG    | "              |
| $\mu$ PD70320GJ-8-5BG                           | "              |
| $\mu$ PD70332L-8- $\times\times\times$          | "              |
| $\mu$ PD70330L-8                                | "              |
| $\mu$ PD70332GJ-8- $\times\times\times$         | "              |
| $\mu$ PD70330GJ-8                               | "              |
| $\mu$ PD70P322KE                                | "              |
| $\mu$ PD70P322KE-8                              | "              |
| $\mu$ PD70322GJ(A)- $\times\times\times$ -5BG   | 特別 (高信頼度電子機器用) |
| $\mu$ PD70320GJ(A)-5BG                          | "              |
| $\mu$ PD70322GJ(A)-8- $\times\times\times$ -5BG | "              |
| $\mu$ PD70320GJ(A)-8-5BG                        | "              |
| $\mu$ PD70332GJ(A)-8- $\times\times\times$ -5BG | "              |
| $\mu$ PD70330GJ(A)-8-5BG                        | "              |

### 1.3 端子接続図 (Top View)

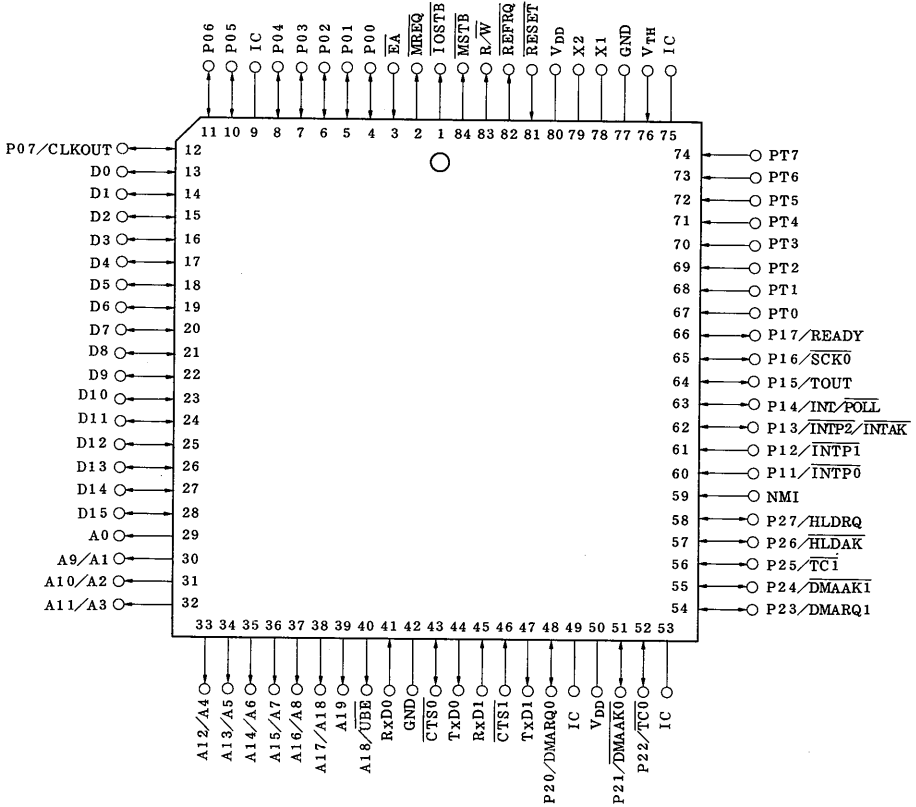
1.3.1  $\mu$ PD70322L-XXX, 70320L, 70322L-8-XXX, 70320L-8  
(84ピンPLCC)



IC : Internally Connected

注意 IC端子は外部で個別にプルアップ抵抗を介して、ハイ・レベルに固定してください。

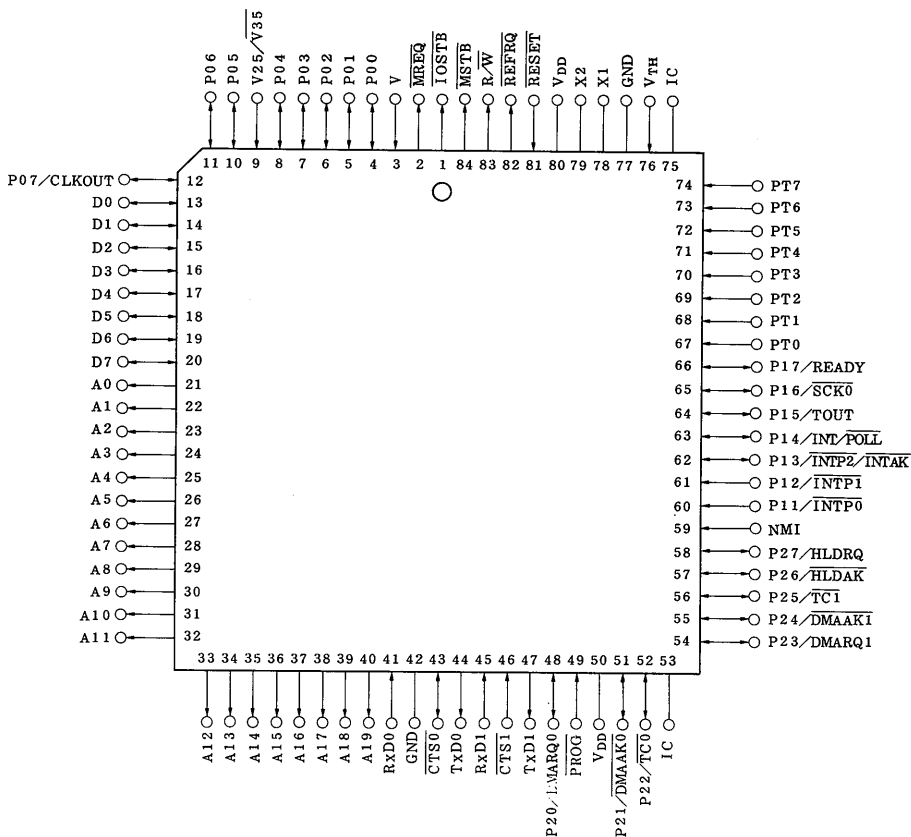
### 1.3.2 $\mu$ PD70332L-8-xxx, 70330L-8(84ピンPLCC)



注意 IC端子は外部で個別にプルアップ抵抗を介して、ハイ・レベルに固定してください。ただし、9番ピンはプルダウン抵抗を介して、ロウ・レベルに固定してください。

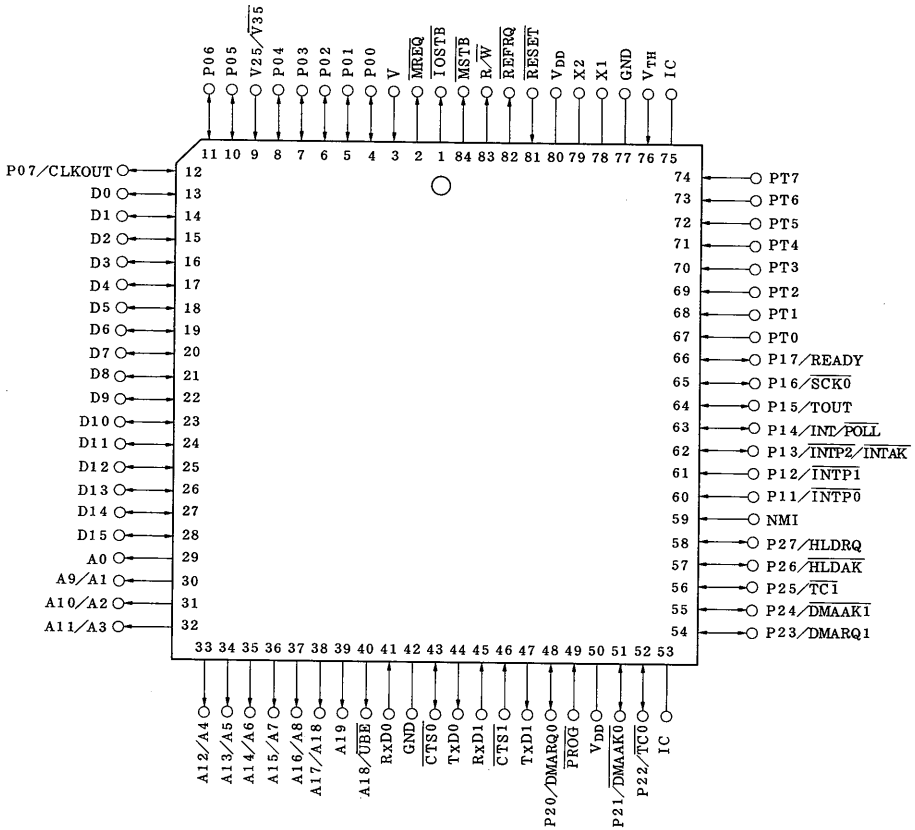
### 1.3.3 #PD70P322KE, 70P322KE-8 (84ピン・セラミック窓付きLCC)

(1) V25モード (PROG=H, V25/V35=H)



- 注意 1. IC : 外部で個別にプルアップ抵抗を介して、ハイ・レベルに固定してください。  
 2. V : V<sub>DD</sub> に接続してください。

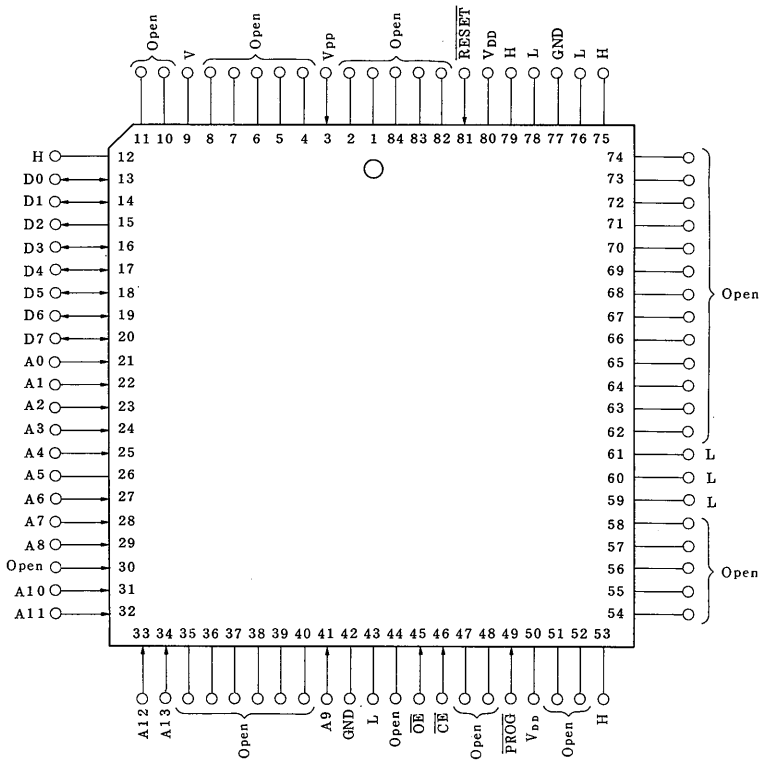
(2)  $V_{35} = H$  ( $\overline{PROG} = H, V_{25}/V_{35} = L$ )



注意1. IC : 外部で個別にプルアップ抵抗を介して、ハイ・レベルに固定してください。

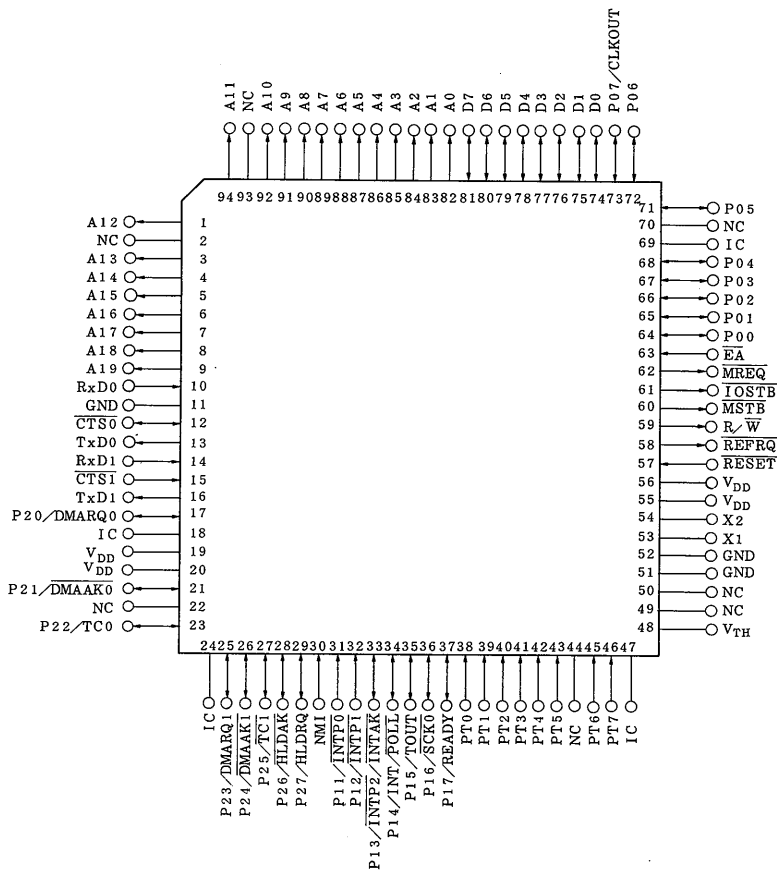
2. V :  $V_{DD}$  に接続してください。

(3) EPROMプログラミング・モード ( $\overline{\text{PROG}}=\text{L}$ )



- 注意 1. H : 外部プルアップ抵抗でハイ・レベルに固定してください。  
 2. L : 外部プルダウン抵抗でロウ・レベルに固定してください。  
 3. V :  $V_{DD}$  に接続してください。  
 4. Open : 何も接続しないでください。

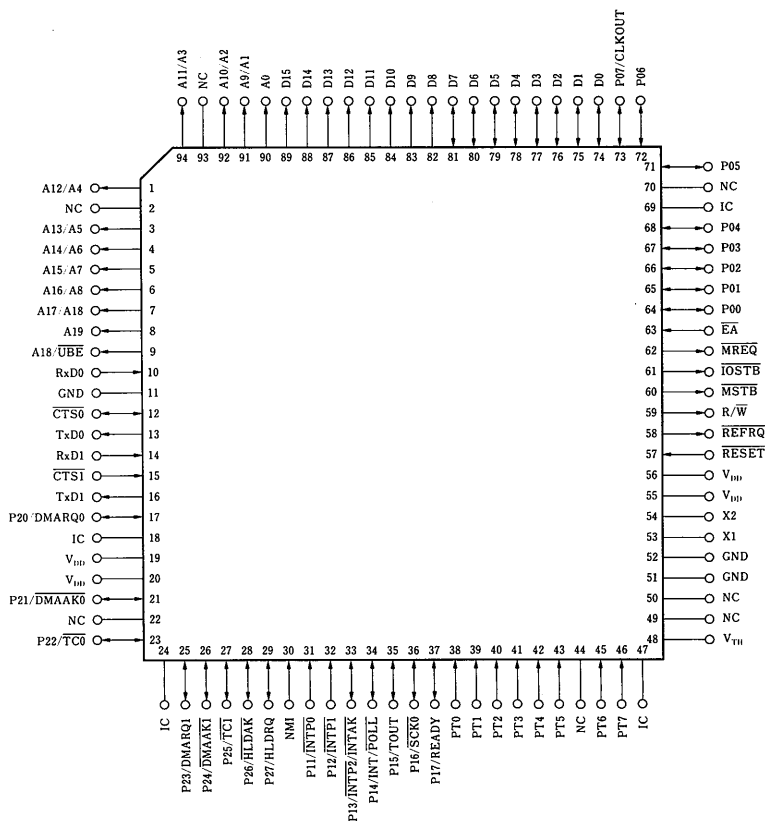
1. 3. 4  $\mu$ PD70322GJ-XXX-5BG, 70320GJ-5BG,  
70322GJ-8-XXX-5BG, 70320GJ-8-5BG  
(94ピン・プラスチックQFP)



NC: Non-Connection

注意 IC端子は外部でプルアップ抵抗を介して、ハイ・レベルに固定してください。

1.3.5  $\mu$ PD70332GJ-8-XXX-5BG, 70330GJ-8-5BG  
(94ピン・プラスチックQFP)



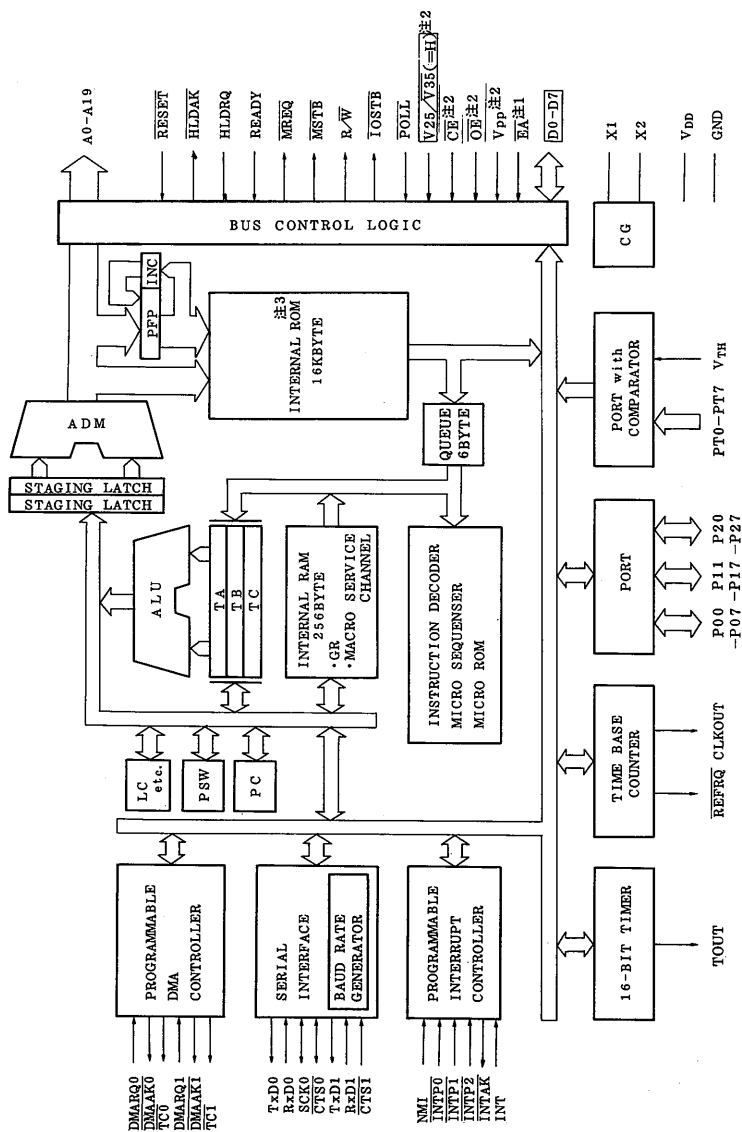
注意 IC端子は外部で個別にプルアップ抵抗を介して、ハイ・レベルに固定してください。



|                       |                       |                    |                                  |
|-----------------------|-----------------------|--------------------|----------------------------------|
| <u>IOSTB</u>          | : I/O Strobe          | <u>HLDRQ</u>       | : Hold Request                   |
| <u>MREQ</u>           | : Memory Request      | <u>NMI</u>         | : Non-Maskable Interrupt Request |
| <u>P00-P07</u>        | : Port 0              | <u>INTP0-INTP2</u> | : Interrupt From Peripherals     |
| <u>P11-P17</u>        | : Port 1              | <u>INTAK</u>       | : Interrupt Acknowledge          |
| <u>P20-P27</u>        | : Port 2              | <u>INT</u>         | : Interrupt Request              |
| <u>V25/V35</u>        | : V25 Mode / V35 Mode | <u>POLL</u>        | : Polling                        |
| <u>CLKOUT</u>         | : Clock Out           | <u>TOUT</u>        | : Timer Output                   |
| <u>D0-D15</u>         | : Data Bus            | <u>SCK0</u>        | : Serial Clock                   |
| <u>A0-A19</u>         | : Address Bus         | <u>READY</u>       | : Ready                          |
| <u>RxD0, RxD1</u>     | : Receive Data        | <u>PT0-PT7</u>     | : Port T                         |
| <u>CTS0, CTS1</u>     | : Clear To Send       | <u>X1, X2</u>      | : Crystal                        |
| <u>TxD0, TxD1</u>     | : Transfer Data       | <u>RESET</u>       | : Reset                          |
| <u>DMARQ0, DMARQ1</u> | : DMA Request         | <u>REFRQ</u>       | : Refresh Request                |
| <u>PROG</u>           | : Program             | <u>R/W</u>         | : Read/Write                     |
| <u>DMAAK0, DMAAK1</u> | : DMA Acknowledge     | <u>MSTB</u>        | : Memory Strobe                  |
| <u>TC0, TC1</u>       | : Terminal Count      | <u>OE</u>          | : Output Enable                  |
| <u>HLDAK</u>          | : Hold Acknowledge    | <u>CE</u>          | : Chip Enable                    |
| <u>EA</u>             | : External Access     |                    |                                  |

## 1.4 内部ブロック図

1.4.1  $\mu$ PD70322,70320,70P322(V25モード)

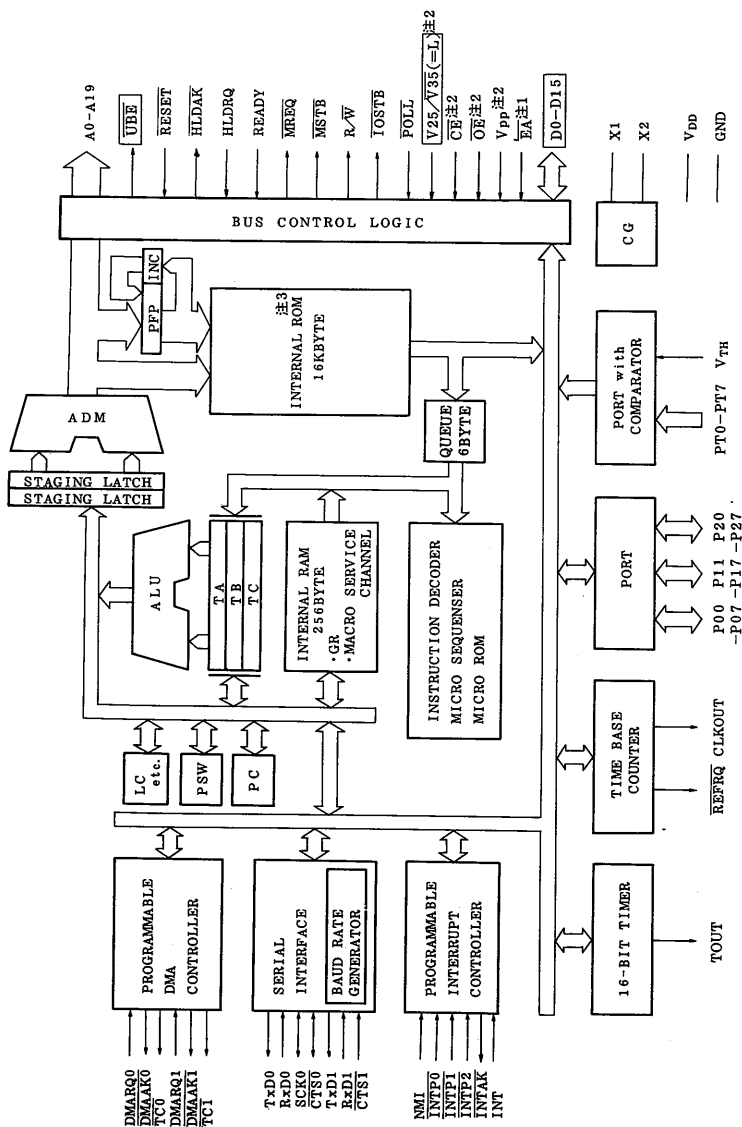


出1.  $\mu$ PD70322, 70320

1.  $\mu$ PD70022,
2.  $\mu$ PD70P322

3.  $\mu$ PD70322, 70P322

# 1.4.2 $\mu$ PD70332, 70330, 70P322 (V35モード)



注1.  $\mu$ PD70332, 70330  
 2.  $\mu$ PD70P322  
 3.  $\mu$ PD70332, 70P322

## 第2章 端子機能

### 2.1 端子機能一覧

#### 2.1.1 $\mu$ PD70322,70320,70P322(V25モード)

(1) ポート (PMCの対応ビット=0)

| 端子名称     | 入出力 | 兼用端子                                              | 備 考                        |
|----------|-----|---------------------------------------------------|----------------------------|
| P00-P06  | 入出力 | —                                                 | ビット単位で入出力指定可能              |
| P07      |     | CLKOUT                                            |                            |
| NMI(P10) | 入 力 | —                                                 | 汎用ポートとしては使用不可(ノンマスカブル割り込み) |
| P11      | 入 力 | $\overline{\text{INTP0}}$                         | ビット単位で入出力指定可能              |
| P12      |     | $\overline{\text{INTP1}}$                         |                            |
| P13      |     | $\overline{\text{INTP2}}/\overline{\text{INTAK}}$ |                            |
| P14      | 入出力 | $\overline{\text{POLL}}/\overline{\text{INT}}$    |                            |
| P15      |     | TOUT                                              |                            |
| P16      |     | $\overline{\text{SCK0}}$                          |                            |
| P17      |     | READY                                             |                            |
| P20      | 入出力 | $\overline{\text{DMARQ0}}$                        | ビット単位で入出力指定可能              |
| P21      |     | $\overline{\text{DMAAK0}}$                        |                            |
| P22      |     | $\overline{\text{TC0}}$                           |                            |
| P23      |     | $\overline{\text{DMARQ1}}$                        |                            |
| P24      |     | $\overline{\text{DMAAK1}}$                        |                            |
| P25      |     | $\overline{\text{TC1}}$                           |                            |
| P26      |     | $\overline{\text{HLDAK}}$                         |                            |
| P27      |     | HLDRQ                                             |                            |
| PT0-PT7  | 入 力 | —                                                 | コンパレータ入力                   |

## (2) ポート以外

| 端子名称                           | 入出力 | 機能                                                 | 兼用端子 |
|--------------------------------|-----|----------------------------------------------------|------|
| $\overline{\text{P R O G}}$ 注  | 入 力 | EPROMプログラミング・モード設定<br>(=H: ブルアップ抵抗必要)              | —    |
| $\text{V}25/\text{V}35$        | 入 力 | V25モード/V35モード選択<br>(=H: ブルアップ抵抗必要)                 |      |
| $\text{V T H}$                 | 入 力 | コンパレータの基準電圧                                        |      |
| $\text{T x D}0, \text{T x D}1$ | 出 力 | シリアル・データ                                           |      |
| $\text{R x D}0, \text{R x D}1$ | 入 力 | シリアル・データ                                           |      |
| $\overline{\text{C T S}0}$     | 入出力 | アシンクロナス・モード : 送信指示入力<br>I/Oインタフェース・モード: 受信用クロック入出力 |      |
| $\overline{\text{C T S}1}$     | 入 力 | 送信指示入力                                             |      |
| $\overline{\text{R E S E T}}$  |     | チップ・リセット                                           |      |
| $\text{X}1, \text{X}2$         | —   | システム・クロック発振用クリスタル接続<br>(X1, X2に逆相クロック入力可能)         |      |
| $\text{D}0 - \text{D}7$        | 入出力 | 8ビット・データ・バス                                        |      |
| $\text{A}0 - \text{A}19$       | 出 力 | アドレス・バス                                            |      |
| $\overline{\text{M R E Q}}$    |     | メモリ・バス・サイクル起動表示                                    |      |
| $\overline{\text{M S T B}}$    |     | メモリ・アクセスのストローブ                                     |      |
| $\text{R}/\overline{\text{W}}$ |     | リード・サイクル/ライト・サイクル表示                                |      |
| $\overline{\text{R E F R Q}}$  |     | DRAMリフレッシュ・パルス                                     |      |
| $\overline{\text{I O S T B}}$  |     | I/Oアクセスのストローブ                                      |      |
| $\text{V}_{\text{DD}}$         | —   | 正電源供給端子 (2端子とも接続)                                  |      |
| $\text{G N D}$                 | —   | グランド端子 (2端子とも接続)                                   |      |

注 4PD70P322のみ

| 端子名称   | 入出力 | 機能                      | 兼用端子      |
|--------|-----|-------------------------|-----------|
| CLKOUT | 出力  | システム・クロック               | P07       |
| INTP0  | 入力  | 外部割り込み要求                | P11       |
| INTP1  |     |                         | P12       |
| INTP2  |     |                         | P13/INTAK |
| INTAK  | 出力  | 割り込み許可                  | P13/INTP2 |
| POLL   | 入力  | ウェイト挿入 (POLL命令にてサンプリング) | P14/INT   |
| INT    |     | 外部割り込み要求                | P14/POLL  |
| TOUT   | 出力  | タイマ出力                   | P15       |
| SCK0   |     | シリアル・クロック               | P16       |
| READY  | 入力  | 外部レディ                   | P17       |
| DMARQ0 | 入力  | DMA 要求                  | P20       |
| DMARQ1 |     |                         | P23       |
| DMAAK0 | 出力  | DMA 許可                  | P21       |
| DMAAK1 |     |                         | P24       |
| TC0    |     | DMA 終了指示                | P22       |
| TC1    |     |                         | P25       |
| HLDAK  |     | ホールド許可                  | P26       |
| HLD RQ | 入力  | ホールド要求                  | P27       |
| EA     | 入力  | 内蔵ROM選択                 | -         |

## 2.1.2 $\mu$ PD70332,70330,70P322(V35モード)

(1) ポート(PMCの対応ビット=0)

| 端子名称     | 入出力 | 兼用端子        | 備 考                            |
|----------|-----|-------------|--------------------------------|
| P00-P06  | 入出力 | —           | ビット単位で入出力指定可能                  |
| P07      |     | CLKOUT      |                                |
| NMI(P10) | 入 力 | —           | 汎用ポートとしては使用不可(ノンマスカブル<br>割り込み) |
| P11      | 入 力 | INTP0       | ビット単位で入出力指定可能                  |
| P12      |     | INTP1       |                                |
| P13      |     | INTP2/INTAK |                                |
| P14      | 入出力 | POLL/INT    |                                |
| P15      |     | TOUT        |                                |
| P16      |     | SCK0        |                                |
| P17      |     | READY       |                                |
| P20      | 入出力 | DMARQ0      | ビット単位で入出力指定可能                  |
| P21      |     | DMAAK0      |                                |
| P22      |     | TC0         |                                |
| P23      |     | DMARQ1      |                                |
| P24      |     | DMAAK1      |                                |
| P25      |     | TC1         |                                |
| P26      |     | HLDAK       |                                |
| P27      |     | HLDRQ       |                                |
| PT0-PT7  | 入 力 | —           | コンパレータ入力                       |

## (2) ポート以外

| 端子名称                           | 入出力 | 機能                                                 | 兼用端子 |
|--------------------------------|-----|----------------------------------------------------|------|
| $\overline{\text{P R O G}}$ 注  | 入 力 | EPROMプログラミング・モード設定<br>(=H:ブルアップ抵抗必要)               | —    |
| $\text{V}25/\text{V}35$        | 入 力 | V25モード/V35モード選択<br>(=L:ブルダウン抵抗必要)                  |      |
| $\text{V}_{\text{TH}}$         | 入 力 | コンパレータの基準電圧                                        |      |
| $\text{TxD}0, \text{TxD}1$     | 出 力 | シリアル・データ                                           |      |
| $\text{Rx}D0, \text{Rx}D1$     | 入 力 | シリアル・データ                                           |      |
| $\overline{\text{C T S}0}$     | 入出力 | アシンクロナス・モード : 送信指示入力<br>I/Oインタフェース・モード: 受信用クロック入出力 |      |
| $\overline{\text{C T S}1}$     | 入 力 | 送信指示入力                                             |      |
| $\overline{\text{R E S E T}}$  |     | チップ・リセット                                           |      |
| $\text{X}1, \text{X}2$         | —   | システム・クロック発振用クリスタル接続<br>(X1, X2に逆相クロック入力可能)         |      |
| $\text{D}0 - \text{D}15$       | 入出力 | 16ビット・データ・バス                                       |      |
| $\text{A}0$                    | 出 力 | 下位メモリ・バンクを選択                                       | A18  |
| $\overline{\text{U B E}}$      |     | 上位メモリ・バンクを選択                                       | —    |
| $\text{A}1 - \text{A}19$       |     | アドレス・バス                                            |      |
| $\overline{\text{M R E Q}}$    |     | メモリかI/Oのバス・サイクル起動表示<br>(上位アドレス・ストロープ)              |      |
| $\overline{\text{M S T B}}$    |     | メモリ・アクセスのストロープ<br>(下位アドレス・ストロープ)                   |      |
| $\text{R}/\overline{\text{W}}$ |     | リード・サイクル/ライト・サイクル表示                                |      |
| $\overline{\text{R E F R Q}}$  |     | DRAMリフレッシュ・パルス                                     |      |
| $\overline{\text{I O S T B}}$  |     | I/Oアクセスのストロープ<br>(下位アドレス・ストロープ)                    |      |
| $\text{V}_{\text{DD}}$         |     | 正電源供給端子(2端子とも接続)                                   |      |
| $\text{G N D}$                 |     | グランド端子(2端子とも接続)                                    |      |

注  $\mu\text{PD}70\text{P}322$ のみ



| 端子名称   | 入出力 | 機能                       | 兼用端子      |
|--------|-----|--------------------------|-----------|
| CLKOUT | 出力  | システム・クロック                | P07       |
| INTP0  | 入力  | 外部割り込み要求                 | P11       |
| INTP1  |     |                          | P12       |
| INTP2  |     |                          | P13/INTAK |
| INTAK  | 出力  | 割り込み許可                   | P13/INTP2 |
| POLL   | 入力  | ウェイト挿入 (POLL 命令にてサンプリング) | P14/INT   |
| INT    |     | 外部割り込み要求                 | P14/POLL  |
| TOUT   | 出力  | タイマ出力                    | P15       |
| SCK0   |     | シリアル・クロック                | P16       |
| READY  | 入力  | 外部レディ                    | P17       |
| DMARQ0 | 入力  | DMA 要求                   | P20       |
| DMARQ1 |     |                          | P23       |
| DMAAK0 | 出力  | DMA 許可                   | P21       |
| DMAAK1 |     |                          | P24       |
| TC0    |     | DMA 終了指示                 | P22       |
| TC1    |     |                          | P25       |
| HLDAK  |     | ホールド許可                   | P26       |
| HLDRQ  | 入力  | ホールド要求                   | P27       |
| EA     | 入力  | 内蔵 ROM 選択                | -         |

### 2.1.3 $\mu$ PD70P322 (EPROMプログラミング・モード)

| 端子名称                      | 入出力 | 機能                                  |
|---------------------------|-----|-------------------------------------|
| D0-D7                     | 入出力 | 8ビット・データ・バス                         |
| A0-A13                    | 入 力 | アドレス・バス                             |
| PROG                      |     | EPROMプログラミング・モード設定 (= L: プルダウン抵抗必要) |
| $\overline{\text{CE}}$    |     | チップ・イネーブル                           |
| $\overline{\text{OE}}$    |     | アウトプット・イネーブル                        |
| $\overline{\text{RESET}}$ |     | EPROMモード設定                          |
| V <sub>PP</sub>           |     | 書き込み電源供給端子                          |
| V <sub>DD</sub>           | —   | 正電源供給端子 (2端子とも接続)                   |
| GND                       |     | グラウンド端子 (2端子とも接続)                   |

## 2.1.4 各モードにおける端子状態

| 動作状態<br>端 子 |                    | ホールド | HALT   | STOP   | RESET<br>期 間 中 | その他 |
|-------------|--------------------|------|--------|--------|----------------|-----|
| ポート         | ポート・モードの<br>出力時    | 保 持  | 保 持    | 保 持    | Hi-Z           | 継 続 |
|             | コントロール・モ<br>ードの出力時 | 継 続  | 継 続    | 保 持    | Hi-Z           | 継 続 |
| TxD0, TxD1  |                    | 継 続  | 継 続    | 保 持    | Hi-Z           | 継 続 |
| CTS0        |                    | 継 続  | 継 続    | 保 持    | Hi-Z           | 継 続 |
| D0-D7       |                    | Hi-Z | Hi-Z   | Hi-Z   | Hi-Z           | 継 続 |
| A0-A19      |                    | Hi-Z | 保 持注   | 保 持注   | Hi-Z           | 継 続 |
| MREQ        |                    | Hi-Z | ハイ・レベル | ハイ・レベル | Hi-Z           | 継 続 |
| MSTB        |                    | Hi-Z | ハイ・レベル | ハイ・レベル | Hi-Z           | 継 続 |
| R / W       |                    | Hi-Z | ハイ・レベル | ハイ・レベル | Hi-Z           | 継 続 |
| REFRQ       |                    | Hi-Z | 継 続    | 保 持    | Hi-Z           | 継 続 |
| IOSTB       |                    | Hi-Z | ハイ・レベル | ハイ・レベル | Hi-Z           | 継 続 |

継 続 : 指定された動作を継続

保 持 : そのモードに移る直前の状態を保持

Hi-Z : ハイ・インピーダンス

注 アドレス・データが保持されますが、出力されるアドレスは不定です。

## 2.2 各端子の機能説明

### 2.2.1 P00-P07 (Port 0) ..... 3ステート入出力

ポート0（出力ラッチ付き8ビット入出力ポート）の8ビット入出力端子です。P07端子はCLKOUT出力としても働きます。

各端子の動作モードについて、P00-P06端子はポート・モード専用で、P07端子はポート0モード・コントロール・レジスタ（PMC0）によってポート／コントロール・モードの選択ができます（表2-1参照）。

表2-1 ポート0の動作（ $n=0-7$ ）

|     | PMC0 $_n=1$ | PMC0 $_n=0$ |            |
|-----|-------------|-------------|------------|
|     |             | PM0 $_n=1$  | PM0 $_n=0$ |
| P00 |             | 入力ポート       | 出力ポート      |
| P01 |             | 入力ポート       | 出力ポート      |
| P02 |             | 入力ポート       | 出力ポート      |
| P03 |             | 入力ポート       | 出力ポート      |
| P04 |             | 入力ポート       | 出力ポート      |
| P05 |             | 入力ポート       | 出力ポート      |
| P06 |             | 入力ポート       | 出力ポート      |
| P07 | CLKOUT出力    | 入力ポート       | 出力ポート      |

#### (1) ポート・モード

P00-P07端子は、ポート0モード・レジスタ（PM0）により、ビット単位に入力または出力ポートの設定ができます。ただし、P07端子はPMC0レジスタによりポート・モードに設定しておきます（PMC0レジスタのビット7=0）。

#### (2) コントロール・モード

P07端子は、PMC0レジスタによりコントロール・モードに設定した場合（PMC0レジスタのビット7=1）、CLKOUT出力として働きます。また、本端子をCLKOUT出力として使用する場合は、必ず外部で本端子をプルアップしてください。

##### (a) CLKOUT (Clock Out) ..... P07兼用出力

クロック発生回路で設定された周波数で、CPUおよび周辺ハードウェアに各種クロックを供給するシステム・クロック（CLK）の出力端子です。

出力ポートに設定した端子は、ホールド・モード、スタンバイ・モードでは直前のデータを保持します。P07端子をCLKOUTに設定した時は、ホールド・モード、HALTモードではクロック出力を継続し、STOPモードでは直前のデータを保持します。

RESET入力時、P00-P07端子は入力ポートになります（出力ハイ・インピーダンス）。

## 2.2.2 P10-P17 (Port 1) ..... 3ステート入出力

ポート1（出力ラッチ付き8ビット入出力ポート）および、各種コントロール信号としても働く8ビット入出力の兼用端子です。

P10-P17端子の動作モードは、ポート1モード・コントロール・レジスタ（PMC1）により、ビット単位にポート／コントロール・モードの設定ができます（表2-2参照）。ただし、P11-P12端子はポート・モード専用で、割り込み要求入力としても働きます。また、P10はNMI専用入力です。

表2-2 ポート1の動作（n=0-7）

|     | PMC1 <sub>n</sub> =1 | PMC1 <sub>n</sub> =0 |                     |
|-----|----------------------|----------------------|---------------------|
|     |                      | PM1 <sub>n</sub> =1  | PM1 <sub>n</sub> =0 |
| P10 |                      | NMI入力                |                     |
| P11 |                      | INTP0入力              |                     |
| P12 |                      | INTP1入力              |                     |
| P13 | INTAK出力              | INTP2入力              |                     |
| P14 | INT入力                | 入力ポート<br>(POLL入力)    |                     |
| P15 | TOUT出力               | 入力ポート                |                     |
| P16 | SCK0出力               | 入力ポート                |                     |
| P17 | READY入力              | 入力ポート                | 出力ポート               |

### (1) ポート・モード

P10-P17端子は、PMC1レジスタによりポート・モードに設定した場合（PMC1<sub>n</sub>=0；n=0-7），ポート1モード・レジスタ（PM1）により、ビット単位に入力または出力ポートに設定できます。

P10-P13端子は入力ポート専用で、割り込み要求入力としても働きます。また、P14端子は入力ポートに設定時、POLL入力としても働きます。

#### (a) NMI (Non-Maskable Interrupt) ..... P10入力

ソフトウェアによってマスク不可能なノンマスカブル割り込み要求入力端子です。

ノンマスカブル割り込みは、CPUがいつでも受け付ける割り込みのため、どの割り込みに対しても優先します。

NMI入力はエッジで検出され、有効エッジは外部割り込みモード・レジスタ（INTM）で指定します。この入力は各クロック・サイクルでサンプリングされ、イン・アクティブ・レベルからアクティブ・レベルに変化した後、一定のアクティブ・レベルを入力することでNMIが受け付けられます。NMIが受け付けられると、実行中の命令終了後にベクタ番号2の割り込みが発生します。

このNMI入力はCPUのスタンバイ・モードの解除にも使用されます。

なお、NMI入力の状態は、P10を読み出すことによりモニタできます。

#### (b) INTP0-INTP2 (Interrupt from Peripheral 0-2) .....

P11-P13兼用入力

ソフトウェアによってマスク可能な外部割り込み要求入力端子です。

$\overline{\text{INTP}}_n$  ( $n=0-2$ ) 入力はエッジで検出され、有効エッジは外部割り込みモード・レジスタ (INTM) で指定します。この入力は各クロック・サイクルでサンプリングされ、イン・アクティブ・レベルからアクティブ・レベルに変化した後、一定以上のアクティブ・レベルを入力することで  $\text{INTP}_n$  ( $n=0-2$ ) が受け付けられます。

この  $\overline{\text{INTP}}_n$  入力は HALT モードの解除にも使用されます。

(c)  $\overline{\text{POLL}}(\text{Poll}) \cdots \cdots \text{P14}/\text{INT}$  兼用入力

$\overline{\text{POLL}}$  入力は POLL 命令によってチェックされ、ロウ・レベルであれば次の命令に移ります。ハイ・レベルであればロウ・レベルになるまで続く 5 クロック・サイクルごとに  $\overline{\text{POLL}}$  入力をチェックします。

これらの機能は CPU のプログラムと外部デバイス動作との同期をとるために利用されます。

注意  $\overline{\text{POLL}}$  端子は P14 が入力モードと指定されたときに機能します。

その他の場合は、POLL 命令実行時にロウ・レベルと見なされます。

(2) コントロール・モード

P13-P17 端子は、PMC1 レジスタにより、ビット単位にコントロール端子として設定することができます。

(a)  $\overline{\text{INTAK}}(\text{Interrupt Acknowledge}) \cdots \cdots \text{P13}/\overline{\text{INTP2}}$  兼用出力

ソフトウェアによってマスク可能な割り込み要求入力 (INT) のアクノリッジ信号出力端子です。

$\overline{\text{INTAK}}$  信号は CPU が INT 信号を受け付けたときにロウ・レベルを出力し、外部デバイスはこの信号に同期させてデータ・バス (D0-D15) を介して割り込みベクタを CPU に入力します。

INT 端子とともに、 $\mu\text{PD71059}$  等の割り込みコントローラを接続するのに使用します。

(b)  $\text{INT}(\text{Interrupt}) \cdots \cdots \text{P14}/\overline{\text{POLL}}$  兼用入力

ソフトウェアによってマスク可能な割り込み要求入力端子です。

この入力はハイ・レベル・アクティブで、命令の最終クロック・サイクルで検出されます。外部デバイスは CPU から出力される  $\overline{\text{INTAK}}$  信号によって、INT 割り込み要求が受け付けられたことを確認します。INT 信号は、少なくとも最初の  $\overline{\text{INTAK}}$  信号が出力されるまでハイ・レベルを保持する必要があります。

INT 端子は、 $\overline{\text{INTAK}}$  端子とともに  $\mu\text{PD71059}$  等の割り込みコントローラを接続するのに使用します。

この INT 入力は HALT モードの解除にも使用します。

(c)  $\text{TOUT}(\text{Timer Output}) \cdots \cdots \text{P15}$  兼用出力

タイマ・ユニット (タイマ 0) からの出力端子です。

- (d)  $\overline{\text{SCK0}}$  (Serial Clock0) ..... P16 兼用出力  
シリアル・インタフェース (チャネル0) の送信クロック出力端子です。
- (e)  $\text{READY}$  (Ready) ..... P17 兼用入力  
外部からバス・サイクル時 (メモリ・リフレッシュ・サイクルは除く) にウェイト・ステートの挿入を制御する入力端子です。  
 $\text{READY}$  端子は、レベルでセンスされ、ロー・レベルの期間中ウェイト・ステートが挿入されます。

注意 P17 を選択すると、バス・サイクルは常にレディ (ノー・ウェイト) となります。

出力ポートに設定した端子は、ホールド・モード、スタンバイ・モードでは直前のデータを保持します。コントロール・モードに設定したコントロール信号出力端子は、ホールド・モード、HALTモードでは動作を継続し、STOPモードでは直前のデータを保持します。

$\overline{\text{RESET}}$  入力時、P00-P17 端子は入力ポートになります (出力ハイ・インピーダンス)。

### 2.2.3 P20-P27 (Port2) ..... 3ステート入出力

ポート2 (出力ラッチ付き8ビット入出力ポート) および、各種コントロール信号としても働く8ビット入出力の兼用端子です。

P20-P27 端子の動作モードは、ポート2モード・コントロール・レジスタ (PMC2) により、ビット単位にポート/コントロール・モードの設定ができます (表2-3参照)。

表2-3 ポート2の動作 (n=0-7)

|     | PMC2 <sub>n</sub> =1          | PMC2 <sub>n</sub> =0 |                     |
|-----|-------------------------------|----------------------|---------------------|
|     |                               | PM2 <sub>n</sub> =1  | PM2 <sub>n</sub> =0 |
| P20 | $\overline{\text{DMARQ0}}$ 入力 | 入力ポート                | 出力ポート               |
| P21 | $\overline{\text{DMAAK0}}$ 出力 | 入力ポート                | 出力ポート               |
| P22 | $\overline{\text{TC0}}$ 出力    | 入力ポート                | 出力ポート               |
| P23 | $\overline{\text{DMARQ1}}$ 入力 | 入力ポート                | 出力ポート               |
| P24 | $\overline{\text{DMAAK1}}$ 出力 | 入力ポート                | 出力ポート               |
| P25 | $\overline{\text{TC1}}$ 出力    | 入力ポート                | 出力ポート               |
| P26 | $\overline{\text{HLDACK}}$ 出力 | 入力ポート                | 出力ポート               |
| P27 | $\overline{\text{HLDRQ}}$ 入力  | 入力ポート                | 出力ポート               |

#### (1) ポート・モード

P20-P27 端子は、PMC2 レジスタによりポート・モードに設定した場合 (PMC2<sub>n</sub>=0; n=0-7), ポート2モード・レジスタ (PM2) により、ビット単位に入力または出力ポートに設定できます。

## (2) コントロール・モード

P20-P27 端子は、PMC2 レジスタにより、ビット単位にコントロール端子に設定 (PMC2n=1; n=0-7) することができます。

- (a)  $\overline{\text{DMARQ0}}, \overline{\text{DMARQ1}}$  (DMA Request 0, 1) ..... P20, P23 兼用入力  
DMA コントローラ (チャネル 0, 1) の DMA 要求入力端子です。これらはアクティブ・ハイ信号です。
- (b)  $\overline{\text{DMAAK0}}, \overline{\text{DMAAK1}}$  (DMA Acknowledge 0, 1) ..... P21, P24 兼用出力  
DMA コントローラ (チャネル 0, 1) の DMA アクノリッジ出力端子です。ただし、メモリーメモリー間の DMA 転送 (バースト・モード、シングル・ステップ・モード) 時には出力されません。  
これらはアクティブ・ロウ信号です。
- (c)  $\overline{\text{TC0}}, \overline{\text{TC1}}$  (Terminal Count 0, 1) ..... P22, P25 兼用出力  
DMA コントローラ (チャネル 0, 1) の DMA 完了信号出力端子です。  
DMA サービス・チャネル中の TC0, TC1 がそれぞれ 0 になった時に出力されます。  
これらはアクティブ・ロウ信号です。
- (d)  $\overline{\text{HLDK}}$  (Hold Acknowledge) ..... P26 兼用出力  
V25, V35 がホールド要求信号 (HLDRQ) を受け付けて、バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。  
この信号がアクティブ (ロウ・レベル) の間、アドレス・バス、データ・バス、制御バスは、ハイ・インピーダンスになります。
- (e)  $\overline{\text{HLDRQ}}$  (Hold Request) ..... P27 兼用入力  
外部デバイスが V25, V35 に対してアドレス・バス、データ・バス、制御バスの解放を要求するための信号入力端子です。  
HLDRQ 入力は、アクティブ・ハイ信号です。

出力ポートに設定した端子は、ホールド・モード、スタンバイ・モードでは直前のデータを保持します。コントロール・モードに設定したコントロール信号出力端子は、ホールド・モード、HALT モードでは動作を継続し、STOP モードでは直前のデータを保持します。  
 $\overline{\text{RESET}}$  入力により、入力ポートになります (出力ハイ・インピーダンス)。

## 2.2.4 PT0-PT7 (Port with Comparator 0-7) ..... 入力

ポート T (PT0-PT7) は、スレッショールド電圧 (基準電圧) を 16 段階に変えられるコンパレータ付きの 8 ビット入力端子です。

## 2.2.5 $V_{TH}$ (Threshold Voltage) ..... 入力

ポート T の基準電圧入力端子です。



## 2.2.6 TxD0, TxD1 (Transmit Data0,1)……………出力

シリアル・インタフェース（チャンネル0, 1）のシリアル・データ出力端子です。

アシンクロナス・モード時、送信データはスタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットの1データ・フレームで、最下位（LSB）から送信されます。TxD0, TxD1 端子は送信禁止のとき、あるいはシリアル・レジスタに送信するデータを持たないとき、マーク状態(1)になります。

I/Oインタフェース・モード時（TxD0 端子のみ）は、送信データは8ビット固定で最上位ビット（MSB）から送信されます。

TxD0, TxD1 端子は、ホールド・モード/HALTモードでは動作を継続しますが、STOPモードでは直前のデータを保持します。また、 $\overline{\text{RESET}}$ 入力時はハイ・インピーダンスになります。

## 2.2.7 RxD0, RxD1 (Recieve Data0,1)……………入力

シリアル・インタフェース（チャンネル0, 1）のシリアル・データ入力端子です。

アシンクロナス・モード時、受信許可状態でRxD0, RxD1 端子入力のロウ・レベルを検出するとスタート・ビットとして認識して受信動作を行います。

I/Oインタフェース・モード時（RxD0 端子のみ）は、受信データは受信クロックの立ち上がりエッジでシリアル・レジスタに入力されます。

## 2.2.8 $\overline{\text{CTS0}}$ (Clear to Send0)……………入出力

シリアル・インタフェース（チャンネル0）のCTS端子です。

$\overline{\text{CTS0}}$  端子は、アシンクロナス・モード時はロウ・レベル・アクティブで、送信許可状態にする入力端子です。I/Oインタフェース・モード時は受信クロックの入出力端子となります。

$\overline{\text{CTS0}}$  端子は、ホールド・モード/HALTモードでは動作を継続しますが、STOPモードでは直前のデータを保持します。また、 $\overline{\text{RESET}}$ 入力時、I/Oインタフェース・モードの入力端子となります（出力ハイ・インピーダンス）。

## 2.2.9 $\overline{\text{CTS1}}$ (Clear to Send1)……………入力

シリアル・インタフェース（チャンネル1）のCTS端子です。

$\overline{\text{CTS1}}$  端子は、ロウ・レベル・アクティブで送信許可状態にする入力端子です（アシンクロナス・モード）。

## 2.2.10 $\overline{\text{RESET}}$ (Reset)……………入力

ロウ・レベル・アクティブのリセット入力端子です。

$\overline{\text{RESET}}$  入力は非同期入力であり、動作クロックに無関係に一定のロウ・レベル幅を有する信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ/スタートのほかに、スタンバイ（STOP/HALT）モードの解除にも使用されます。

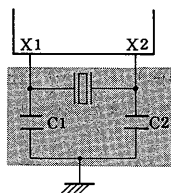
### 2.2.11 $\overline{EA}$ (External Access) .....入力

$\mu$ PD70322, 70332のときはハイ・レベルに,  $\mu$ PD70320, 70330のときはロウ・レベルにしてください。

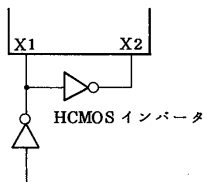
### 2.2.12 X1, X2 (Crystal)

システム・クロック発生用クリスタル振動子/セラミック発振子接続端子です。外部クロックを入力することも可能です。

(a) クリスタル/セラミック<sup>注</sup>発振



(b) 外部クロック入力



注意 1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2.  の範囲に他の信号線を通さないでください。

注 セラミック発振子および外付け容量は、デバイスとのマッチングを考慮して、当社推奨の製品を使用してください。

外部クロックを入力する場合は、X1端子とX2端子に逆相のクロックを入力してください。

### 2.2.13 D0-D15 (Data Bus0-15) .....入出力

データ・バス入出力端子です。

ホールド・モード/スタンバイ・モード/ $\overline{RESET}$ 入力時、すべてハイ・インピーダンスになります。

### 2.2.14 A0-A19 (Address Bus0-19) .....出力

20ビット・アドレス・バス出力端子です。

スタンバイ・モードではアドレス・データは保有されますが、出力されるアドレスは不定です。

ホールド・モード/ $\overline{RESET}$ 入力時ではハイ・インピーダンスになります。

### 2.2.15 $\overline{\text{MREQ}}$ (Memory Request)……………出力

メモリ・バス・サイクルが起動され、アドレス・バス上のメモリ・アドレスが有効であることを示すロウ・レベル・アクティブの出力端子です。

スタンバイ・モードでは、ハイ・レベル固定となります。ホールド・モード/ $\overline{\text{RESET}}$ 入力時は、ハイ・インピーダンスとなります。

### 2.2.16 $\overline{\text{MSTB}}$ (Memory Strobe)……………出力

$\overline{\text{MSTB}}$ 端子は、 $\overline{\text{MREQ}}$ 、 $\text{R}/\overline{\text{W}}$ 信号と組み合わせてメモリ・アクセスの制御を行う出力端子です。

メモリ・ライト時、データ・バスに出力しているデータが有効であることを示します。 $\overline{\text{MSTB}}$ 出力は、 $\overline{\text{MREQ}}$ とは立ち下りのタイミングだけが異なる信号です。

スタンバイ・モードでは、ハイ・レベル固定となります。ホールド・モード/ $\overline{\text{RESET}}$ 入力時は、ハイ・インピーダンスとなります。

### 2.2.17 $\text{R}/\overline{\text{W}}$ (Read/Write Strobe)……………出力

メモリ・バス・サイクル起動時、メモリ・リード・サイクル、またはメモリ・ライト・サイクルの識別用信号出力端子です。

$\text{R}/\overline{\text{W}}$ 出力のハイ・レベルがメモリ・リード・サイクルを示し、ロウ・レベルがメモリ・ライト・サイクルを示します。

スタンバイ・モードでは、ハイ・レベル固定となります。ホールド・モード/ $\overline{\text{RESET}}$ 入力時は、ハイ・インピーダンスとなります。

### 2.2.18 $\overline{\text{REFRQ}}$ (Refresh Request)……………出力

リフレッシュ・パルスの出力端子です。

$\overline{\text{REFRQ}}$ 端子の出力は、リフレッシュ・モード・レジスタ (RFM) 内容により制御されます。

HALTモードでは動作を継続しますが、STOPモードでは直前のデータを保持します。また、ホールド・モード/ $\overline{\text{RESET}}$ 入力時はハイ・インピーダンスとなります。

### 2.2.19 $\overline{\text{IOSTB}}$ (I/O Strobe) …………… 出力

I/Oバス・サイクルが起動されたことを示すロウ・レベル・アクティブの出力端子です。

$\overline{\text{IOSTB}}$ 端子は、ロウ・レベル時にA0-A15に出力されているI/Oアドレスが有効であることを示します。

スタンバイ・モードでは、ハイ・レベル固定となります。ホールド・モード/ $\overline{\text{RESET}}$ 入力時は、ハイ・インピーダンスとなります。

### 2.2.20 $\text{V}_{\text{DD}}$ (Power Supply)

正電源供給端子です。

2端子とも、 $\text{V}_{\text{DD}}$ 電圧を供給してください。

## 2.2.21 GND (Ground)

GND電位の端子です。

2端子とも、GND電位に固定してください。

## 2.2.22 $\overline{V25}/\overline{V35}$ (V25 Mode / V35 Mode) ..... 入力

$\mu$ PD70P322の動作モード設定端子です。ハイ・レベルのとき、V25モードとなり、ロウ・レベルのとき、V35モードとなります。

## 2.2.23 $\overline{\text{PROG}}$ (Program) ..... 入力

$\mu$ PD70P322のEPROMプログラミング・モード設定端子です。通常動作では、ハイ・レベルに固定してください。

## 2.2.24 $\overline{\text{UBE}}$ (Upper Byte Enable) ..... 入力

V35で上位のメモリ・バンクを選択する端子です。A18と兼用しています。

この信号がアクティブとなるのは、次のバス・サイクルです。

- 奇数アドレスに対するバイト・アクセス、または奇数アドレスに対するワード・データのための1回目のバイト・アクセス
- 偶数アドレスに対するワード・データのアクセス

| ア ク セ ス    |       | $\overline{\text{UBE}}$ | A 0 |
|------------|-------|-------------------------|-----|
| 偶数アドレスのワード |       | 0                       | 0   |
| 奇数アドレスのワード | 1 回 目 | 0                       | 1   |
|            | 2 回 目 | 1                       | 0   |
| 偶数アドレスのバイト |       | 1                       | 0   |
| 奇数アドレスのバイト |       | 0                       | 1   |

上述の動作は、I/Oサイクルにおいても有効です。

## 2.3 端子の入出力回路

2.3.1 に入出力回路タイプ、2.3.2 にタイプごとの回路を示します。

### 2.3.1 入出力回路タイプ

#### (1) ポート

| 端子名             | タイプ | 端子名        | タイプ |
|-----------------|-----|------------|-----|
| P00-P06         | 5   | P20/DMARQ0 | 5   |
| P07/CLKOUT      | 5   | P21/DMAAK0 | 5   |
| NMI             | 2   | P22/TC0    | 5   |
| P11/INTP0       | 1   | P23/DMARQ1 | 5   |
| P12/INTP1       | 1   | P24/DMAAK1 | 5   |
| P13/INTP2/INTAK | 5   | P25/TC1    | 5   |
| P14/INT/POLL    | 5   | P26/HLDAK  | 5   |
| P15/TOUT        | 5   | P27/HLDRQ  | 5   |
| P16/SCK0        | 5   | PT0-PT7    | 7   |
| P17/READY       | 5   |            |     |

#### (2) ポート以外

(a) #PD70322,70320

| 端子名   | タイプ | 端子名    | タイプ |
|-------|-----|--------|-----|
| TxD0  | 4   | EA     | 1   |
| TxD1  | 4   | D0-D7  | 5   |
| RxD0  | 1   | A0-A19 | 4   |
| RxD1  | 1   | MREQ   | 4   |
| CTS0  | 5   | MSTB   | 4   |
| CTS1  | 1   | R/W    | 4   |
| REFRQ | 4   | I0STB  | 4   |
| RESET | 2   |        |     |

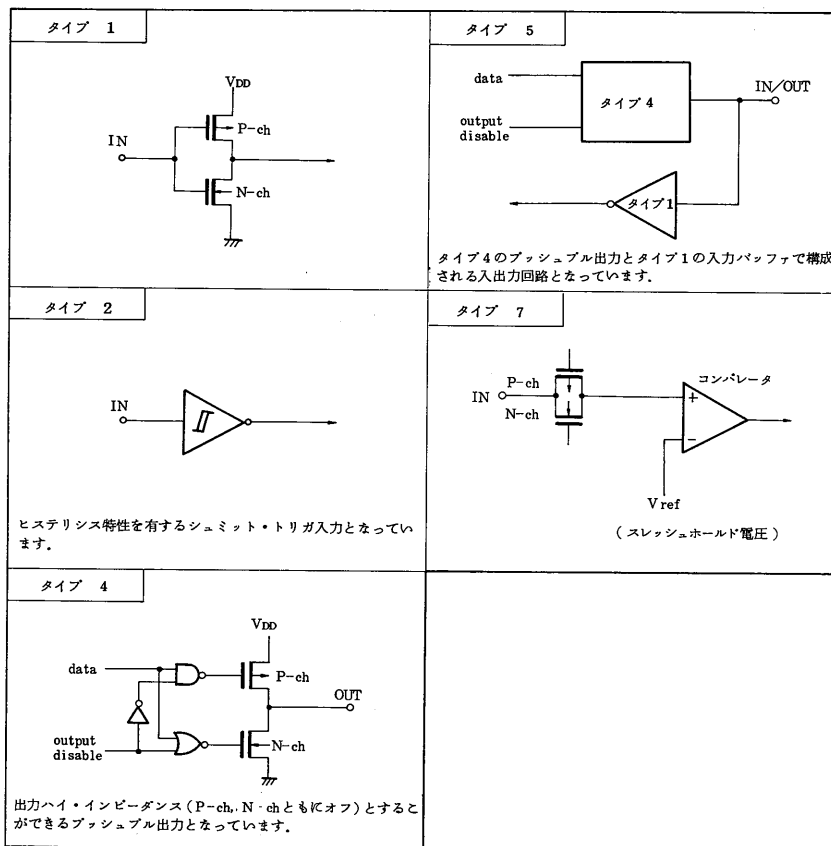
(b)  $\mu$ PD70332, 70330

| 端 子 名  | タ イ プ | 端 子 名            | タ イ プ |
|--------|-------|------------------|-------|
| TxD0   | 4     | A0               | 4     |
| TxD1   | 4     | A9/A1-A16/A8     | 4     |
| RxD0   | 1     | A17/A18          | 4     |
| RxD1   | 1     | A19              | 4     |
| CTS0   | 5     | A18/UB $\bar{E}$ | 4     |
| CTS1   | 1     | MREQ             | 4     |
| REFRQ  | 4     | MSTB             | 4     |
| RESET  | 2     | R/W              | 4     |
| EA     | 1     | IOSTB            | 4     |
| D0-D15 | 5     |                  |       |

(c)  $\mu$ PD70P322

| 端子名 (V35モード) | タ イ プ | 端子名 (V35モード)     | タ イ プ |
|--------------|-------|------------------|-------|
| TxD0         | 4     | A9/A1-A16/A8     | 4     |
| TxD1         | 4     | A17/A18          | 4     |
| RxD0         | 1     | A19              | 4     |
| RxD1         | 1     | A18/UB $\bar{E}$ | 4     |
| CTS0         | 5     | MREQ             | 4     |
| CTS1         | 1     | MSTB             | 4     |
| REFRQ        | 4     | R/W              | 4     |
| RESET        | 2     | IOSTB            | 4     |
| D0-D15       | 5     | PROM             | 1     |
| A0           | 4     | V25/V35          | 1     |

## 2.3.2 入出力回路



## 2.4 未使用端子の処理

### (1) ポート

| 端 子 名           | 推 奨 接 続 方 法                          |
|-----------------|--------------------------------------|
| P00-P06         | 入力状態：プルアップ抵抗を介してV <sub>DD</sub> に接続  |
| P07/CLKOUT      | 出力状態：オープン                            |
| NMI             | プルダウン抵抗を介してGNDに接続                    |
| P11/INTP0       | プルアップ抵抗を介してV <sub>DD</sub> に接続、またはプル |
| P12/INTP1       | プルダウン抵抗を介してGNDに接続                    |
| P13/INTP2/INTAK | 入力状態：プルアップ抵抗を介してV <sub>DD</sub> に接続  |
| P14/INT/POLL    | 出力状態：オープン                            |
| P15/TOUT        |                                      |
| P16/SCK0        |                                      |
| P17/READY       |                                      |
| P20/DMARQ0      |                                      |
| P21/DMAAK0      |                                      |
| P22/TC0         |                                      |
| P23/DMARQ1      |                                      |
| P24/DMAAK1      |                                      |
| P25/TC1         |                                      |
| P26/HLDAK       |                                      |
| P27/HLDRQ       |                                      |
| PT0-PT7         | プルダウン抵抗を介してGNDに接続                    |



## (2) ポート以外

(a)  $\mu$ PD70322, 70320, 70P322 (V25モード)

| 端 子 名           | 推 奨 接 続 方 法                                              |
|-----------------|----------------------------------------------------------|
| TxD0            | オープン                                                     |
| TxD1            |                                                          |
| RxD0            | プルアップ抵抗を介してV <sub>DD</sub> に接続, またはプル<br>ダウン抵抗を介してGNDに接続 |
| RxD1            |                                                          |
| CTS0            | 入力状態: プルアップ抵抗を介してV <sub>DD</sub> に接続<br>出力状態: オープン       |
| CTS1            | プルアップ抵抗を介してV <sub>DD</sub> に接続, またはプル<br>ダウン抵抗を介してGNDに接続 |
| REFRQ           | オープン                                                     |
| V <sub>TH</sub> | プルダウン抵抗を介してGNDに接続                                        |
| D0-D7           | 入力状態: プルアップ抵抗を介してV <sub>DD</sub> に接続<br>出力状態: オープン       |
| A0-A19          | オープン                                                     |
| MREQ            |                                                          |
| MSTB            |                                                          |
| R/W             |                                                          |
| IOSTB           |                                                          |

(b)  $\mu$ PD70332, 70330, 70P322 (V35モード)

| 端 子 名                        | 推 奨 接 続 方 法                                              |
|------------------------------|----------------------------------------------------------|
| TxD0                         | オープン                                                     |
| TxD1                         |                                                          |
| RxD0                         | プルアップ抵抗を介してV <sub>DD</sub> に接続, またはプル<br>ダウン抵抗を介してGNDに接続 |
| RxD1                         |                                                          |
| $\overline{\text{CTS0}}$     | 入力状態: プルアップ抵抗を介してV <sub>DD</sub> に接続<br>出力状態: オープン       |
| $\overline{\text{CTS1}}$     | プルアップ抵抗を介してV <sub>DD</sub> に接続, またはプル<br>ダウン抵抗を介してGNDに接続 |
| $\overline{\text{REFRQ}}$    | オープン                                                     |
| V <sub>TH</sub>              | プルダウン抵抗を介してGNDに接続                                        |
| D0-D15                       | 入力状態: プルアップ抵抗を介してV <sub>DD</sub> に接続<br>出力状態: オープン       |
| A0                           | オープン                                                     |
| A9/A1-A16/A8                 |                                                          |
| A17-A18                      |                                                          |
| A19                          |                                                          |
| A18/ $\overline{\text{UBE}}$ |                                                          |
| $\overline{\text{MREQ}}$     |                                                          |
| $\overline{\text{MSTB}}$     |                                                          |
| R/ $\overline{\text{W}}$     |                                                          |
| $\overline{\text{IOSTB}}$    |                                                          |

## 第3章 内部CPU機能

V25, V35は、 $\mu$ PD70116, 70108のネイティブモードとソフトウェア・コンパチブルなCPUを持っています。

### 3.1 レジスタ

V25, V35のCPUは、 $\mu$ PD70116, 70108とコンパチブルな汎用のレジスタ・セットを持っています。また、オン・チップ周辺ハードウェアの制御用に種々の特殊機能のレジスタを持っています。これらのレジスタは、すべてメモリ空間にマッピングされています。特に汎用のレジスタ・セットは、内蔵RAMと兼用になっており、内蔵RAM上に最大8バンクのレジスタ・セットを持つことができます。

また、これらのレジスタのアドレスは、4 Kバイト単位でリロケート可能で、このアドレスは特殊機能レジスタの1つである内部データ領域ベース・レジスタ (IDB) によって指定されます (3.4.2 参照)。

#### 3.1.1 レジスタ・バンク

汎用のレジスタ・セットは、内蔵RAM領域にマッピングされています。汎用のレジスタ・セットはバンク形式になっており、8バンクまで設定可能で、1バンクあたり32バイト使用します。この8バンクのうちバンク0とバンク1は、マクロ・サービス・チャネル (4.4.4 参照)、DMA サービス・チャネル (6.3.3 参照) 用にも使用されます。また、データ・メモリとしてもアクセスできます (3.4.4 参照)。

通常CPUはレジスタ・バンク7を用いてプログラムを実行し、割り込みによって他のレジスタ・バンクへ自動的に切り替えられます。割り込みによって切り替えられたレジスタ・バンクから元のレジスタ・バンクへ戻るには、割り込みからの復帰命令RETRBI ( $\mu$ PD70108, 70116 に対するV25, V35の追加命令) によってのみ行えます。(4.4.2 参照)。

レジスタ・バンクの構成は、図3-1のようになっています。レジスタ・バンク中の(+00H)、(+01H)は、レジスタ・バンクを使用する場合に予約領域となります。汎用のレジスタ・セットは、各レジスタ・バンクの開始アドレスからのオフセットで(+08H)~(+1FH)の領域にマッピングされています。なお、(+02H)~(+07H)の領域は、レジスタ・バンクの切り替え時に使用されるため一般用途には使用できません。

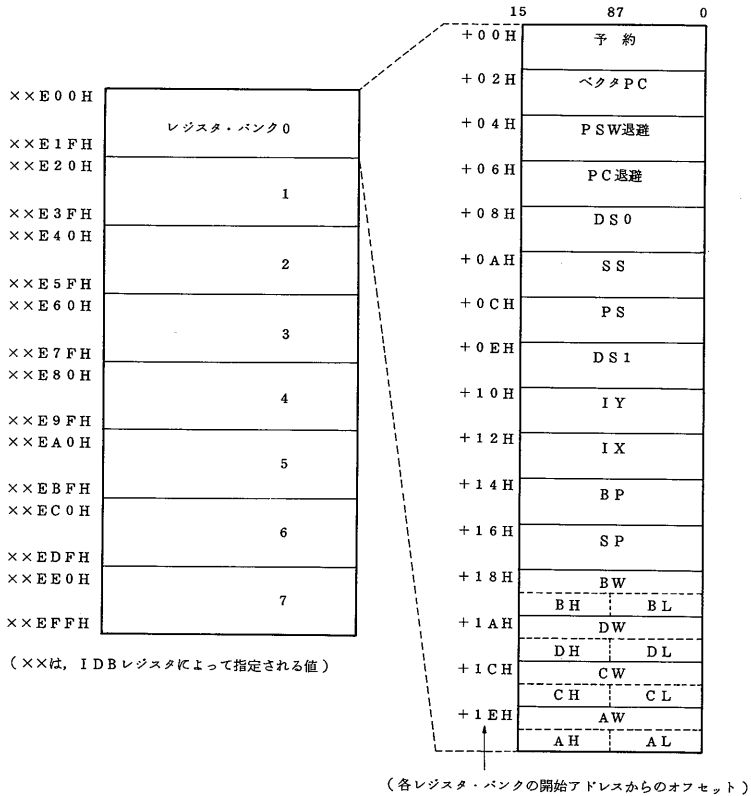
(+02H)の領域へは、レジスタ・バンクが切り替ったときにPCへロードされる値、すなわち割り込み処理ルーチンの先頭アドレスのオフセットをセットします。

(+04H)は、レジスタ・バンクが切り替ったときにPSWを退避するための領域です。

(+06H)は、レジスタ・バンクが切り替ったときにPCを退避するための領域です (4.4.2 参照)。リセット後には、レジスタ・バンク7が自動的に選択されます。また、リセット後のセグメント・

レジスタ ( 3.1.4 参照 ) の初期化は、レジスタ・バンク 7 のレジスタにのみ行います。

図 3 - 1 レジスタ・バンクの構成



### 3.1.2 汎用レジスタ (AW, BW, CW, DW)

汎用レジスタには4つの16ビット・レジスタがあります。これらのレジスタは、16ビット・レジスタとしてのアクセスはもちろん、各レジスタを上位、下位の8ビットに分けて、8ビット・レジスタ (AH, AL, BH, BL, CH, CL, DH, DL) としてもアクセス可能です。

これらのレジスタは転送命令、算術命令、論理演算命令などの広範の命令に対して、8ビット・レジスタまたは16ビット・レジスタとして利用されます。

また、各レジスタは、次に示すような特定の命令処理にデフォルト・レジスタとして使用されます。

AW：ワード乗算／除算，ワード入力／出力，データ変換

AL：バイト乗算／除算，バイト入力／出力，翻訳，BCDローテーション，データ変換

AH：バイト乗算／除算

BW：翻訳

CW：ループ制御ブランチ，リピート・プリフィクス

CL：シフト命令，ローテーション命令，BCD演算

DW：ワード乗算／除算，間接アドレッシング入力／出力

これらのレジスタは、内蔵RAMにマッピングされています。そのアドレスは次の値になります。

(IDBレジスタ<sup>注</sup>の値×4096)+(0E00H)+(レジスタ・バンクの番号×32)+(レジスタごとのオフセット)

注 IDBレジスタは3.4.2を参照してください。

表3-1 汎用レジスタのオフセット

| レジスタ | オフセット | レジスタ | オフセット |
|------|-------|------|-------|
| AW   | 1EH   | AL   | 1EH   |
|      |       | AH   | 1FH   |
| BW   | 18H   | BL   | 18H   |
|      |       | BH   | 19H   |
| CW   | 1CH   | CL   | 1CH   |
|      |       | CH   | 1DH   |
| DW   | 1AH   | DL   | 1AH   |
|      |       | DH   | 1BH   |

### 3.1.3 ポインタ (SP, BP) とインデックス・レジスタ (IX, IY)

ベース・アドレッシング (BP)、インデックス・アドレッシング (IX, IY)、ベース・インデックス・アドレッシング (BP, IX, IY) 等によるメモリ・アクセス時に、ベース・ポインタまたはインデックス・レジスタとして使用される16ビットのレジスタです。また、SPはスタック操作時のポインタとして使用されます。さらに、汎用レジスタと同様、転送、算術演算などの命令に対して

使用されますが、この場合 8 ビット・レジスタとしては使用できません。さらに、各レジスタは、次に示すような特定の処理にデフォルト・レジスタとして使用されます。

SP：スタック操作

IX：ブロック転送，BCD スtring 演算のソース側

IY：ブロック転送，BCD スtring 演算のデスティネーション側

これらのレジスタは、内蔵 RAM にマッピングされており、そのアドレスは次の値になります。  
( I DB レジスタ<sup>注</sup>の値 × 4 0 9 6 ) + ( 0 E 0 0 H ) + ( レジスタ・バンクの番号 × 3 2 ) + ( レジスタごとのオフセット )

注 I DB レジスタは 3. 4. 2 を参照してください。

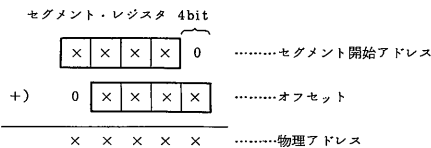
表 3 - 2 ポインタとインデクス・レジスタのオフセット

| レジスタ | オフセット |
|------|-------|
| SP   | 1 6 H |
| BP   | 1 4 H |
| IX   | 1 2 H |
| IY   | 1 0 H |

3 . 1 . 4 セグメント・レジスタ ( PS , SS , DS 0 , DS 1 )

CPU は、6 4 K バイト単位の論理セグメントにメモリ空間を分割します。セグメント・レジスタは、各セグメントの開始アドレスを指定します。開始アドレスからのオフセットは、別のレジスタまたは実効アドレスで指定されます。

したがって、物理アドレスは次に示すように生成されます。



セグメント・レジスタには、PS ( Program Segment ) , SS ( Stack Segment ) , DS 0 ( Data Segment 0 ) , DS 1 ( Data Segment 1 ) の 4 種があります。それぞれのセグメントは、以下の場合に使用されます。

PS : プログラム・フェッチ

SS : スタック操作命令，BP をベース・レジスタとしたアドレッシング

DS 0 : 一般変数のアクセス，ブロック転送命令等のソース・ブロック・データのアクセス

DS 1 : ブロック転送命令等のデスティネーション・ブロック・データのアクセス

ただし、セグメント・オーバーライド・プリフィクスを用いることにより、DS0の代わりに他のセグメントを使用することができます。またBPをベース・レジスタとしたアドレッシングにおいても、同様にSSの代わりに他のセグメントを使用することが可能です。

リセット時には、レジスタ・バンク7のPSはFFFFHに、SS、DS0、DS1は0000Hにイニシャライズされます。

これらのレジスタは内蔵RAMにマッピングされており、そのアドレスは次の値になります。

$(\text{IDBレジスタ注の値} \times 4096) + (0E00H) + (\text{レジスタ・バンクの番号} \times 32) + (\text{レジスタごとのオフセット})$ 。

注 IDBレジスタは3.4.2を参照してください。

表3-3 セグメント・レジスタのオフセット

| レジスタ | オフセット |
|------|-------|
| DS0  | 08H   |
| DS1  | 0EH   |
| SS   | 0AH   |
| PS   | 0CH   |

### 3.1.5 内部データ領域ベース・レジスタ(IDB)

IDBレジスタは、内蔵RAM(汎用レジスタと兼用)とオンチップ周辺ハードウェアの制御用などの特殊機能レジスタ(3.4.3参照)の領域である内部データ領域(3.4.1参照)のアドレスを決定するための8ビットのレジスタです。このレジスタは、FFFFFHと、(自分自身の値×4096+FFFFH)の2か所のアドレスで参照することができます(3.4.2参照)。

ただし、IDBレジスタのアクセス時には1ウエイト・ステートが挿入されます。

### 3.1.6 特殊機能レジスタ

V25、V35は、オンチップ周辺ハードウェアの制御用に特殊な機能を持ったレジスタ群を持っています。これらのレジスタ群は、内部データ領域内の特殊機能レジスタ領域にメモリ・マッピングされており、通常のメモリと同様の方法で読み書きを行います(3.4.3参照)。

また、追加されたBTCLR命令(15.1参照)は、この特殊機能レジスタに対してのみ有効です。



## 3.2 プログラム・カウンタ(PC)

CPUが実行しようとしているプログラム・メモリ・アドレスのオフセットを保持する16ビット・バイナリ・カウンタです。

PCは、命令キューから命令バイトをフェッチするごとにインクリメントされます。また、ブランチ、コール、リターン、ブレーク命令実行時などには、新たなロケーションがロードされます。

また、リセット時には0000HがPCにロードされます。なお、PSはリセット時にFFFFHに初期化されますので、リセット後CPUはFFFF0H番地から実行を開始します。

## 3.3 プログラム・ステータス・ワード(PSW)

PSW(プログラム・ステータス・ワード)は、6種類のステータス・フラグと5種類のコントロール・フラグおよびユーザ・フラグで構成されます。

### ○ステータス・フラグ

- ・V (Overflow)
- ・S (Sign)
- ・Z (Zero)
- ・AC (Auxiliary Carry)
- ・P (Parity)
- ・CY (Carry)

### ○コントロール・フラグ

- ・RB0-RB2 (Register Bank 0-2)
- ・DIR (Direction)
- ・IE (Interrupt Enable)
- ・BRK (Break)
- ・ $\overline{\text{IBRK}}$  (I/O Break)

### ○ユーザ・フラグ

- F0 (user Flag0)
- F1 (user Flag1)

ステータス・フラグは、各種命令実行の結果(データ値)に従って自動的にセット(1)、リセット(0)されます。さらにCYフラグは、命令によっても直接にセット、リセット、反転が可能です。

コントロール・フラグは、命令によってセット、リセットされ、CPUの動作を制御します。IEとBRKフラグは、割り込み処理が起動されると必ずリセットされます。

ユーザ・フラグはユーザが使用できるフラグで、命令でセット、リセットおよびテストが可能です。PSWのビット構成を次に示します。

|    |     |     |     |    |     |    |     |   |   |    |    |    |   |                          |    |
|----|-----|-----|-----|----|-----|----|-----|---|---|----|----|----|---|--------------------------|----|
| 15 | 14  | 13  | 12  | 11 | 10  | 9  | 8   | 7 | 6 | 5  | 4  | 3  | 2 | 1                        | 0  |
| 1  | RB2 | RB1 | RB0 | V  | DIR | IE | BRK | S | Z | F1 | AC | F0 | P | $\overline{\text{IBRK}}$ | CY |

PUSH/POP 命令によって、PSWの内容をスタックに退避させたり、復帰させたりすることができます。ただし、POP PSW命令で復帰する際には、ビット12-14(RB0-2)はPSWにもどりません。

また、PSWの下位8ビットをMOV命令によってAHレジスタに退避させたり、復帰させたりすることができます。

割り込みの発生により、IE、BRKがリセットされる前に、PSWの内容をスタックへ自動的に退避させます。

PSWの最上位ビットは必ず1をセットしてください。

RESET入力によって、RB0-RB2、 $\overline{\text{IBRK}}$ はセット(1)され、その他はリセット(0)されます。

### 3.3.1 CY (Carry Flag)

#### (1) 2進加減算

バイト演算の場合には、演算結果のビット7からのキャリーまたはボローがあったときセットされ、なければリセットされます。

ワード演算の場合には、演算結果のビット15からのキャリーまたはボローがあったときセットされ、なければリセットされます。

インクリメント、デクリメント命令では変化しません。

#### (2) 論理演算

演算結果にかかわらずリセットされます。

#### (3) 2進乗算

符号なしバイト演算の結果、AHが0ならばリセットされ、0以外ならばセットされます。

符号付きバイト演算の結果、AHがALのサイン拡張になっていればリセットされ、それ以外ではセットされます。

符号なしワード演算の結果、DWが0ならばリセットされ、0以外ならばセットされます。

符号付きワード演算の結果、DWがAWのサイン拡張になっていればリセットされ、それ以外ではセットされます。

8ビット・イミディエント演算の場合は、積が16ビット以内のときにはリセットされ、16ビットを越える場合にはセットされます。

#### (4) 2進除算

不 定

#### (5) シフト/ローテート

CYを含むシフトおよびローテートの場合は、CYへシフトされるビットが1ならばセットされ、0ならばリセットされます。

### 3.3.2 P (Parity Flag)

(1) 2進加減算，論理演算，シフト

演算の結果を構成するビットの下位8ビットのうち，1のビットの数が偶数のときセットされ，奇数のときリセットされます。

結果がオール0のときにはセットされます。

(2) 2進乗除算

不 定

### 3.3.3 AC (Auxiliary Flag)

(1) 2進加減算

バイト演算の場合，下位4ビットから上位4ビットへのキャリーまたは上位4ビットから下位4ビットへのボローがあるときセットされ，それ以外のときリセットされます。

ワード演算では，下位バイトについてバイト演算の場合と同様の動作を行います。

(2) 論理演算，2進乗除算，シフト／ローテート

不 定

### 3.3.4 Z (Zero Flag)

(1) 2進加減算，論理演算，シフト／ローテート

バイト演算の場合には結果の8ビットが，ワード演算の場合には結果の16ビットが，すべて0の場合にセットされ，それ以外のときにはリセットされます。

(2) 2進乗除算

不 定

### 3.3.5 S (Sign Flag)

(1) 2進加減算，論理演算，シフト／ローテート

バイト演算の場合，結果のビット7が1のときセットされ，0のときリセットされます。

ワード演算の場合，結果のビット15が1のときセットされ，0のときリセットされます。

(2) 2進乗除算

不 定

### 3.3.6 V (Overflow Flag)

(1) 2進加減算

バイト演算の場合，ビット7とビット6からのキャリーが違っていればセットされ，同じであればリセットされます。

ワード演算の場合，ビット15とビット14からのキャリーが違っていればセットされ，同じであればリセットされます。

(2) 論理演算

演算結果にかかわらずリセットされます。

### (3) 2進乗算

符号なしバイト演算の結果、AHが0ならばリセットされ、0以外ならばセットされます。

符号付きバイト演算の結果、AHがALのサイン拡張になっていればリセットされ、それ以外ではセットされます。

符号なしワード演算の結果、DWが0ならばリセットされ、0以外ならばセットされます。

符号付きワード演算の結果、DWがAWのサイン拡張になっていればリセットされ、それ以外ではセットされます。

8ビット・イミディエイト演算の場合は、積が16ビット以内のときにはリセットされ、16ビットを越えるときにはセットされます。

### (4) 2進除算

演算の結果にかかわらずリセットされます。

### (5) シフト／ローテート

左1ビット・シフト／ローテートの場合、演算結果において、

CY＝最上位ビットのとき：リセット

CY≠最上位ビットのとき：セット

右1ビット・シフト／ローテートの場合、演算結果において、

最上位ビット＝最上位の次の下位ビットのとき：リセット

最上位ビット≠最上位の次の下位ビットのとき：セット

多ビット・シフト／ローテートの場合は不定となります。

## 3.3.7 $\overline{\text{IBRK}}$ (I/O Break Flag)

入出力命令時のソフトウェア割り込みの発生を制御します。

$\overline{\text{IBRK}}=0$ のとき、入出力命令を実行しようとするソフトウェア割り込み(割り込みベクタ19)が発生します。このため、ソフトウェアによる入出力命令のエミュレートができます。

$\overline{\text{IBRK}}=1$ のとき、入出力命令を実行してもソフトウェア割り込みは発生しません。

## 3.3.8 BRK(Break Flag)

BRKフラグがセットされていれば、I命令を実行するとソフトウェア割り込み(割り込みベクタ1)が発生します。このため、1命令ずつのトレースが可能となります。

PSWの一部としてスタックに退避している状態でのみ、メモリ操作命令によってセットされます。セット後にPSWへ復帰すると有効になります。

## 3.3.9 IE(Interrupt Enable Flag)

EI命令でセットされて割り込みを許可状態にし、DI命令でリセットされて割り込みを禁止状態にします。

### 3.3.10 DIR (Direction Flag)

SET1 DIR命令でセットされ、CLR1 DIR命令でリセットされます。

DIRフラグがセットされていると、ブロック転送／入出力系命令において上位アドレスから下位アドレスへ向かって処理を行い、リセットされていると、下位アドレスから上位アドレスへ向かって処理を行います。

### 3.3.11 RB0-RB2 (Register Bank0-2 Flag)

RB0-RB2で、内部RAM内に設定された8個のレジスタ・バンクの中から現在使用中のレジスタ・バンクを示します。

POP PSW命令によるスタックからの復帰はしません。

注意 割り込み処理ルーチンの中で、スタック、PSW退避レジスタに退避しているRB0～RB2の値を変えないでください。

### 3.3.12 F0, F1 (user Flag0,1 Flag)

ユーザが自由に使用できるフラグです。

PSWに関する命令でこのフラグのセット、リセットができます。また、FLAGレジスタ（特殊機能レジスタ）によってもセット、リセット、テストができます。

FLAGレジスタのビット構成を図3-2に示します。

図3-2 FLAG

| 7 | 6 | 5  | 4 | 3  | 2 | 1 | 0 |
|---|---|----|---|----|---|---|---|
| — | — | F1 | — | F0 | — | — | — |

### 3.4 メモリ空間

V25, V35は、1Mバイトのメモリ空間を持っています。図3-3にメモリマップを示します。00000H-003FFHはベクタ領域です。ただし、ベクタとして使用していない場合には、他の目的に利用できます。

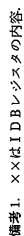
××E00H-××FFFH(××は、IDBレジスタの内容)は、内部データ領域です。この領域は、4Kバイト単位でロケーションを変えられます。

FFFFCH-FFFFFHの4バイトは予約されています。FFFFFHには、IDBレジスタが割り付けられています。

メモリ空間のアクセスでは、128Kバイトごとにウェイト・サイクルをプログラマブルに挿入できます。

物理アドレスについては、3.1.4を参照してください。

**注意** セグメント内オフセットがFFFFFH番地でワード参照を行うと、2バイト目の参照番地は同じセグメント内の0000H番地ではなく、FFFFH+1番地となります(μPD70108, 70116(V20<sup>TM</sup>, V30<sup>TM</sup>)では0000H番地)。



- +□□田はアドレスのオフセット値で、レジスタ・パンクを加えた値を実際のアドレスにります。  
 3. 内蔵ROMは#PD7 0320, 70330 にあり、DMA サービス・チャネル0, 1 にそれぞれ割当てられています。  
 4. マクロの#PD7 0320, 70330 にあり、DMA サービス・チャネル0, 1 にそれぞれ割当てられています。

### 3.4.1 内部データ領域

内部データ領域は、内蔵RAM領域と特殊機能レジスタ領域を併せた512バイトの領域で、1Mバイトのメモリ空間内を4Kバイト単位でリロケート可能です。内部データ領域のベース・アドレスの設定は、IDBレジスタ（内部データ領域ベース・レジスタ）によって行います。20ビットある内部データ領域ベース・アドレスの上位8ビットをIDBレジスタで指定し、下位12ビットはE00H固定です。

内部データ領域は、メモリ操作命令によって操作されます。

内部データ領域は、図3-4に示すように外部メモリ領域または内蔵ROM領域（μPD70320、70330にはなし）と重なっています。プログラム・フェッチ以外のメモリ・アクセスでは、内部データ領域がアクセスの対象となります。また、プログラム・フェッチでは、内部データ領域以外がアクセスの対象となります。

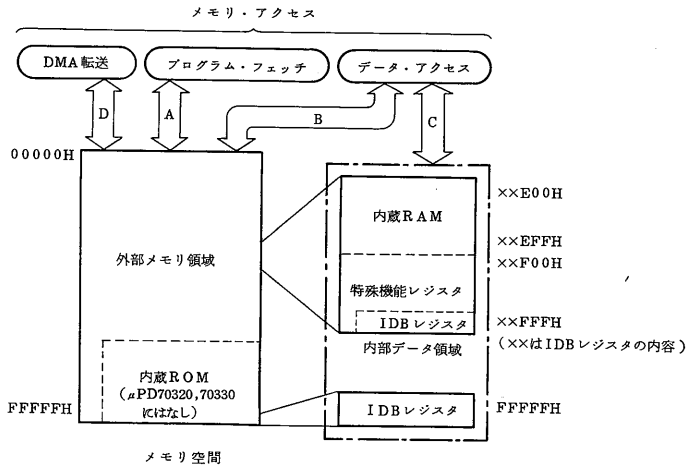
内部データ領域の下位256バイト（××E00H-××FFFH：××はIDBレジスタの内容）が内蔵RAM領域です。内蔵RAM領域には、普通のRAMとしての用途のほかにレジスタ・バンク、マクロ・サービス・チャンネル、DMAサービス・チャンネルが機能的に割り付けてあります。特殊機能レジスタであるプロセッサ・コントロール・レジスタ（PRC）のビット6（RAMEN）をリセット（0）することによって、内蔵RAMを通常のRAMとしてアクセスすることを禁止できます。

内部データ領域の上位256バイト（××F00H-××FFFH、××はIDBレジスタの内容）が特殊機能レジスタ領域となります。特殊機能レジスタには、オンチップ周辺ハードウェアのモード・レジスタ、制御レジスタなどの特別な機能を割り付けたレジスタ群がマッピングされています。

RESET入力時、IDBレジスタがFFHに初期化されるため、内部データ領域はFFE00H-FFFFFHにリロケートされます。



図 3 - 4 メモリ空間のアクセス条件



- A. プログラム・フェッチは内部データ領域以外がアクセスの対象
- B. 内部データ領域外のデータ・アクセス，または内蔵RAMアクセス禁止時の内蔵RAM領域に相当するアドレスのデータ・アクセス
- C. データ・アクセスは，Bの条件に相当しない場合，内部データ領域がアクセスの対象として優先されます。
- D. DMA転送は，外部領域がアクセスの対象（内蔵ROM部は対象となりません）。

### 3.4.2 内部データ領域ベース・レジスタ（IDB）

内部データ領域（後述する内蔵RAMと特殊機能レジスタの領域）の物理アドレスを決定するレジスタです。内部データ領域ベース・アドレスの上位8ビットを指定します。下位12ビットはE00H固定となります。

IDBには，特殊機能レジスタ領域内の××FFFH（××はIDBレジスタの内容）と固定アドレスFFFFFFHの2つのアドレスが割り付けてあります。この2つのアドレスのどちらか一方に対するメモリ・アクセスで，IDBの変更や参照を行うことができます。ただし，IDBレジスタのアクセス時には1ウエイト・ステートが挿入されます。

IDBには，リセット時にFFFHがセットされます。したがって，内部データ領域のベース・アドレスはFFE00Hとなります。

### 3.4.3 特殊機能レジスタ領域

××F00H-××FFFH（××はIDBレジスタの内容）にオンチップ周辺ハードウェアのモード・レジスタ，制御レジスタなどの特別な機能を割り付けられたレジスタ群がマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

メモリ・アクセスによって，特殊機能レジスタを操作します。

表 3 - 4 に特殊機能レジスタの一覧表を示します。表中の項目の意味は次のとおりです。

・略 号……………特殊機能レジスタの名称を記号で表わしたものです。命令のオペランドに相当します。

・R/W……………該当する機能レジスタが、読み出し／書き込み可能かどうかを示します。

R/W: 読み出し (Read) / 書き込み (Write) 可能

R : 読み出し (Read) のみ可能

W : 書き込み (Write) のみ可能

・操作方法……………各レジスタが、16ビット操作、8ビット操作、1ビット操作のうち可能なものを示します。

・RESET時……RESET入力時の各レジスタの状態を示します。

なお、アドレス上位8ビットの××はIDBレジスタの内容です。

また、記載されていないアドレスの部分は予約されています。読み出し時の内容は不定となり、書き込み動作は意味をもちません。

表 3 - 4 特殊機能レジスタ一覧

| アドレス   | 特殊機能レジスタ名称               | 略 号   | R/W | 操作方法<br>(ビット) | RESET時 |
|--------|--------------------------|-------|-----|---------------|--------|
| ××F00H | ポート0                     | P 0   | R/W | 8/1           | 不 定    |
| ××F01H | ポート0モード・レジスタ             | PM0   | W   | 8             | FFH    |
| ××F02H | ポート0モード・コントロール・レジスタ      | PMC0  |     |               | 00H    |
| ××F08H | ポート1                     | P 1   | R/W | 8/1           | 不 定    |
| ××F09H | ポート1モード・レジスタ             | PM1   | W   | 8             | FFH    |
| ××F0AH | ポート1モード・コントロール・レジスタ      | PMC1  |     |               | 00H    |
| ××F10H | ポート2                     | P 2   | R/W | 8/1           | 不 定    |
| ××F11H | ポート2モード・レジスタ             | PM2   | W   | 8             | FFH    |
| ××F12H | ポート2モード・コントロール・レジスタ      | PMC2  |     |               | 00H    |
| ××F38H | ポートT                     | PT    | R   | 8             | 不 定    |
| ××F3BH | ポートTモード・レジスタ             | PMT   | R/W | 8/1           | 00H    |
| ××F40H | 外部割り込みモード・レジスタ           | INTM  | R/W | 8/1           | 00H    |
| ××F44H | 外部割り込みマクロ・サービス制御レジスタ0 注4 | EMS0  |     |               | 不 定    |
| ××F45H | 外部割り込みマクロ・サービス制御レジスタ1 注4 | EMS1  |     |               |        |
| ××F46H | 外部割り込みマクロ・サービス制御レジスタ2 注4 | EMS2  |     |               | 47H    |
| ××F4CH | 外部割り込み要求制御レジスタ0 注4       | EXIC0 |     |               |        |
| ××F4DH | 外部割り込み要求制御レジスタ1 注4       | EXIC1 |     |               |        |
| ××F4EH | 外部割り込み要求制御レジスタ2 注4       | EXIC2 | R/W | 8/1           | 不 定    |
| ××F60H | 受信バッファ・レジスタ0             | RxB0  |     |               |        |
| ××F62H | 送信バッファ・レジスタ0             | TxB0  |     |               | 不 定    |
| ××F65H | シリアル受信マクロ・サービス制御レジスタ0 注4 | SRMS0 |     |               | 不 定    |
| ××F66H | シリアル送信マクロ・サービス制御レジスタ0 注4 | STMS0 |     |               |        |
| ××F68H | シリアル・モード・レジスタ0           | SCM0  |     |               | 00H    |
| ××F69H | シリアル制御レジスタ0              | SCC0  |     |               |        |
| ××F6AH | ボー・レート・ジェネレータ・レジスタ0      | BRG0  |     |               |        |

| アドレス   | 特殊機能レジスタ名称                  | 略号    | R/W    | 操作方法<br>(ビット) | RESET時 |
|--------|-----------------------------|-------|--------|---------------|--------|
| ××F6BH | シリアル・エラー・レジスタ0 注7           | SCE0  | R      | 8             | 00H    |
| ××F6CH | シリアル・エラー・割り込み要求制御レジスタ0 注4   | SEIC0 |        |               |        |
| ××F6DH | シリアル受信割り込み要求制御レジスタ0 注4      | SRIC0 | R/W    | 8/1           | 47H    |
| ××F6EH | シリアル送信割り込み要求制御レジスタ0 注4      | STIC0 |        |               |        |
| ××F70H | 受信バッファ・レジスタ1                | RxB1  | R      | 8             | 不 定    |
| ××F72H | 送信バッファ・レジスタ1                | TxB1  | W      |               |        |
| ××F75H | シリアル受信マクロ・サービス制御レジスタ1 注4    | SRMS1 | R/W    | 8/1           | 不 定    |
| ××F76H | シリアル送信マクロ・サービス制御レジスタ1 注4    | STMS1 |        |               | 不 定    |
| ××F78H | シリアル・モード・レジスタ1              | SCM1  |        |               | 00H    |
| ××F79H | シリアル制御レジスタ1                 | SCC1  |        |               |        |
| ××F7AH | ボー・レート・ジェネレータ・レジスタ1         | BRG1  |        |               |        |
| ××F7BH | シリアル・エラー・レジスタ1 注7           | SCE1  | R      | 8             | 00H    |
| ××F7CH | シリアル・エラー・割り込み要求制御レジスタ1 注4   | SEIC1 |        |               |        |
| ××F7DH | シリアル受信割り込み要求制御レジスタ1 注4      | SRIC1 | R/W    | 8/1           | 47H    |
| ××F7EH | シリアル送信割り込み要求制御レジスタ1 注4      | STIC1 |        |               |        |
| ××F80H | タイマ・レジスタ0 注5                | TM0   | R/W    | 16            | 不 定    |
| ××F82H | モジュロ/タイマ・レジスタ0 注5           | MD0   |        |               |        |
| ××F88H | タイマ・レジスタ1 注5                | TM1   |        |               |        |
| ××F8AH | モジュロ/タイマ・レジスタ1 注5           | MD1   |        |               |        |
| ××F90H | タイマ・コントロール・レジスタ0 注5         | TMC0  | R/W    | 8/1           | 00H    |
| ××F91H | タイマ・コントロール・レジスタ1 注5         | TMC1  |        |               |        |
| ××F94H | タイマ・ユニット・マクロ・サービス制御レジスタ0 注4 | TMMS0 | R/W    | 8/1           | 不 定    |
| ××F95H | タイマ・ユニット・マクロ・サービス制御レジスタ1 注4 | TMMS1 |        |               |        |
| ××F96H | タイマ・ユニット・マクロ・サービス制御レジスタ2 注4 | TMMS2 |        |               | 47H    |
| ××F9CH | タイマ・ユニット・割り込み要求制御レジスタ0 注4   | TMIC0 |        |               |        |
| ××F9DH | タイマ・ユニット・割り込み要求制御レジスタ1 注4   | TMIC1 |        |               |        |
| ××F9EH | タイマ・ユニット・割り込み要求制御レジスタ2 注4   | TMIC2 |        |               |        |
| ××FA0H | DMAコントロール・レジスタ0             | DMAC0 | R/W    | 8/1           | 不 定    |
| ××FA1H | DMAモード・レジスタ0                | DMAM0 |        |               | 00H    |
| ××FA2H | DMAコントロール・レジスタ1             | DMAC1 |        |               | 不 定    |
| ××FA3H | DMAモード・レジスタ1                | DMAM1 |        |               | 00H    |
| ××FACH | DMA割り込み要求制御レジスタ0 注4         | DIC0  |        |               | 47H    |
| ××FADH | DMA割り込み要求制御レジスタ1 注4         | DIC1  |        |               |        |
| ××FE0H | スタンバイ・コントロール・レジスタ           | STBC  | R/W 注1 | 8/1           | 保持 注2  |
| ××FE1H | リフレッシュ・モード・レジスタ             | RFM   | R/W    | 8/1           | FCH    |
| ××FE8H | ウェイト・コントロール・レジスタ            | WTC   | R/W    | 16/8          | FFFFH  |
| ××FEAH | ユーザ・フラグ・レジスタ 注3             | FLAG  | R/W    | 8/1           | 00H    |
| ××FEBH | プロセッサ・コントロール・レジスタ           | PRC   | R/W    | 8/1           | 4EH    |
| ××FECH | タイム・ベース割り込み要求制御レジスタ 注4      | TBIC  |        |               | 47H    |
| ××FFCH | 割り込みプライオリティ・レジスタ            | ISPR  | R      | 8             | 00H    |
| ××FFFH | 内部データ領域ベース・レジスタ 注6          | IDB   | R/W    | 8/1           | FFH    |

- 注1. スタンバイ・コントロール・レジスタは命令によってセット(1)することはできますが、クリア(0)することはできません(Wは'1'のみ可)。
2. パワー・オン・リセット時：00H
3. ユーザ・フラグ・レジスタ(FLAG)のビット3, 5以外のビット操作は意味をもちません。また、FLAGレジスタ中のユーザ・フラグ0, 1(F0, F1)の内容は、PSWのF0, F1の操作によっても変わります(3.3.12参照)。
4. これらのレジスタのアクセス・サイクルには、1ウェイト・サイクルが挿入されます。
5. これらのレジスタのアクセス・サイクルには、最大6ウェイト・サイクルが挿入されます。
6. このレジスタのアクセス・サイクルには、1ウェイト・サイクルが挿入されます。
7. ビット7はRxD端子のレベルが出力されます。

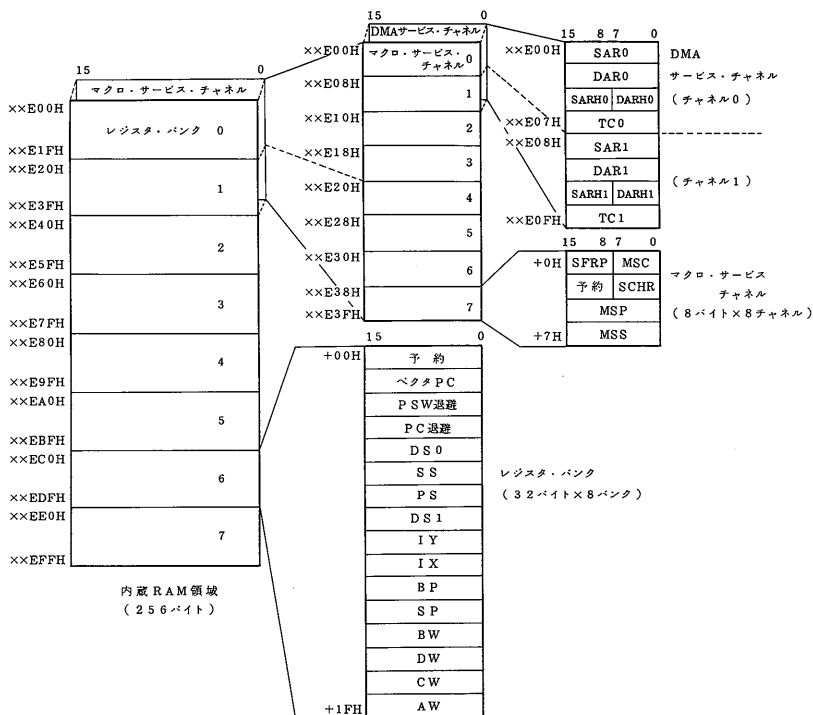
### 3.4.4 内蔵RAM領域

××E00H-××EFFH(××はIDBレジスタの内容)に、256バイトのRAMが内蔵されています。

また、内蔵RAMには8バンクのレジスタ・バンクが割り付けられています。さらに、マクロ・サービス・チャンネル、DMAサービス・チャンネルのレジスタも重複して割り付けてあります。

プロセッサ・コントロール・レジスタ(PCR)のビット6(RAMEN)をリセット(0)することにより、内蔵RAMがメモリ・アクセスの対象となることを禁止できます。また、内蔵RAMからは、プログラム・フェッチを行うことはできません。さらに、メモリ・アクセスを禁止した場合は、レジスタとしてのみアクセスされます。

図3-5 内蔵RAM領域のマップ



### 3.4.5 ベクタ・テーブル領域

00000H-003FFHの1Kバイトの領域は、割り込み要求、ブレーク命令などによる該当割り込みルーチン開始アドレスを256ベクタ分（1ベクタ当り4バイトを使用）保有します。

|        |          |               |
|--------|----------|---------------|
| ベクタ0   | (00000H) | : ディバイド・エラー   |
| ベクタ1   | (00004H) | : シングル・ステップ   |
| ベクタ2   | (00008H) | : NMI入力       |
| ベクタ3   | (0000CH) | : BRK 3命令     |
| ベクタ4   | (00010H) | : BRKV命令      |
| ベクタ5   | (00014H) | : CHKIND命令    |
| ベクタ6   | (00018H) | : 予約          |
| ベクタ7   | (0001CH) | : FPO命令       |
| ベクタ8   | (00020H) | : 予約          |
|        |          |               |
| ベクタ11  | (0002CH) | : 予約          |
| ベクタ12  | (00030H) | : INTSER0     |
| ベクタ13  | (00034H) | : INTSR0      |
| ベクタ14  | (00038H) | : INTST0      |
| ベクタ15  | (0003CH) | : 予約          |
| ベクタ16  | (00040H) | : INTSER1     |
| ベクタ17  | (00044H) | : INTSR1      |
| ベクタ18  | (00048H) | : INTST1      |
| ベクタ19  | (0004CH) | : 入出力命令       |
| ベクタ20  | (00050H) | : INTD0       |
| ベクタ21  | (00054H) | : INTD1       |
| ベクタ22  | (00058H) | : 予約          |
| ベクタ23  | (0005CH) | : 予約          |
| ベクタ24  | (00060H) | : INTP0       |
| ベクタ25  | (00064H) | : INTP1       |
| ベクタ26  | (00068H) | : INTP2       |
| ベクタ27  | (0006CH) | : 予約          |
| ベクタ28  | (00070H) | : INTTU0      |
| ベクタ29  | (00074H) | : INTTU1      |
| ベクタ30  | (00078H) | : INTTU2      |
| ベクタ31  | (0007CH) | : INTTB       |
| ベクタ32  | (00080H) | : ユーザ領域       |
|        |          | • BRK imm 8命令 |
| ベクタ255 | (003FCH) | : • INT入力     |

ベクタ0-31は使用要因が指定されており（一部予約領域）、一般用途には使用できません。

ベクタ32-255は一般用途として、2バイト・ブレーク命令、INT入力の2種類で使用可能です。使用しない部分についてはベクタ以外の用途にも使用できます。

ベクタは4バイトで構成され、割り込み受け付け時に、上位2バイトがプログラム・セグメントPSへ、下位2バイトがプログラム・カウンタへロードされます。

|          |      |      |                |
|----------|------|------|----------------|
| 例   ベクタ0 | 000H | 001H | PC←(001H,000H) |
|          | 002H | 003H | PS←(003H,002H) |

### 3.4.6 外部メモリ領域

μPD70322, 70332, 70P322は、00000H-FBFFFHの領域に外部メモリ(ROM, RAM等)を拡張できます。

μPD70320, 70330は、00000H-FFFFEHの領域に外部メモリ(ROM, RAM等)を接続します。ただし、FFF00H-FFFEFHとFFFFCH-FFFFEHの領域は予約されています。

外部メモリをアクセスするには、アドレス・バス(A0-A19)、データ・バス(D0-D15)、そしてMREQ, MSTB, R/W, UBE信号を用います。また、疑似スタティック・メモリのリフレッシュ用にリフレッシュ・パルス出力端子(REFRQ)を備えているので、疑似スタティック・メモリを容易に接続できます。ダイナミック・メモリのリフレッシュ用にリフレッシュ・アドレスを自動的に出力する機能もあるので、ダイナミック・メモリも容易に接続できます(5.3参照)。さらに、ソフトウェアによってメモリ・サイクル中に128Kバイト単位でウェイト・サイクルを挿入することができます(5.1参照)。

### 3.4.7 内蔵ROM領域

μPD70322, 70332, 70P322は、FC000H-FFFFFHの領域にROMを内蔵しています。ただし、FFF00H-FFFEFHの領域は弊社のテスト用ですので、ユーザはこの領域を使用できません。また、FFFFCH-FFFFFHの4バイトは予約されています。したがって、ユーザが使用できる領域は16140バイトです。

内蔵ROMは、命令キューとの間に専用バスを持っています。このため、μPD70322, 70332, 70P322は、外部のメモリ空間とは独立にしかも高速に命令のプリフェッチを行いますので、命令を高速実行できます(1クロックでプリフェッチ可能、外部は最低でも2クロック(V25)/3クロック(V35)必要)。

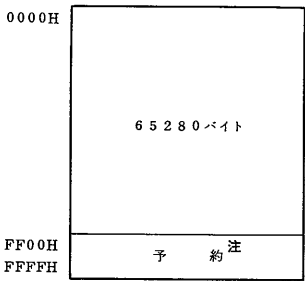
内蔵ROM領域はDMA転送の対象となりません。同じアドレスの外部メモリがDMA転送時にアクセスの対象となります。

### 3.5 I/O空間

V25, V35は、1Mバイトのメモリ空間の他に64KバイトのI/O空間を持っています。図3-6にI/O空間のマップを示します。

I/O空間をアクセスするには、アドレス・バス(A0-A15)、データ・バス(D0-D7)、そして $\overline{IOSTB}$ ,  $R/\overline{W}$ ,  $\overline{DMAAK0}$ ,  $\overline{DMAAK1}$  信号を用います。使用しないアドレス・バスの上位4ビット(A16-A19)からは、0が出力されます。また、ソフトウェアによってI/Oサイクル中にウェイト・サイクルを挿入することができます(5.1参照)。

図3-6 I/Oマップ(64Kバイト)



注 予約領域に対するアクセス時にもアドレス、データおよび制御信号が出力されます。

## 第4章 割り込み機能

### 4.1 割り込みコントローラ

V25, V35は、17要因の多重割り込みを制御できる割り込みコントローラを内蔵しています。この割り込みコントローラは、外部5、内部12の合計17要因の割り込みをグループに分けて管理し、グループ単位でプログラマブルな多重処理制御を行うことができます。さらに、割り込み要因の性質に応じて、ベクタ割り込み機能、レジスタ・バンク切り替え機能、マクロ・サービス機能の3種の割り込み処理機能を選択できます。

また、μPD71059等の割り込みコントローラを外部接続することにより、外部割り込み要因数を容易に拡張することができます。

割り込みコントローラを設定するには、割り込み要求制御レジスタとマクロ・サービス制御レジスタを用います。これらは、各割り込み要因ごとに用意されています。割り込み制御命令には、許可/禁止を制御するEI, DI命令、割り込みからの復帰を指示するRETI, RETRBI命令、内蔵の割り込みコントローラに割り込み処理の終了を知らせるFINT命令があります(15.1参照)。

このほか、割り込みプライオリティ・レジスタにより多重割り込みの受け付け状態を知ることができます。

### 4.2 割り込み要因

V25, V35の割り込み要因は、外部5、内部12の合計17あります。17要因の割り込みは、8グループに分けて割り込みコントローラで管理されます。このグループの構成はハードウェアで固定されています。8グループの割り込みのうち、NMIとINT, INTTBを除く5グループの割り込みについては、0-7(0が最高位)の優先順位をソフトウェアで任意に設定できます。また、割り込みコントローラがサポートしている機能は、割り込み要因によって異なります。表4-1に割り込み要因の一覧を示します。



表4 - 1 割り込み要因の一覧表

| 割 り 込 み 要 因                                                  | 外部/内部 | ベクタ  | マクロ・サービス | バンク切り替え | 優 先 順 位      |       |       | 多重処理制御 |
|--------------------------------------------------------------|-------|------|----------|---------|--------------|-------|-------|--------|
|                                                              |       |      |          |         | 設 定          | グループ間 | グループ内 |        |
| NMI<br>(Non Maskable Interrupt)                              | 外部    | 2    | なし       | なし      | 不可           | 0     | —     | 受けない   |
| INT<br>(INTerrupt)                                           | 外部    | 外部入力 | なし       | なし      | 不可           | 7     | —     | 受けない   |
| INTTU0<br>(INTerrupt from<br>Timer Unit0)                    | 内部    | 2 8  | あり       | あり      | 可            | 1     | 1     | 受ける    |
| INTTU1<br>(INTerrupt from<br>Timer Unit1)                    |       | 2 9  |          |         |              |       | 2     |        |
| INTTU2<br>(INTerrupt from<br>Timer Unit2)                    |       | 3 0  |          |         |              |       | 3     |        |
| INTD0<br>(INTerrupt from<br>DMA channel0)                    | 内部    | 2 0  | なし       | あり      | 可            | 2     | 1     | 受ける    |
| INTD1<br>(INTerrupt from<br>DMA channel1)                    |       | 2 1  |          |         |              |       | 2     |        |
| INTP0<br>(INTerrupt from<br>Peripheral#0)                    | 外部    | 2 4  | あり       | あり      | 可            | 3     | 1     | 受ける    |
| INTP1<br>(INTerrupt from<br>Peripheral#1)                    |       | 2 5  |          |         |              |       | 2     |        |
| INTP2<br>(INTerrupt from<br>Peripheral#2)                    |       | 2 6  |          |         |              |       | 3     |        |
| INTSER0<br>(INTerrupt from Serial<br>Error of channel0)      | 内部    | 1 2  | なし       | あり      | 可            | 4     | 1     | 受ける    |
| INTSR0<br>(INTerrupt from Serial<br>Receiver of channel0)    |       | 1 3  | あり       |         |              |       | 2     |        |
| INTST0<br>(INTerrupt from Serial<br>Transmitter of channel0) |       | 1 4  | あり       |         |              |       | 3     |        |
| INTSER1<br>(INTerrupt from Serial<br>Error of channel1)      | 内部    | 1 6  | なし       | あり      | 可            | 5     | 1     | 受ける    |
| INTSR1<br>(INTerrupt from Serial<br>Receiver of channel1)    |       | 1 7  | あり       |         |              |       | 2     |        |
| INTST1<br>(INTerrupt from Serial<br>Transmitter of channel1) |       | 1 8  | あり       |         |              |       | 3     |        |
| INTTB<br>(INTerrupt from<br>Time Base counter)               | 内部    | 3 1  | なし       | なし      | 不可<br>(7 固定) | 6     | —     | 受ける    |

## 4.3 優先順位制御

### 4.3.1 多重割り込みの優先順位制御

多重割り込みの優先順位制御は、NMIとINTを除いた割り込みに対してグループ単位で行われます。

割り込み多重処理の制御はEI状態のときに行われます。したがって、多重処理を行うときは割り込み処理ルーチン中でEI状態にしてください<sup>注</sup>。ただし、マクロ・サービスによる割り込み応答は、DI状態でも多重処理制御を受けます。多重処理制御では、現在処理中の割り込みより優先順位の高い割り込み要求を受け付けて、現在処理中の割り込みを中断し、優先順位の高い割り込みの処理を行います。また、現在処理中の割り込みの優先順位以下であれば、その割り込みは保留されます。保留された割り込みは、現在実行中の割り込み処理ルーチン中で割り込み制御レジスタ（各割り込み要因ごとに用意されている）の中の割り込みマスク・ビットをセットせず、なおかつ割り込み要求フラグをリセットしなければ、現在実行中の割り込みが終了した時点で受け付けられます。

同じ優先順位が設定されている割り込み要因、および同一グループを構成する割り込み要因どうしの多重割り込みはできません。

NMIとINTおよびソフトウェア割り込みを除く割り込み応答では、割り込み処理ルーチンの最後で割り込み処理ルーチンが終了したことを割り込みコントローラに示すためにFINTE命令を実行しなければいけません。この命令を実行しないと、それ以後の割り込みは、FINTE命令を実行しなかった割り込みより優先順位が高くないと受け付けられなくなります。

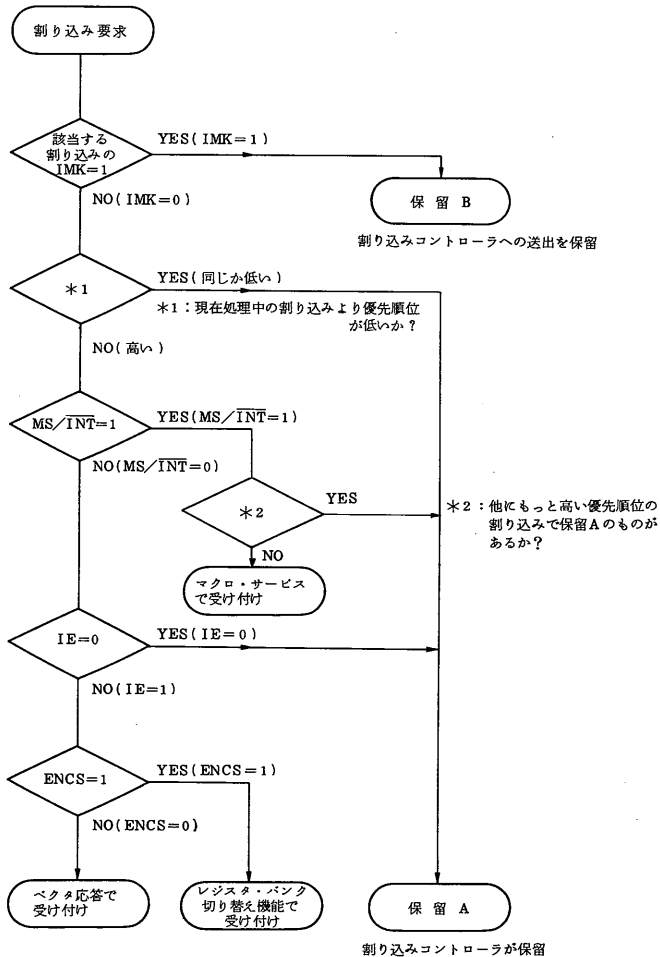
多重処理制御を受ける割り込みの処理形態を図4-1に示します。

なお、NMIとINTによる割り込み応答は、多重処理制御を受けないので、許可状態にあれば（NMIは常時）受け付けられます。

優先順位は、各割り込みグループごとに0-7まで（0が最優先）の8レベルが任意に設定可能です。この優先順位は、後述するレジスタ・バンク切り替え機能を利用した場合の切り替え先のレジスタ・バンクの番号を同時に示します。優先順位の設定は、各割り込み要因ごとに用意されている割り込み制御レジスタのPR0-2の3ビットで行います。ただし、この設定は、割り込みグループの中で最優先の優先順位を持っている割り込み要因の割り込み制御レジスタでのみ有効で、その他の割り込み制御レジスタでは書き込んでも無視され、読み出し時には7固定となっています。また、リセットにより、優先順位はすべてレベル7に初期化されます。

注 付録Gを参照してください。

図 4-1 多重処理制御を受ける割り込みの処理形態



#### 4.3.2 同時に割り込みが発生したときの優先順位制御

割り込みが同時に発生した場合の受け付けの優先順位は、NMIが最高で、INTが最低です。NMIとINT以外の優先順位は、多重割り込みの優先順位と同じになります。同一順位に指定されたグループ間ではハードウェアで固定された優先順位に従います。また、同一グループ内でも同様にグループ内の優先順位に従います。

以下に優先順位制御の例を示します。

- 例 1. 優先順位を 3 と指定した INTSR0 と優先順位を 6 と指定した INTTU2 が同時に発生した場合、INTSR0 が先に受け付けられます。
2. INTP0 と INTP1 が同時に発生した場合、INTP0 が先に受け付けられます。
3. NMI と INTD1 が同時に発生した場合、NMI が先に受け付けられます。
4. INTTB と INT が同時に発生した場合、INTTB が先に受け付けられます。
5. 優先順位を 4 と指定した INTTU1 および INTSER1 が同時に発生した場合、INTTU1 が先に受け付けられます。

## 4.4 割り込み応答方式

V25, V35 は、ベクタ割り込み機能、レジスタ・バンク切り替え機能、マクロ・サービス機能の 3 種の割り込み応答方法を持っています。これらの機能は、割り込みの使用目的に合わせて選択することが可能です。割り込みコントローラは、割り込み制御レジスタで設定された応答方法に応じて割り込みの要求に対応します。

ベクタ割り込み機能、レジスタ・バンク切り替え機能で割り込みを受け付けた場合は、その機能に応じた方法で PC, PS, PSW の内容を退避させます。また、PSW を退避させたあと、IE, BRK の各フラグをリセットします。したがって、NMI とマクロ・サービスによる割り込み応答を除く割り込みとシングル・ステップ割り込みは禁止されます（シングル・ステップ割り込みを除くソフトウェア割り込みは発生します）（4.10 参照）。

### 4.4.1 ベクタ割り込み

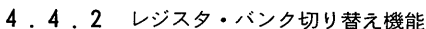
ベクタ割り込みでは割り込みを受け付けると、現在の PSW の内容と PC と PS の内容をスタックに退避させ、ベクタ・テーブルからベクタの一つを選択し、そのベクタで示されるアドレスから割り込み処理ルーチンとして実行します。ベクタは、INT による割り込み以外はベクタはすべて固定となります。INT による割り込みの場合、割り込みアクノリッジ・サイクルを発生しデータ・バスから割り込みベクタを取り込みます（4.6 INT 参照）。INT 以外の割り込みのベクタは、表 4-1 に示したとおりです。

割り込みからの復帰は、RETI 命令で行いますが、NMI と INT を除く割り込みからの復帰の場合は、FINT 命令を実行する必要があります。割り込みからの復帰時には、スタックから PC, PS, PSW を復帰させます。

ベクタ割り込みのシーケンスは次のように行われます。（図 4-2）

- ① PSW の値をテンポラリ・レジスタに書き込む。
- ② IE, BRK フラグをクリアする。
- ③ ベクタ・アドレスの PC の値を内部のテンポラリ・レジスタに読み込む。
- ④  $SP \leftarrow SP - 2$  として、割り込みが発生したときの PSW の値にスタックに書き込む。
- ⑤ ベクタ・アドレスの PS の値を内部のテンポラリ・レジスタに読み込む。
- ⑥  $SP \leftarrow SP - 2$  として、割り込みが発生したときの PS の値にスタックに書き込む。
- ⑦  $SP \leftarrow SP - 2$  として、割り込みが発生したときの PC の値にスタックに書き込む。
- ⑧ ベクタ・アドレスから読み込んだ値をそれぞれ PC, PS に書き込み分岐する。

V 2 5 内部



(1) 割り込み要求発生による切り替え

レジスタ・バンク切り替えのシーケンスは次のように行われます(図4-3)。

- 以上でレジスタ・バンクは切り替えられ、割り込み処理ルーチンを実行します。

64

行することにより行われます。RETRBI 命令を実行すると、図 4 - 4 に示すようにレジスタ・バンクの中の退避領域から PC と PSW をそれぞれ復帰させます ( RETI 命令では、レジスタ・バンクの復旧を行いませんので、正常にメイン・ルーチンへ復帰できません )。

レジスタ・バンク切り替え機能を利用する場合は、切り替え先のレジスタ・バンク中の PS とベクタ PC はあらかじめイニシャライズしておく必要があります。SS, SP は切り替えの前後いずれかでイニシャライズしてください。切り替え後のイニシャライズに MOVSPA 命令を実行すると、SS, SP にはそれぞれ切り替え前の値がセットされます。その他のレジスタについては、必要に応じてイニシャライズしてください。ただし、PS については割り込み処理ルーチン中で変更しないようにしてください。

なお、レジスタ・バンク切り替え機能は、同一優先順位に設定した割り込みグループ内の 1 つの割り込みにのみ利用できます ( 4.7 参照 )。

図 4 - 3 レジスタ・バンク切り替えのシーケンス

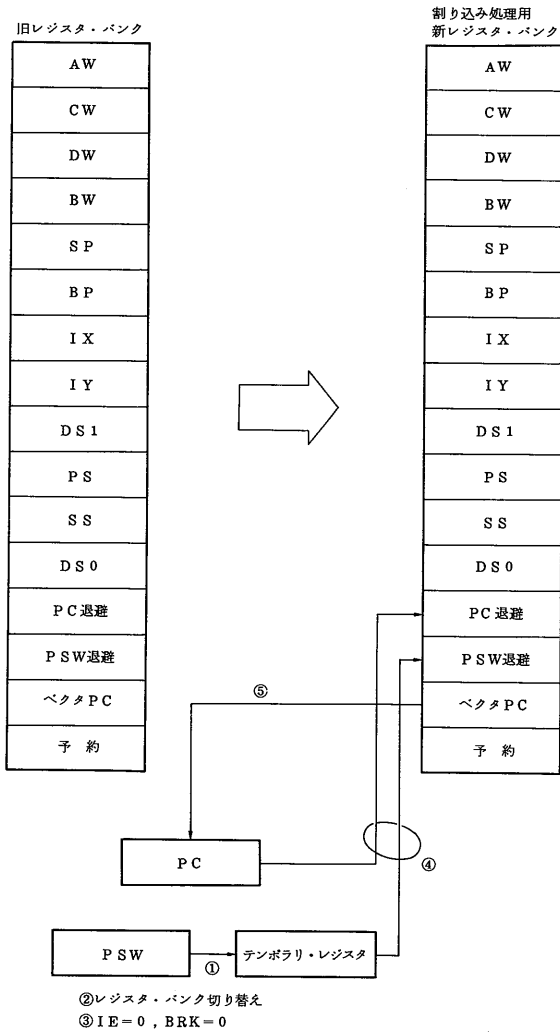
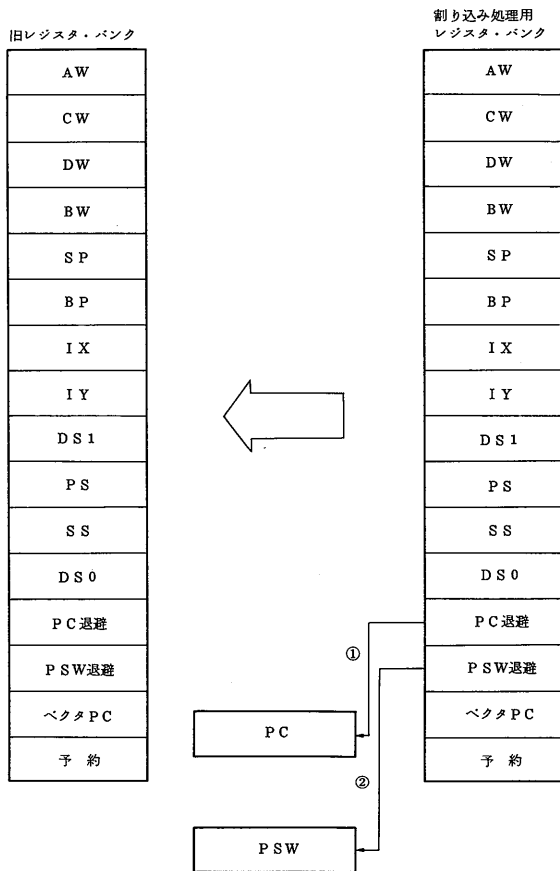


図 4 - 4 レジスタ・バンク復帰のシーケンス





## (2) BRKCS命令による切り替え

BRKCS命令の実行により、レジスタ・バンク切り替えができます。

BRKCS命令は、まず、オペランドに記述される16ビット・レジスタの下位3ビットでレジスタ・バンクを選択します。次に、PC、PSWの内容を新しいレジスタ・バンク内のPC退避エリア、PSW退避エリアにそれぞれ退避させます。その後、レジスタ・バンク内にあらかじめストアしておいたベクタPCをPCにロードして分岐します。

BRKCS命令を実行する場合は、選択するレジスタ・バンク内のPSとベクタPCはあらかじめイニシャライズしておく必要があります。SS、SPは切り替えの前後いずれかでイニシャライズしてください。イニシャライズにMOVSPA/MOVSPB命令を実行すると、切り替え先のSS、SPにはそれぞれ切り替え前の値がセットされます。

新しいレジスタ・バンクからの復帰は、RETRBI命令を実行することにより行われます。その際、FINT命令を実行する必要はありません。

レジスタ・バンク切り替えおよび復帰のシーケンスは、割り込み要求発生によるレジスタ・バンク切り替えと同じです。

## (3) TSKSW命令による切り替え

TSKSW命令の実行により、レジスタ・バンク切り替えができます。

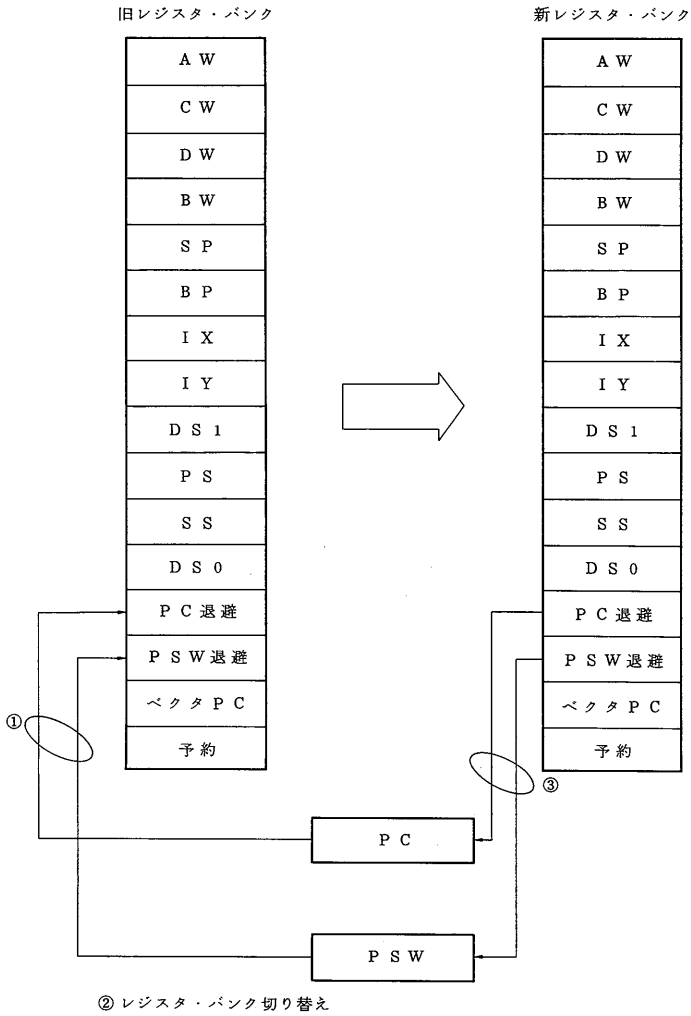
TSKSW命令は、まず、PC、PSWの内容を現在（レジスタ・バンク切り替え前）のレジスタ・バンク内のPC退避エリア、PSW退避エリアにそれぞれ退避させます。次に、オペランドに記述される16ビット・レジスタの下位3ビットでレジスタ・バンクを選択します。その後、新しいレジスタ・バンク内にあらかじめストアしておいたPC退避エリアの内容をPCにロードして分岐します。

TSKSW命令を実行する場合は、選択するレジスタ・バンク内のPSとPC退避エリア、SS、SPはあらかじめイニシャライズしておく必要があります。SS、SPのイニシャライズにMOVSPB命令を実行すると、切り替え先のSS、SPにはそれぞれ切り替え前の値がセットされます。

レジスタ・バンク切り替えのシーケンスは次のように行われます（図4-5）。

- ① PC、PSWを現在（切り替え前）のレジスタ・バンク内のPC退避エリア、PSW退避エリアに退避します。
- ② レジスタ・バンクを切り替えます。
- ③ 新しいレジスタ・バンク内のPSW退避エリアの値をPSWにロードし、PC退避エリアの値をPCにロードし分岐します。

図 4 - 5 TSKSW 命令によるレジスタ・バンク切り替えのシーケンス



### 4.4.3 マクロ・サービス機能

マクロ・サービス機能は、割り込み要求によって特殊機能レジスタ領域とメモリ空間の間でデータ転送を行う機能です。この機能より、単純なデータ転送などの簡単な処理をソフトウェアによる割り込み処理で行わずに済み、割り込み処理にかかるオーバーヘッド（レジスタの退避、初期化、復帰などの動作）を削減することができます。また、マクロ・サービス機能で行われる処理はソフトウェア的には意識する必要がなく、従来、1バイト単位でソフトウェアによって処理していたものを一固まりのデータとして処理することができ、効率良くプログラミングすることが可能です。

マクロ・サービス機能は他の割り込み応答方式と異なり、各割り込み要因ごとに用意されている割り込み制御レジスタのIMKビット（割り込みマスク・ビット）がリセットされていて、MS/INTビット（マクロ・サービス許可ビット）がセットされていればEI、DIの状態にかかわらず動作します（4.7参照）。ただし、優先順位の制御は受けません。

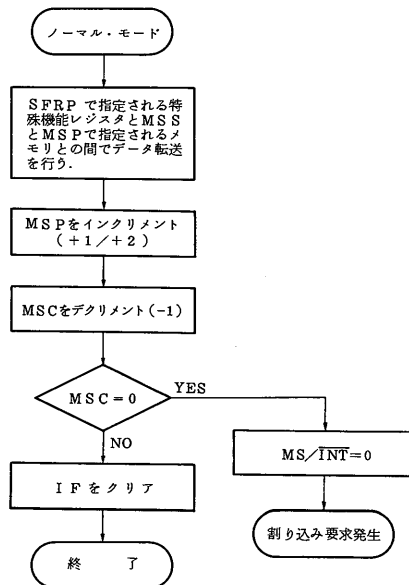
マクロ・サービス機能には次に示す2種類の動作モードがあります。

#### (1) ノーマル・モード

あらかじめ設定した回数のデータ転送を、割り込み要求の発生ごとに1バイトまたは1ワードずつ行います。

図4-6にノーマル・モードの動作フローを示します。

図4-6 ノーマル・モードの動作フロー



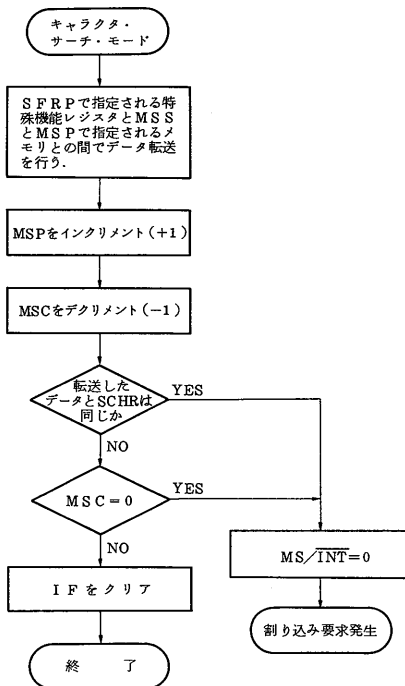
備考 SFRP, MSS, MSP, MSCについては、4.4.4参照。  
MS/INTは、4.7参照。

## (2) キャラクタ・サーチ・モード

1 バイトのデータ転送を割り込み要求の発生ごとに、あらかじめ設定したバイト数または転送を行ったデータが、あらかじめ指定した8ビット・データと一致するまで行います。

図4-7にキャラクタ・サーチ・モードの動作フローを示します。

図4-7 キャラクタ・サーチ・モードの動作フロー



備考 SFRP, MSS, MSP, MSC, SCHRは, 4.4.4 参照。

MS/INTは, 4.7 参照。

マクロ・サービス機能は、マクロ・サービスが可能な割り込み要因ごとに用意されているマクロ・サービス制御レジスタとマクロ・サービス制御レジスタで指定されるマクロ・サービス・チャンネルによって制御されます。

#### 4.4.4 マクロ・サービス制御レジスタ

マクロ・サービス機能を制御する8ビット・レジスタです。マクロ・サービス制御レジスタは下図に示す構成になっており、各ビットの機能を以下に説明します。

|      |      |      |     |   |     |     |     |
|------|------|------|-----|---|-----|-----|-----|
| 7    | 6    | 5    | 4   | 3 | 2   | 1   | 0   |
| MSM2 | MSM1 | MSM0 | DIR | 0 | CH2 | CH1 | CH0 |

**CH0** - **CH2** マクロ・サービス・チャンネルを指定するビット

0 - 7まで指定できます。

**DIR** データ転送の方向を指定するビット

0でメモリから特殊機能レジスタに転送し、1で特殊機能レジスタからメモリに転送します。

**MSM0** - **MSM2** マクロ・サービス・モードを指定するビット

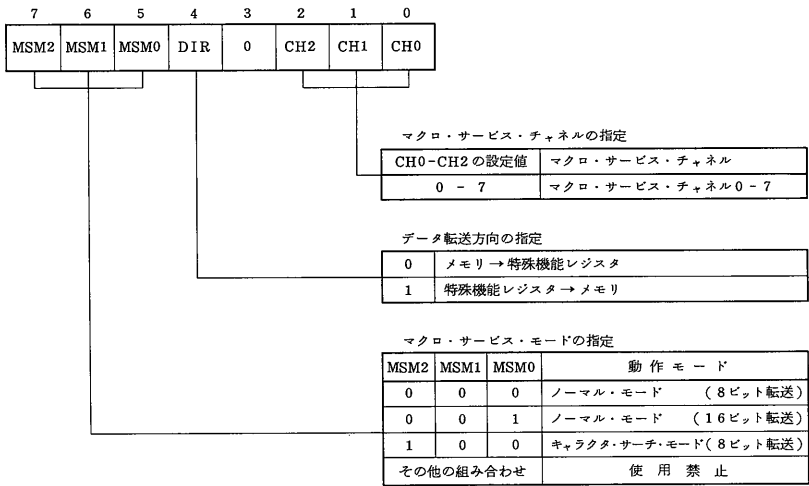
**MSM0** - **MSM2** ビットの組み合わせによって、ノーマル・モード、キャラクタ・サーチ・モードの動作モードと、ノーマル・モードの転送データ・ビット数(8ビット/16ビット)を指定します。

| MSM2      | MSM1 | MSM0 | 動作モード                 |
|-----------|------|------|-----------------------|
| 0         | 0    | 0    | ノーマル・モード(8ビット転送)      |
| 0         | 0    | 1    | ノーマル・モード(16ビット転送)     |
| 1         | 0    | 0    | キャラクタ・サーチ・モード(8ビット転送) |
| その他の組み合わせ |      |      | 使用禁止                  |

マクロ・サービス制御レジスタは、特殊機能レジスタ内にあります。8ビット操作または1ビット操作のメモリ・アクセスによって、このレジスタの書き込み/読み出しができます。

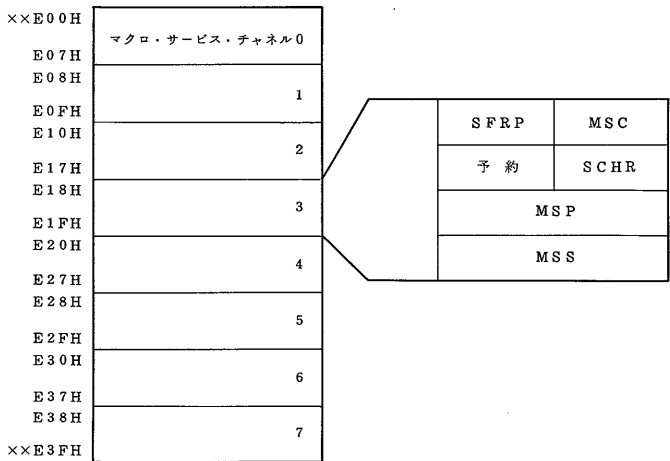
マクロ・サービス制御レジスタは、マクロ・サービスが可能な割り込み要因ごとに用意されています。マクロ・サービスが可能な割り込み要因は、タイマ割り込み(INTTU0-2)、外部割り込み(INTP0-2)、シリアル受信/送信割り込み(INTSR0,1/INTST0,1)です。割り込み要因ごとのマクロ・サービス制御レジスタのロケーションは、該当する項目を参照してください。

図 4－8 マクロ・サービス制御レジスタ



マクロ・サービス・チャンネルは、図 4－9 に示すように内蔵 RAM の××E00H-××E3FH (××は I D B レジスタの内容) に割り付けてあります。マクロ・サービス・チャンネルによって、マクロ・サービスのデータの転送先、転送元、転送数、比較キャラクタを設定し、最大 8 チャンネルの使用が可能です。

図 4－9 マクロ・サービス・チャンネルの構成

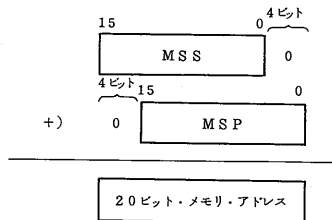


- MSC (+0H): マクロ・サービスで行う転送数
- SFRP (+1H): 特殊機能レジスタのアドレスのオフセット値,  $\times F00H + SFRP$   
( $\times$ はIDBの内容)が特殊機能レジスタのアドレス
- SCHR (+2H): キャラクタ・サーチ・モード時に比較する8ビット・データ
- MSP (+4H): マクロ・サービスでデータ転送の対象となるメモリ・アドレスのオフセット値
- MSS (+6H): マクロ・サービスでデータ転送の対象となるメモリ・アドレスのセグメント値

データ転送の対象となるメモリ・アドレスは  $MSS \times 16 + MSP$  となる。

( ) 内は各マクロ・サービス・チャンネルの開始アドレスからのオフセット。

マクロ・サービスでの転送の対象となるメモリ・アドレスは、MSSで示されるセグメントとMSPで示されるセグメントからのオフセット値で示されます。



マクロ・サービス・チャンネル中のMSC, MSPは1データ転送(8ビット/16ビット)ごとにMSCではデクリメント(-1), MSPではインクリメント(+1/+2)します。この後、割り込み要求フラグをクリアしますが、MSCが0になったとき(MSCに0を書くと、256回転送を行います), または転送データが比較データと一致したとき(キャラクタ・サーチ・モード時のみ)は、割り込み要求フラグはクリアされずに、割り込みを要求します。

## 4.5 NMI (Non-Maskable Interrupt)

NMIは最優先の禁止することのできない割り込みです。この割り込みはエッジで検出されます。エッジの方向は特殊機能レジスタのINTMレジスタのビット0, ESNMIビットで選択できます。ESNMIビットを0にすると立ち下がりエッジ, 1にすると立ち上がりエッジで割り込みが発生します。この割り込みはベクタ応答しかできず、ベクタ・タイプは2に固定されています。また、この入力にはP10端子と兼用されており、P10を読み込むことによりレベルを調べることができます。NMIが受け付けられると割り込み禁止状態(IE=0)となり、他の割り込みを禁止します(ただし、マクロサービスによる割り込み応答は、受け付けられます)。

## 4.6 INT (Interrupt)

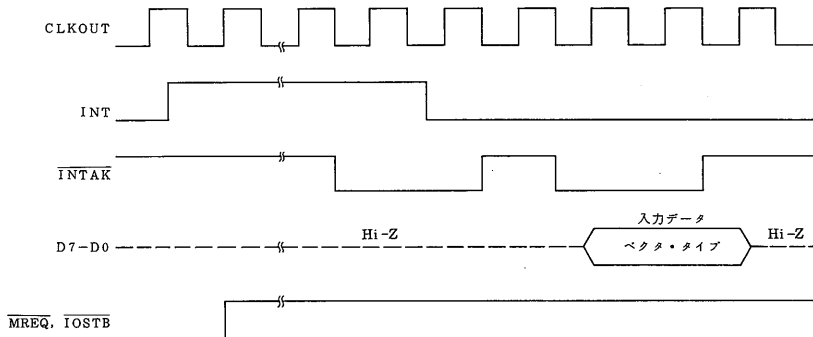
INTはマスク可能な割り込みです。この割り込みはレベル（アクティブ・ハイ）で検出されます。INTは割り込みコントローラによって多重処理の制御を受けず、割り込み許可状態（ $IE=1$ ）であればいつでも受け付けられます。ただし、複数の割り込みが同時に発生した時の優先順位は最下位となります。また、INTはベクタ応答しかできず、ベクタ・タイプは割り込みアクノリッジ・サイクルでデータ・バスから取り込みます。割り込みアクノリッジ・サイクルは、 $\overline{INTAK}$ 出力によって確認できます。INT端子はP14、 $\overline{POLL}$ と兼用になっており、特殊機能レジスタのポート1モード・コントロール・レジスタ（PMC1）のビット4で選択します。したがって、INTの機能が選択されていない時は割り込み許可状態（ $IE=1$ ）でも割り込みは発生しません。 $\overline{INTAK}$ はP13、 $\overline{INTP2}$ と兼用になっており、PMC1のビット3により機能を選択します（ $\overline{INTAK}$ 機能の選択を行なわないと、割り込みアクノリッジ・サイクルの発生を外部に知らせることができません）。割り込みアクノリッジ・サイクルのタイミングを図4-10に示します。

なお、最初の $\overline{INTAK}$ 信号が出力されるまでINT信号をハイ・レベルに保持してください。

また、 $\mu PD71059$ 等の割り込みコントローラを接続して外部割り込みの入力を最大64まで拡張することができます。

割り込みが受け付けられると、割り込み禁止状態（ $IE=0$ ）となります。

図4-10 INT割り込みアクノリッジ・タイミング



備考 付録Dを参照してください。



## 4.7 割り込み要求制御レジスタ

INT, NMI 以外の割り込みを制御する 8 ビット・レジスタです。

割り込み要求制御レジスタは下図の構成になっています。各ビットの機能を以下に説明します。

| 7  | 6   | 5      | 4    | 3 | 2   | 1   | 0   |
|----|-----|--------|------|---|-----|-----|-----|
| IF | IMK | MS/INT | ENCS | 0 | PR2 | PR1 | PR0 |

**PR0** - **PR2** 割り込みグループの優先順位を指定するビット

0 - 7 まで指定できます。この指定はグループ内で最高優先順位を持った割り込みの制御レジスタのみ可能で、他の割り込み要求制御レジスタでは指定は無効となります（読み出し時は 7 固定）。他の割り込み要求制御レジスタの優先順位は、グループ内で最高優先順位を持った割り込み要求制御レジスタの優先順位に従います。

また、この指定はレジスタ・バンク切り替え機能における切り替え先のレジスタ・バンクを指定します。

**ENCS** レジスタ・バンク切り替え機能を使用するか否かを指定するビット

1 でレジスタ・バンク切り替え機能を使用し、0 でベクタ割り込みが使用されます。

**MS/INT** 割り込み応答方法を選択するビット

1 でマクロ・サービス機能を使用し、0 でベクタ割り込み、またはレジスタ・バンク切り替え機能を使用します。

**IMK** 割り込みのマスクを設定するビット

1 で割り込みをマスクし、0 でマスクを解除します。

**IF** 割り込み要求のあることを示すビット

1 で割り込み要求のあることを示し、0 でないことを示します。このビットは、割り込み要求の発生でセット (1) され、割り込みの受け付け、または BTCLR 命令 (μPD70108, 70116 からの追加命令) 等の命令によってリセット (0) されます。

割り込み要求制御レジスタは特殊機能レジスタ内にあります。8 ビット操作または 1 ビット操作のメモリ・アクセスによって、このレジスタの書き込み/読み出しができます。

割り込み要求制御レジスタは、割り込み要因 (INT, NMI 以外) ごとに用意されています。割り込み要因ごとの割り込み要求制御レジスタのロケーションは、該当する項目を参照してください。

|    |     |        |      |   |     |     |     |
|----|-----|--------|------|---|-----|-----|-----|
| 7  | 6   | 5      | 4    | 3 | 2   | 1   | 0   |
| IF | IMK | MS/INT | ENCS | 0 | PR2 | PR1 | PR0 |

|                  |               |
|------------------|---------------|
| 割り込みグループの優先順位の指定 |               |
| PR0 - PR2 の設定値   | 割り込みグループの優先順位 |
| 0 - 7            | 優先順位 0 - 7    |

|                     |                      |
|---------------------|----------------------|
| レジスタ・バンク切り替え機能の使用可否 |                      |
| 1                   | レジスタ・バンク切り替え機能を使用する  |
| 0                   | レジスタ・バンク切り替え機能を使用しない |

|             |                        |
|-------------|------------------------|
| 割り込み応答方法の選択 |                        |
| 0           | ベクタ割り込み／レジスタ・バンク切り替え機能 |
| 1           | マクロ・サービス機能             |

|            |        |
|------------|--------|
| 割り込みのマスク指定 |        |
| 0          | マスクしない |
| 1          | マスク    |

|                 |                  |
|-----------------|------------------|
| (レジスタ) (ビット名)   | (レジスタ) (ビット名)    |
| EXIC0-2:EXMK0-2 | TMIC0-2: TMMK0-2 |
| SEIC0,1:SEMK0,1 | DIC0,1 : DMK0,1  |
| SRIC0,1:SRMK0,1 | TBIC : TBMK      |
| STIC0,1:STMK0,1 |                  |

|             |          |
|-------------|----------|
| 割り込み要求の応答表示 |          |
| 0           | 割り込み要求なし |
| 1           | 割り込み要求あり |

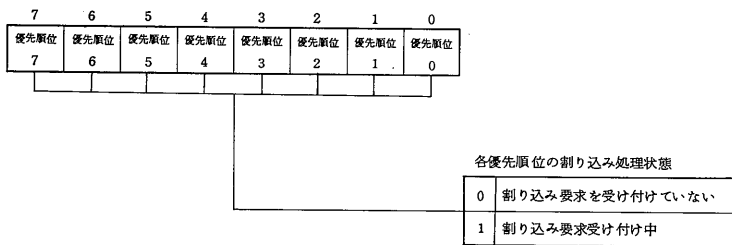
  

|                |                 |
|----------------|-----------------|
| EXIC0-2:EXF0-2 | TMIC0-2: TMF0-2 |
| SEIC0,1:SEF0,1 | DIC0,1 : DF0,1  |
| SRIC0,1:SRF0,1 | TBIC : TBF      |
| STIC0,1:STF0,1 |                 |

## 4.8 割り込みプライオリティ・レジスタ(ISPR)

割り込みコントローラの優先順位制御による多重割り込みの処理状態を示す8ビット・レジスタです。

図 4-12 ISPR



ビット0～7はそれぞれ優先順位0～7に対応し、その優先順位の割り込み要求の受け付けによってセット(1)されます。

1回のFINT命令の実行により、セットされているビットのうち最下位(最高優先順位)の1ビットをリセット(0)します。

ビット0～7のいずれかのビットがセットされている場合、そのビットに対応する優先順位以下の割り込み要求は受け付けられず保留されます。

ISPRレジスタは特殊機能レジスタ内にあり、8ビット操作のメモリ・アクセスによって読み出しができます。

RESET入力時、ISPRの内容は00Hに初期化されます。

## 4.9 外部割り込み

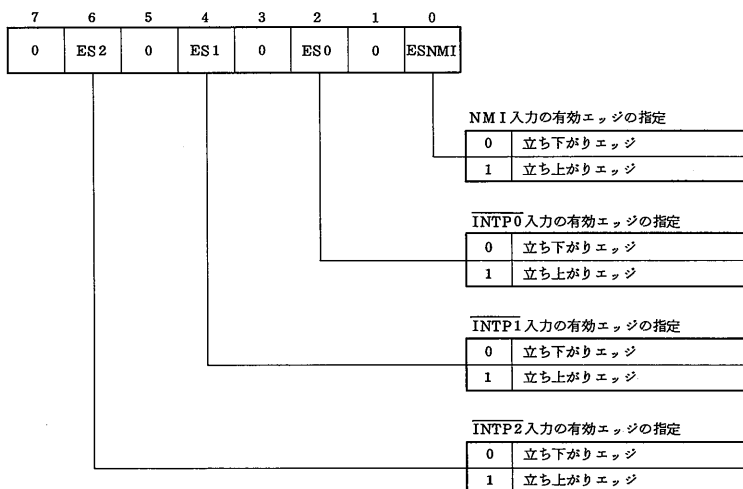
外部からの割り込み要求として5要因あります。このうちINTはレベルで検出され、INT以外  
はエッジで検出されます。INT以外のエッジで検出する割り込みは、それぞれ有効エッジを特殊機  
能レジスタの外部割り込みモード・レジスタ（INTM）によって指定することが可能です。

### 4.9.1 外部割り込みモード・レジスタ（INTM）

外部割り込み要求の有効エッジを指定する8ビット・レジスタです。エッジで検出する割り込み  
は、NMI、 $\overline{\text{INTP0}}$  -  $\overline{\text{INTP2}}$  があります。これらの割り込みの有効エッジが、INTMレジスタで  
指定されます。

INTMレジスタは、図4-13のような構成と機能を持っています。

図4-13 INTM



INTMレジスタは特殊機能レジスタ内にあります。8ビット操作または1ビット操作のメモリ・  
アクセスによって、このレジスタの書き込み／読み出しができます。

RESET入力時、INTMレジスタの内容は00Hに初期化されます。

## 4.9.2 外部割り込み要求制御レジスタ (EXIC0, EXIC1, EXIC2)

EXIC<sub>n</sub> レジスタ (n = 0 - 2) は、3つの外部割り込み要求端子 ( $\overline{\text{INTP0}} - \overline{\text{INTP2}}$ ) から発生する割り込み要求 (EXF0-EXF2) を制御する 8 ビット・レジスタです。

この 3つの割り込み要求が外部割り込み要求として 1つのグループを構成し、優先順位がプログラマブルです。グループ内では、以下のように優先順位が固定されています。

EXF0 > EXF1 > EXF2

図 4-14 EXIC0, EXIC1, EXIC2

|       | 7    | 6     | 5                           | 4    | 3 | 2   | 1   | 0   |
|-------|------|-------|-----------------------------|------|---|-----|-----|-----|
| EXIC0 | EXF0 | EXMK0 | MS/ $\overline{\text{INT}}$ | ENCS | 0 | PR2 | PR1 | PR0 |
| EXIC1 | EXF1 | EXMK1 | MS/ $\overline{\text{INT}}$ | ENCS | 0 | 1   | 1   | 1   |
| EXIC2 | EXF2 | EXMK2 | MS/ $\overline{\text{INT}}$ | ENCS | 0 | 1   | 1   | 1   |

注意 EXIC1, EXIC2 レジスタのビット 2-0 は“1”に固定されます。

EXIC1, EXIC2 レジスタの割り込み要求の優先順位は、EXIC0 レジスタの PR2 - PR0 ビットの設定に従います。

EXIC<sub>n</sub> レジスタの各ビットについては、4.7 項を参照してください。

EXIC<sub>n</sub> レジスタは、メモリの 8 ビット操作命令または 1 ビット操作命令で読み出し/書き込みができます。この場合、1 サイクルのウェイト・サイクルが自動的に挿入されます。

$\overline{\text{RESET}}$  入力で内容が 47H になります。

## 4.9.3 外部割り込みマクロ・サービス制御レジスタ (EMS0, EMS1, EMS2)

EMS<sub>n</sub> レジスタ (n = 0 - 2) は、外部割り込み要求端子 ( $\overline{\text{INTP0}} - \overline{\text{INTP2}}$ ) より発生する 3つの割り込み要求によって起動されるマクロ・サービスを制御する 8 ビット・レジスタです。

EMS0 レジスタは、EXF0 フラグによって起動されるマクロ・サービスを制御します。

EMS1 レジスタは EXF1 フラグ、EMS2 レジスタは EXF2 フラグによって起動されるマクロ・サービスを制御します。

EMS<sub>n</sub> レジスタは、メモリの 8 ビット操作命令または 1 ビット命令で読み出し/書き込みができます。この場合、1 ウェイトが挿入されます。

図 4-15 EMS0, EMS1, EMS2

| 7    | 6    | 5    | 4   | 3 | 2   | 1   | 0   |
|------|------|------|-----|---|-----|-----|-----|
| MSM2 | MSM1 | MSM0 | DIR | 0 | CH2 | CH1 | CH0 |

EMS<sub>n</sub> レジスタの各ビットについては、4.4.4 を参照してください。

## 4.10 ソフトウェアによる割り込み

V25, V35は、合計9種類のソフトウェアによる割り込みがあります(表4-2)。6種は、 $\mu$ PD70108, 70116のソフトウェアによる割り込みとコンパチブル(ただし、エミュレーション・モードに関する割り込みはありません)です。他の3種は、特有の機能です。

これらの割り込みのベクタはあらかじめ決まっています。

なお、BRKによる割り込み(シングル・ステップ割り込み)以外は、その割り込みが発生する条件が成立すれば常時受け付けられます(ハードウェアによる割り込みより優先されます)。ただし、BRKフラグによる割り込みは、BRK=1の時に発生しますが(ハードウェア、ソフトウェアの別なく)、割り込みが受け付けられると自動的にBRKフラグはリセットされますので、他の割り込み(ハードウェア、ソフトウェアいずれのもの)より優先順位は低くなり、その割り込み処理中にBRKフラグによる割り込みは発生しません。

表4-2 ソフトウェアによる割り込み

| 割り込みソース                              | ベクタ    | 優先順位 |
|--------------------------------------|--------|------|
| DIVUのディバイド・エラー                       | 0      | 1    |
| DIVのディバイド・エラー                        |        |      |
| CHKIND境界オーバ                          | 5      |      |
| BRKV                                 | 4      |      |
| BRK 3                                | 3      |      |
| BRK imm8                             | 32-255 |      |
| BRKフラグ(シングル・ステップ)                    | 1      | 2    |
| 入出力命令( $\overline{\text{IBRK}}$ フラグ) | 19     | 1    |
| FPO命令                                | 7      |      |
| BRKCS命令                              | -      | 1    |

### 4.10.1 一般のソフトウェア割り込み

入出力命令による割り込みとFPO命令による割り込み以外のソフトウェアによる割り込みの受け付けの実行シーケンスは、ベクタ割り込みと同一になります。すなわち、次の命令のアドレス情報とPSWをスタックに退避し、IE=BRK=0にし、ベクタの内容をPSとPCへロードします。

次に各ソフトウェア割り込みについて説明します。

(1) DIVUのディバイド・エラー、DIVのディバイド・エラー

除算命令の実行により商がオーバフローした場合に必ず発生します。

(2) CHKIND境界オーバ

あらかじめ定義された配列の境界をインデクス値が越えているか否かをチェックする命令(CHKIND)の実行により、境界をインデクス値が越えていると判断された場合に発生します。

(3) BRKV

BRKV命令の実行時にV（オーバーフロー・フラグ）がセットされていると発生します。

(4) BRK 3

BRK 3命令の実行により発生します。

(5) BRK imm8

BRK imm8命令の実行により発生します。

(6) BRKフラグ（シングル・ステップ）

BRK=1にセットされていると、一命令実行するたびに発生します。

リポート・プリフィクスが付加された場合、ループを抜けるまでは発生しません。

## 4.10.2 入出力命令割り込み

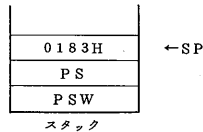
$\overline{IBRK}=0$ の時に入出力命令を実行しようとするとき割り込みが発生します。この割り込み受け付けの時にスタックに退避されるアドレス情報は、一般のソフトウェア割り込み（4.10.1参照）と異なり、その入出力命令が置かれているアドレスとなります。なお、この入出力命令にプリフィクスが付加されていた場合には、そのプリフィクスが置かれているアドレスとなります。この他の動作は一般のソフトウェア割り込みと同じになります。なお入出力命令割り込みから復帰時には、正常に復帰するためにスタック上のPCの値を調整する必要があります。

スタックに退避するアドレス情報を命令の先頭アドレスとすることにより、ソフトウェアで具体的にどの命令を実行しようとして割り込みが発生したのかを知ることができます。この機能により、従来の $\mu PD70108/70116$ で使用していたプログラムを移植することが容易に行えます。

また、PSWについては割り込みが発生する直前の内容がスタックに退避され、その後、 $IE=BRK=0$ 、 $\overline{IBRK}=1$ に自動的に設定されます。 $\overline{IBRK}=1$ にすることにより、割り込み処理中の入出力命令は入出力命令として実行され、割り込みからの復帰により自動的に元の状態（ $\overline{IBRK}=0$ ）に戻ります。

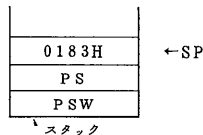
例1) プリフィクスなし

| アドレス  | 命令        |
|-------|-----------|
|       | ⋮         |
| 0183H | IN AW, DW |
|       | ⋮         |



例2) プリフィクスあり

| アドレス  | 命令  |
|-------|-----|
|       | ⋮   |
| 0183H | REP |
| 0184H | INM |
|       | ⋮   |



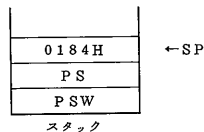
参考) 一般のソフトウェア割り込み

アドレス      命令

⋮

0183H      BRK   3

⋮



#### 4.10.3 FPO命令割り込み

V25, V35は,  $\mu$ PD70108, 70116と外部バスの構成が異なるため,  $\mu$ PD70108, 70116用の浮動小数点演算用のコプロセッサは接続できません。したがって, このコプロセッサ用のFPO命令を実行しようとした時にその命令の動作をエミュレートするために割り込みを発生させます。この割り込みは, 入出力命令割り込みと同様にスタック上に退避させるPCの値は, この命令の先頭アドレス(プリフィクスが付けられた時は, プリフィクスの先頭アドレス)となります(4.10.2入出力命令割り込み参照)。したがって, そのFPO命令をデコードし, ソフトウェアでエミュレーションすることが可能となります。FPO命令割り込みからの復帰時には, 入出力命令割り込みと同様に, スタック上に退避させたPCの値を調整する必要があります。



## 4.11 割り込みが受け付けられないタイミング

次の各命令とその次の命令の間では割り込みは受け付けられません。

(i) `sreg` に対する操作命令

```
MOV sreg, reg16; MOV sreg, mem16; POP sreg; POP PSW
```

(ii) プリフィクス命令

```
PS:, SS:, DS0:, DS1:, REPC, REPNC, REP, REPE, REPZ, REPNE,  
REPNZ, BUSLOCK
```

(iii) `EI`, `RETI`, `DI`, `MOVSPB`

(iv) `FINT`

受け付けられないタイミングで発生した割り込みは、`INT`を除けば、続く命令の実行終了後に受け付けられる状態であれば受け付けられます。

## 4.12 ブロック処理命令実行中の割り込み処理

ブロック処理（転送，比較，検索，入出力）命令実行中に割り込みを受け付けます。

割り込みは1回の処理を終了した時点で受け付けられます。この時，スタックまたはレジスタ・バンクのPC退避領域に退避されるアドレスは，自動的にプリフィクスを含めた命令の先頭となります。割り込みからの復帰時にプリフィクスから再実行することにより，実行途中であったブロック処理を再開することができます。

ブロック処理の命令には，理論的にリビート・プリフィクスを含めて最大3種のプリフィクスを付加することができます。V25，V35では，割り込みを受け付けた時点で何種のプリフィクスが付加されているブロック処理命令を実行していたのか判別できるようになっており，その付加状態に応じてPCの値を自動的に減じてスタック等に退避します。

例： `REP`

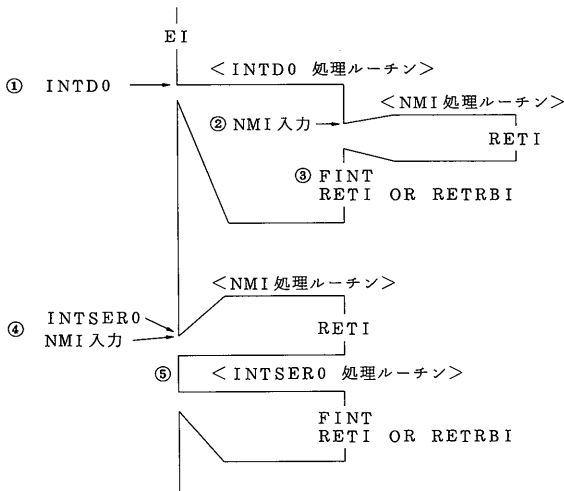
```
MOVBK SS:SRC_BLK, DES_BLOCK
```

## 4.13 割り込みの受け付け方

### (1) NMI

- ソフトウェアによってマスクされない
- すべての割り込みに対して最優先

<メイン・ルーチン>

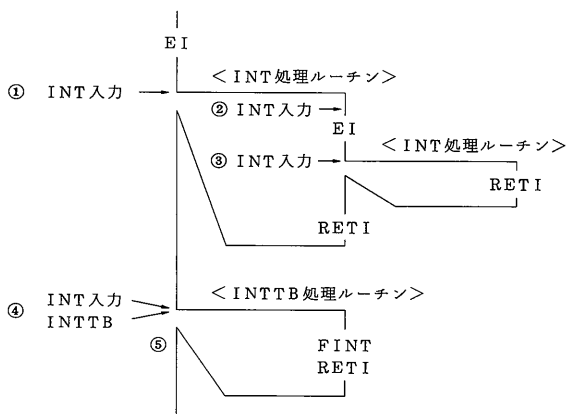


- ① 割り込み許可状態 (EI) で優先順位 2 に設定した INTD0 が発生し、INTD0 処理を開始する。
- ② INTD0 処理中は割り込み禁止状態 (DI) になるが、NMI の発生により、INTD0 処理を禁止し NMI 処理を開始する。
- ③ NMI 処理が終了すると禁止されていた INTD0 が処理され、復帰する。
- ④ 優先順位 4 に設定した INTSER0 と NMI が同時に発生すると、すべての割り込みに対して最優先の NMI が受け付けられ、NMI 処理を開始する。
- ⑤ NMI 処理が終了すると保留されていた INTSER0 が処理される。

## (2) INT

- 割り込み許可状態 (EI = 1) であれば、いつでも受け付けられる
- 複数の割り込みが発生した時の優先順位は最下位
- 多重処理コントローラの制御は受けない

<メイン・ルーチン>

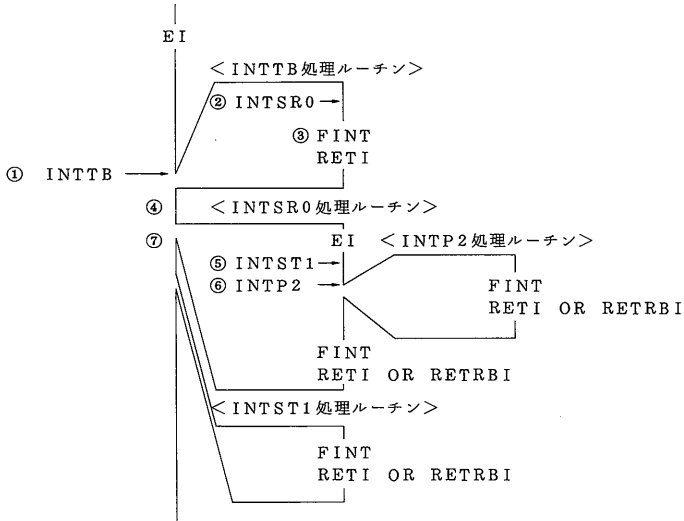


- ① 割り込み許可状態 (EI) でINTが発生すると、INT処理を開始する。
- ② INTが受け付けられると自動的に割り込み禁止状態 (DI) になるので、INTが再び発生しても受け付けない。
- ③ INT処理中でも割り込み許可状態 (EI) にすると、再びINTの発生があれば、INTの多重処理をおこなう。
- ④ INTと優先順位6に設定したINTTBが同時に発生すると、INTは優先順位が最下位のため受け付けられず、INTTBの処理を開始する。
- ⑤ INTTBの処理終了後、INTがイン・アクティブであれば、INTの割り込みは受け付けない。

(3) 多重処理制御を受ける割り込み

- 優先順位に従って多重処理を行う

<メイン・ルーチン>

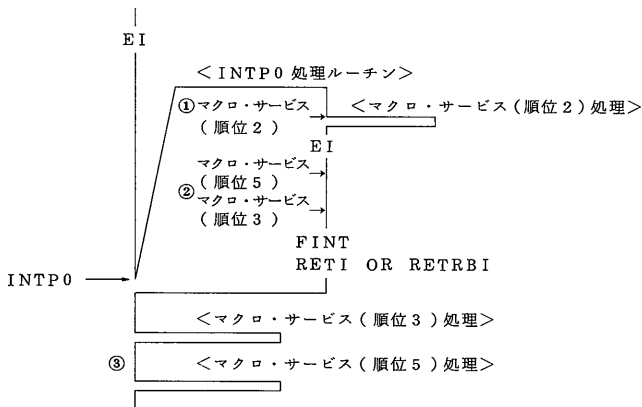


- ① 割り込み許可状態 (EI) で優先順位 6 に設定した INTTB が発生し、INTTB 処理を開始する。
- ② INTTB が受け付けられると割り込み禁止状態 (DI) になるため、INTTB より高位の優先順位 4 に設定した INTSR0 が発生するが受け付けられない。
- ③ 優先順位制御を受ける割り込みは、復帰時、FINT 命令を実行しなければならない。
- ④ INTTB 処理が終了し割り込み許可状態 (EI) になると、保留されていた INTSR0 処理を開始する。
- ⑤ 割り込み許可状態 (EI) で優先順位 5 に設定した INTST1 が発生するが、INTSR0 の割り込み処理中であり INTSR0 より優先順位が低位なため、受け付けられない。
- ⑥ 続けて発生した優先順位 3 に設定した INTP2 は、INTSR0 より高位のため受け付けられ、INTP2 の処理を開始する。
- ⑦ INTP2 処理が終了し、禁止されていた INTSR0 の処理も終了し復帰すると、INTST1 が受け付けられる。

(4) マクロ・サービスによる割り込み……A

- 割り込み許可 (EI), 禁止 (DI) 状態にかかわらず受け付けられる
- 多重処理を受ける割り込みと同じく, 優先順位に従って多重処理を行う

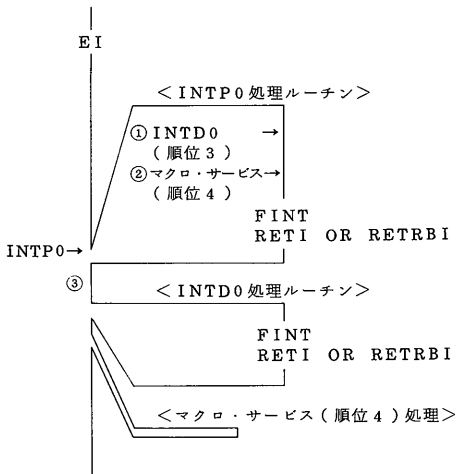
<メイン・ルーチン>



- ① 優先順位 3 に設定した INTP0 処理中に優先順位 2 に設定したマクロ・サービスによる割り込みが発生すると, 割り込み禁止状態 (DI) であってもマクロ・サービス処理を行う。
- ② 続いて割り込み許可状態 (EI) にした INTP0 の処理中に優先順位 5 と 3 にそれぞれ設定したマクロ・サービスによる割り込みが発生するが, INTP0 以下の優先順位により保留される。
- ③ INTP0 処理が終了すると保留されていたマクロ・サービスによる割り込みが優先順位の高い順番に受け付けられる。

(5) マクロ・サービスによる割り込み……B

<メイン・ルーチン>

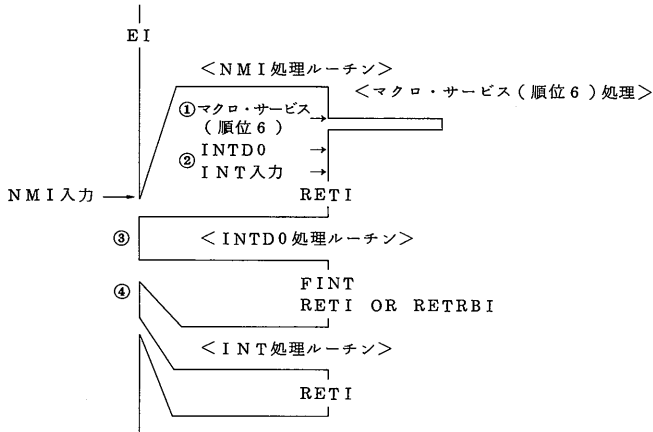


- ① 優先順位 5 に設定した INTP0 処理中に優先順位 3 に設定した INTD0 の割り込み要求が発生するが、割り込み禁止状態 (DI) であるので保留される。
- ② 優先順位 4 に設定したマクロ・サービスによる割り込みの要求が発生するが、優先順位 3 に設定された割り込みが保留されているので同様に保留される。
- ③ INTP0 の処理が終了すると保留されていた INTD0 が受け付けられ、その後、優先順位 3 のマクロ・サービスが処理される。

(6) マクロ・サービスによる割り込みの他の割り込みに対する優先順位

- NMI 処理中でもマクロ・サービスによる割り込みは受け付けられる

<メイン・ルーチン>

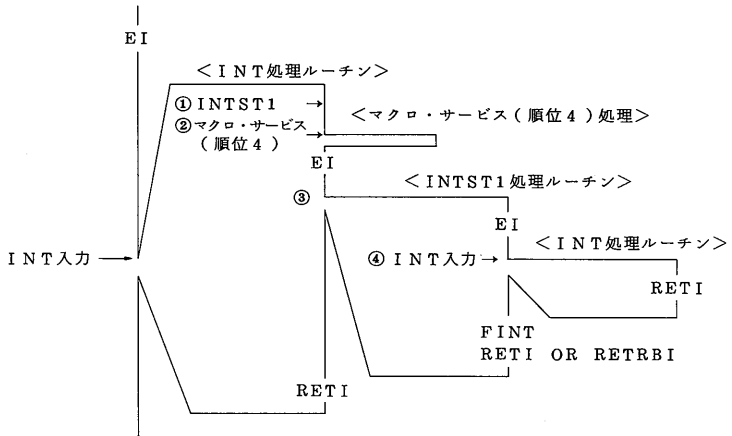


- ① NMI 処理中で割り込み禁止状態 (DI) であっても、マクロ・サービスによる割り込みが発生するとマクロ・サービス処理は行う。
- ② 同じ NMI 処理中で割り込み禁止状態 (DI) にあるとき、多重処理制御を受ける割り込み (INTD0) や INT が発生しても受け付けられない。
- ③ NMI 処理が終了すると保留されていた INTD0 が受け付けられる。
- ④ INTD0 の処理が終了した時点で INT がアクティブであれば、INT が受け付けられる。

(7) 各種割り込みの多重処理

- INT, 多重処理制御を受ける割り込み, マクロ・サービスによる割り込み

<メイン・ルーチン>



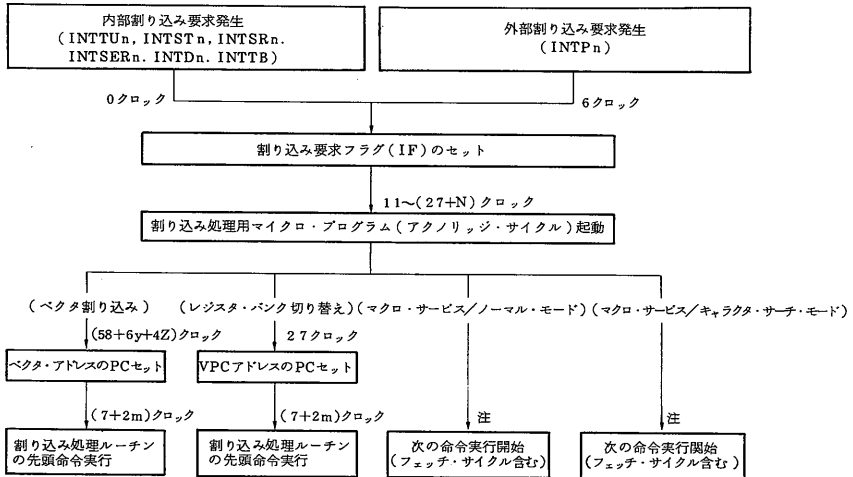
- ① INTが受け付けられ割り込み禁止状態(DI)になっているため, 優先順位5に設定したINTST1が発生しても受け付けられない。
- ② 続いて, 優先順位4に設定したマクロ・サービスによる割り込みが発生すると, マクロ・サービスの処理を行う。
- ③ 割り込み許可状態(EI)にすると保留されていたINTST1の処理を開始する。
- ④ INTST1処理中, 割り込み許可状態(EI)にあれば, INT発生によってINT処理を開始する。



## 4.14 ハードウェア割り込みの応答時間

### 4.14.1 V25の割り込み応答時間(システム・クロック数)

図4-16 内部／外部割り込み要求による応答時間(V25)



N: この時点でCPUが実行中の命令の残り実行クロック数

y: PC, PS, PSWをスタックに退避する時のメモリに対するウェイト数

z: ベクタPC, ベクタPSをリードする時のメモリに対するウェイト数

m: 割り込み処理ルーチンの先頭命令をフェッチする時のメモリに対するウェイト数

(2バイト分フェッチした時点で命令実行を開始します。)

注 マクロ・サービス転送処理時間は表4-3に示します。

注意 リフレッシュ・サイクル, ホールド要求, DMA要求, 他の割り込み要求などは考慮して  
おりません。

表 4-3 マクロ・サービス転送処理時間 (V25)

(1) ノーマル・モード (単位: クロック)

|         | バイト転送   |         | ワード転送   |         |
|---------|---------|---------|---------|---------|
|         | 内蔵RAM許可 | 内蔵RAM禁止 | 内蔵RAM許可 | 内蔵RAM禁止 |
| メモリ→SFR | $24+t$  | $19+t$  | $26+2t$ | $21+2t$ |
| SFR→メモリ | $22+t$  | $20+t$  | $22+2t$ | $22+2t$ |

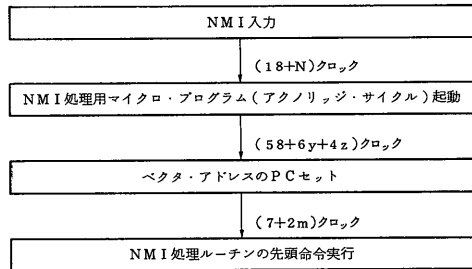
(2) キャラクタ・サーチ・モード (単位: クロック)

|         | バイト転送   |         |
|---------|---------|---------|
|         | 内蔵RAM許可 | 内蔵RAM禁止 |
| メモリ→SFR | $27+t$  | $27+t$  |
| SFR→メモリ | $37+t$  | $34+t$  |

t: 転送対象となるメモリに対するウェイト数

#### 4.14.2 V25のNMI 応答時間 (システム・クロック数)

図 4-17 NMI による応答時間 (V25)



N: この時点で実行中の命令の残り実行クロック数

y: PC, PS, PSWをスタックに退避する時のメモリに対するウェイト数

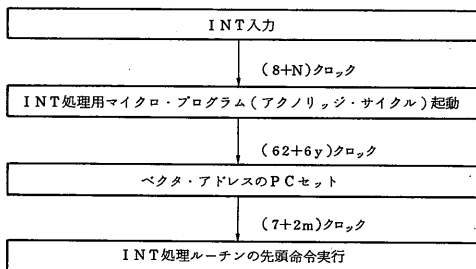
z: ベクタPC, ベクタPSをリードする時のメモリに対するウェイト数

m: 割り込み処理ルーチンの先頭命令をフェッチする時のメモリに対するウェイト数

(2バイト分フェッチした時点で命令実行を開始します。)

#### 4.14.3 V25のINT応答時間(システム・クロック数)

図4-18 INTによる応答時間(V25)



N: この時点で実行中の命令の残り実行クロック数

y: PC, PS, PSWをスタックに退避する時のメモリに対するウェイト数

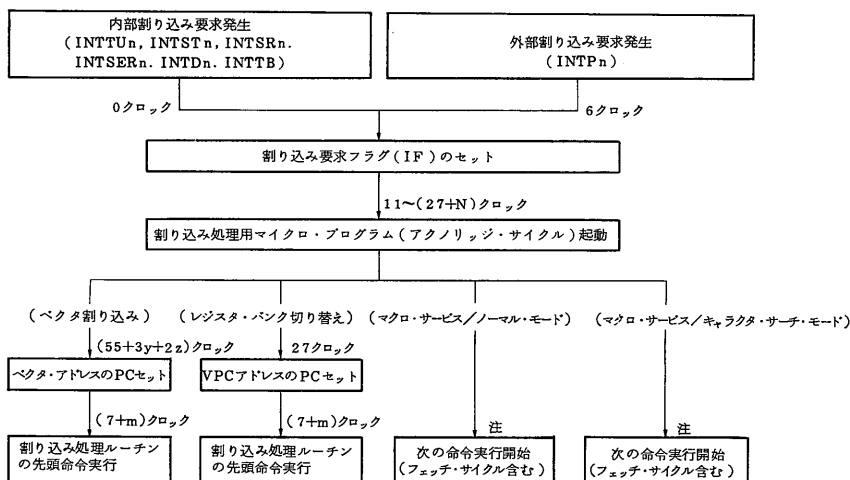
z: ベクタPC, ベクタPSをリードする時のメモリに対するウェイト数

m: 割り込み処理ルーチンの先頭命令をフェッチする時のメモリに対するウェイト数

(2バイト分フェッチした時点で命令実行を開始します。)

#### 4.14.4 V35の割り込み応答時間(システム・クロック数)

図4-19 内部/外部割り込み要求による応答時間(V35)



N：この時点でCPUが実行中の命令の残り実行クロック数

y：PC，PS，PSWをスタックに退避する時のメモリに対するウェイト数

z：ベクタPC，ベクタPSをリードする時のメモリに対するウェイト数

m：割り込み処理ルーチンの先頭命令をフェッチする時のメモリに対するウェイト数

(2バイト分フェッチした時点で命令実行を開始します。)

注 マクロ・サービス転送処理時間は表4-4に示します。

注意 リフレッシュ・サイクル，ホールド要求，DMA要求，他の割り込み要求などは考慮していません。

表 4-4 マクロ・サービス転送処理時間 (V35)

(1) ノーマル・モード (単位: クロック)

|         | バイト転送    |          | ワード転送    |          |
|---------|----------|----------|----------|----------|
|         | 内蔵RAM許可  | 内蔵RAM禁止  | 内蔵RAM許可  | 内蔵RAM禁止  |
| メモリ→SFR | $25 + t$ | $20 + t$ | $25 + t$ | $20 + t$ |
| SFR→メモリ | $22 + t$ | $21 + t$ | $22 + t$ | $21 + t$ |

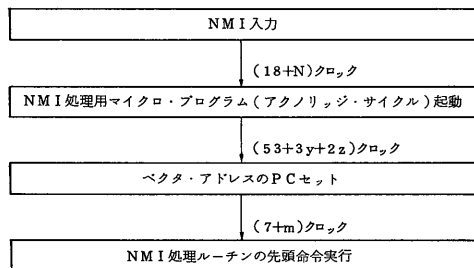
(2) キャラクタ・サーチ・モード (単位: クロック)

|         | バイト転送    |          |
|---------|----------|----------|
|         | 内蔵RAM許可  | 内蔵RAM禁止  |
| メモリ→SFR | $28 + t$ | $28 + t$ |
| SFR→メモリ | $38 + t$ | $35 + t$ |

t: 転送対象となるメモリに対するウエイト数

#### 4.14.5 V35のNMI 応答時間 (システム・クロック数)

図 4-20 NMI による応答時間 (V35)



N: この時点で実行中の命令の残り実行クロック数

y: PC, PS, PSWをスタックに退避する時のメモリに対するウエイト数

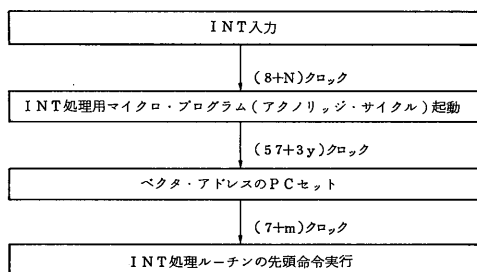
z: ベクタPC, ベクタPSをリードする時のメモリに対するウエイト数

m: 割り込み処理ルーチンの先頭命令をフェッチする時のメモリに対するウエイト数

(2バイト分フェッチした時点で命令実行を開始します。)

#### 4.14.6 V35のINT応答時間(システム・クロック数)

図 4-21 INTによる応答時間(V35)



N: この時点で実行中の命令の残り実行クロック数

y: PC, PS, PSWをスタックに退避する時のメモリに対するウェイト数

z: ベクタPC, ベクタPSをリードする時のメモリに対するウェイト数

m: 割り込み処理ルーチンの先頭命令をフェッチする時のメモリに対するウェイト数

(2バイト分フェッチした時点で命令実行を開始します。)

## 第5章 バス制御

V25, V35は、バスの制御のために表5-1に示す端子を持っています。

なお兼用端子についてはその機能を使用する場合、ポート・モード・コントロール・レジスタ(PMCn)によって相当する機能を選択する必要があります。

表5-1 バス制御のための端子機能

(a)  $\mu$ PD70322, 70320, 70P322(V25モード)

| 端子名                 | 入出力 | 機 能                     | 備 考                         |
|---------------------|-----|-------------------------|-----------------------------|
| A0-A19              | 出   | アドレス・バス                 |                             |
| D0-D7               | 入/出 | データ・バス                  |                             |
| R/ $\overline{W}$   | 出   | リード/ライトの識別              |                             |
| $\overline{MRBQ}$   | 出   | メモリ・サイクルを示す             |                             |
| MSTB                | 出   | メモリ・リード/メモリ・ライトのストロープ信号 |                             |
| $\overline{I}OSTB$  | 出   | I/Oサイクルのストロープ信号         |                             |
| $\overline{REFRQ}$  | 出   | メモリ・リフレッシュ・サイクルを示す      |                             |
| HLDRQ               | 入   | バス・ホールド要求信号             | P27と兼用                      |
| $\overline{H}LDAK$  | 出   | バス・ホールド・アクノリッジ信号        | P26と兼用                      |
| DMARQ0              | 入   | DMA要求信号                 | P20と兼用                      |
| DMARQ1              | 入   | DMA要求信号                 | P23と兼用                      |
| $\overline{DMAAK0}$ | 出   | DMAアクノリッジ・サイクルを示す       | P21と兼用                      |
| $\overline{DMAAK1}$ | 出   | DMAアクノリッジ・サイクルを示す。      | P24と兼用                      |
| READY               | 入   | 外部からバス・サイクルにウェイトを挿入する   | P17と兼用                      |
| $\overline{INTAK}$  | 出   | 割り込みアクノリッジ・サイクルを示す      | P13, $\overline{INTP2}$ と兼用 |

(b)  $\mu$ PD70332, 70330, 70P322 (V35モード)

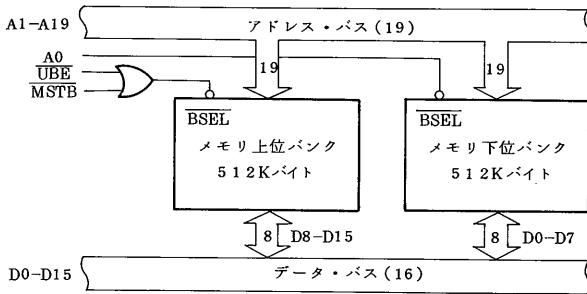
| 端子名                       | 入出力 | 機能                                      | 備考                          |
|---------------------------|-----|-----------------------------------------|-----------------------------|
| A0                        | 出   | アドレスのLSB出力。下位メモリ・バンクの選択に用いる。            |                             |
| A9/A16/A8,<br>A17/A18,A19 | 出   | 19ビット・アドレスを時分割で出力                       |                             |
| A18/ $\overline{UBE}$     | 出   | アドレスのビット18の出力と上位メモリ・バンクの選択信号を時分割で出力     |                             |
| D0-D15                    | 入/出 | データ・バス                                  |                             |
| $R/\overline{W}$          | 出   | リード/ライト識別                               |                             |
| $\overline{MREQ}$         | 出   | バス・サイクルが起動されたことを示す。上位アドレスのストロープ信号。      |                             |
| $\overline{MSTB}$         | 出   | メモリ・リード/メモリ・ライトのストロープ信号。下位アドレスのストロープ信号。 |                             |
| $\overline{IOSTB}$        | 出   | I/Oサイクルのストロープ信号。下位アドレスのストロープ信号。         |                             |
| $\overline{REFRQ}$        | 出   | メモリ・リフレッシュ・サイクルを示す。                     |                             |
| $\overline{HLDRQ}$        | 入   | バス・ホールド要求信号                             | P27と兼用                      |
| $\overline{HLDAK}$        | 出   | バス・ホールド・アックノリッジ信号                       | P26と兼用                      |
| $\overline{DMARQ0}$       | 入   | DMA要求信号                                 | P20と兼用                      |
| $\overline{DMARQ1}$       | 入   | DMA要求信号                                 | P23と兼用                      |
| $\overline{DMAAK0}$       | 出   | DMAアックノリッジ・サイクルを示す。                     | P21と兼用                      |
| $\overline{DMAAK1}$       | 出   | DMAアックノリッジ・サイクルを示す。                     | P24と兼用                      |
| READY                     | 入   | 外部からバス・サイクルにウェイトを挿入する。                  | P17と兼用                      |
| $\overline{INTAK}$        | 出   | 割り込みアックノリッジ・サイクルを示す。                    | P13, $\overline{INTP2}$ と兼用 |

V35は1バイトごとにメモリ番地を管理し、さらに16ビットの外部データ・バスをもっているため、メモリを上位バンクと下位バンクに分けて接続します。図5-1にその概略を示します。

上位バンク、下位バンクのそれぞれのメモリのアドレス端子には、物理アドレスのA0を除く上位19ビットを入力します。A0信号とA18/ $\overline{UBE}$ 信号は、それぞれ下位、上位のメモリ・バンクの選択に用います。



図 5-1 メモリ・バンク構成



V35のメモリ・サイクルは、T1、T2、T3の3ステートからなります(5.5バス・タイミング参照)。

T1ステートでは20ビット・アドレスの内の第1のアドレス(上位アドレス)を、T2ステートでは20ビット・アドレスの内の第2のアドレス(下位アドレス)を外部アドレス・バス上に出力します。T3ステートではデータの読み出し、書き込みを行います。

ウェイト・ステートTWは、リード・サイクルではT2とT3ステートの間に挿入されます。ライト・サイクルでは、T1とT2ステートの間に挿入されます。

A0端子は、T1ステートからT3ステートまで物理アドレスの最下位ビットを出力します。A18/ $\overline{UBE}$ 端子は、T1ステートで物理アドレスの第18ビットを出力し、T1ステートの次のステートで $\overline{UBE}$ 信号を出力します。

A0信号と $\overline{UBE}$ 信号の関係は、表5-2のようになります。

表 5-2  $\mu$ PD70332, 70330, 70P322 (V35モード) のデータ・アクセス

| アクセス       | $\overline{UBE}$ | A0 | バス・サイクル数 |
|------------|------------------|----|----------|
| 偶数アドレスのワード | 0                | 0  | 1        |
| 奇数アドレスのワード | 0                | 1  | 2        |
|            | 1                | 0  |          |
| 偶数アドレスのバイト | 1                | 0  | 1        |
| 奇数アドレスのバイト | 0                | 1  | 1        |

I/Oリード/ライト・サイクルのタイミングは、メモリ・リード/ライト・サイクルと同じタイミングです。ただし、 $\overline{MSTB}$ の代わりに $\overline{IOSTB}$ がアクティブになります。

メモリ・リフレッシュ・サイクルでは、 $\overline{MREQ}$ 信号と $\overline{MSTB}$ 信号はインアクティブです。

V35は、外部メモリとI/Oをアクセスする場合、11本のアドレス端子とA18/ $\overline{UBE}$ 端子の計

12本の端子から、表5-3に示すように20ビットの物理アドレスを時分割して出力します。

表5-3 アドレス時分割出力

| 端子名                          | メモリ・サイクル |                         | I/Oサイクル |                         | リフレッシュ・サイクル |
|------------------------------|----------|-------------------------|---------|-------------------------|-------------|
|                              | 1回目      | 2回目                     | 1回目     | 2回目                     |             |
| A0                           | A0       | A0                      | A0      | A0                      | "0"         |
| A9/A1                        | A9       | A1                      | A9      | A1                      | A0          |
| A10/A2                       | A10      | A2                      | A10     | A2                      | A1          |
| A11/A3                       | A11      | A3                      | A11     | A3                      | A2          |
| A12/A4                       | A12      | A4                      | A12     | A4                      | A3          |
| A13/A5                       | A13      | A5                      | A13     | A5                      | A4          |
| A14/A6                       | A14      | A6                      | A14     | A6                      | A5          |
| A15/A7                       | A15      | A7                      | A15     | A7                      | A6          |
| A16/A8                       | A16      | A8                      | "0"     | A8                      | A7          |
| A17/A18                      | A17      | A18                     | "0"     | "0"                     | A8          |
| A19                          | A19      | A19                     | "0"     | "0"                     | A9          |
| A18/ $\overline{\text{UBE}}$ | A18      | $\overline{\text{UBE}}$ | "0"     | $\overline{\text{UBE}}$ | "0"         |
| REFRQ                        | "1"      | "1"                     | "1"     | "1"                     | "0"         |

# 5.1 プログラマブル・ウエイト機能

V25, V35は、外部バス・サイクル（メモリ・リフレッシュ・サイクルを除く）にウエイト・ステートを挿入することをソフトウェアによって指定できます。ウエイト・ステートの挿入は1Mバイトのメモリ空間を128Kバイト単位に分割した8ブロックのメモリ空間とI/O空間に対して図5-2に示すようにウエイト・コントロール・レジスタ（WTC）によって指定します。ただし、メモリ空間のブロック6（C0000H-FFFFFH）とブロック7（E0000H-FFFFFH）は同一の設定となります。

ウエイト・ステートの指定は、表5-4に示すように0, 1, 2, および2以上でREADY端子による追加制御の4通りから、他のブロックとは独立に任意に指定できます。なお、READY端子による制御を使用する場合、READY端子はP17と兼用となっているためポート1モード・コントロール・レジスタ（PMC1）のビット7を1にする必要があります。PMC1のビット7が0の場合は、常にREADY状態すなわちウエイト・ステートは2ステートになります。READY端子による制御を選んだ場合は、READY端子の状態にかかわらず2ステートのウエイト・ステートTAWが挿入されます。READY端子はレベルでセンスされ、ロウ・レベルの期間中ウエイト・ステートが挿入されます。

内蔵ROM（μPD70320, 70330にはなし）と内部データ領域に対するアクセスは、プログラマブル・ウエイト機能の影響を受けません。この設定は、リフレッシュ時を除いた外部領域に対するすべてのアクセスに適用されます。

RESET入力でWTCレジスタの内容はFFFFFHに初期化されます。

図5-2 WTC

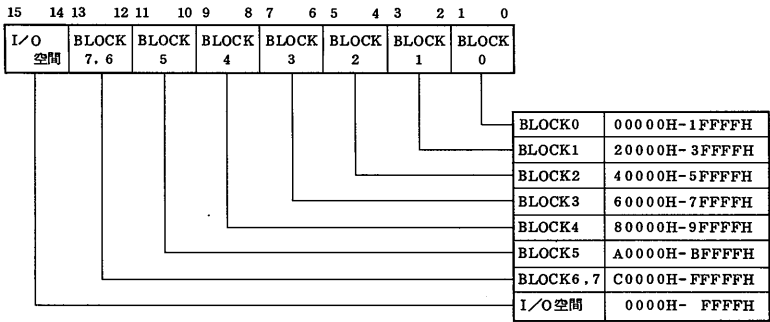


表 5-4 ウェイト・ステートの設定

| BLOCKn/I/O空間 | ウェイト・ステート                      |
|--------------|--------------------------------|
| 0 0          | 0 ステート                         |
| 0 1          | 1 ステート                         |
| 1 0          | 2 ステート                         |
| 1 1          | 2 ステート + READY 端子<br>による挿入ステート |

ウェイト・コントロール・レジスタ (WTC) によって READY 端子によるウェイト制御を選ぶと、CPU は 2 ウェイト (TAW) を自動的に挿入します。V25 は T1 ステートと T2 ステートの間に、V35 は T2 ステートと T3 ステートの間にそれぞれ 2 ウェイト (TAW) を自動的に挿入します。

V25 および V35 の READY 端子によるウェイトを、図 5-3 および図 5-4 に示します。CPU (V25, V35) は、READY 端子の状態を最初の TAW でサンプリングします。このとき READY 端子がハイ・レベルであれば、自動挿入する TAW (2 ウェイト) 以上のウェイト・ステートは追加しません。READY 端子がロウ・レベルのときは自動挿入する TAW のあとにウェイト・ステート (TW) を追加します。このウェイト・ステート (TW) は、TAW および TW で READY 端子のロウ・レベルをサンプリングした回数分追加されます。

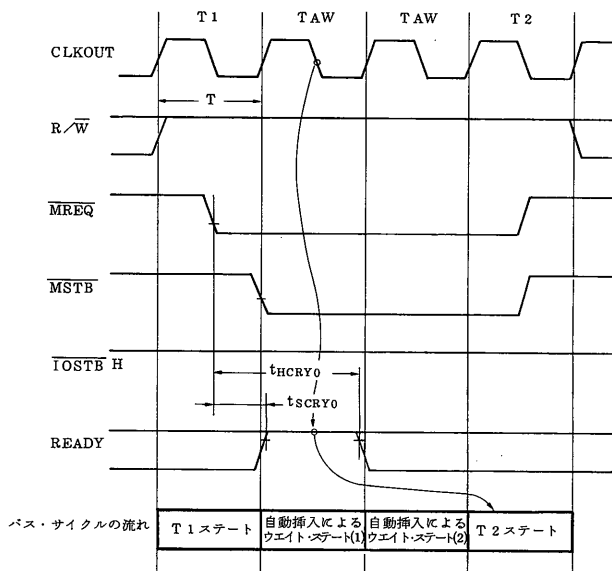
MREQ、MSTB、IOSTB の各制御信号は、V25 と V35 で出力タイミングが異なります。

READY 端子のタイミング規定は、V25 と V35 は次のようになります。V25 のメモリ・リード/ライト・サイクルのとき READY 端子のタイミングは、MREQ より規定され、I/O リード/ライト・サイクルのとき READY 端子のタイミングは、IOSTB により規定されます。V35 のメモリ・リード/ライト・サイクルのとき READY 端子のタイミングは、MREQ より規定され、I/O リード/ライト・サイクルのとき READY 端子のタイミングは、MREQ および IOSTB により規定されます。なお、V35 ではメモリ・リード・サイクルとメモリ・ライト・サイクルで MSTB の出力タイミングが異なります。

なお、ウェイト・ステートにはリフレッシュ・サイクルが挿入されません。したがって、リフレッシュ機能を使用して DRAM のリフレッシュを行う場合、ウェイト・ステートが長くなるとその間はリフレッシュが行われなくなり、DRAM の内容が保持されなくなることがあります。

図 5-3 V25 READY 端子によるウェイト

(a) メモリ・リード・サイクル ウェイト・ステート追加なし



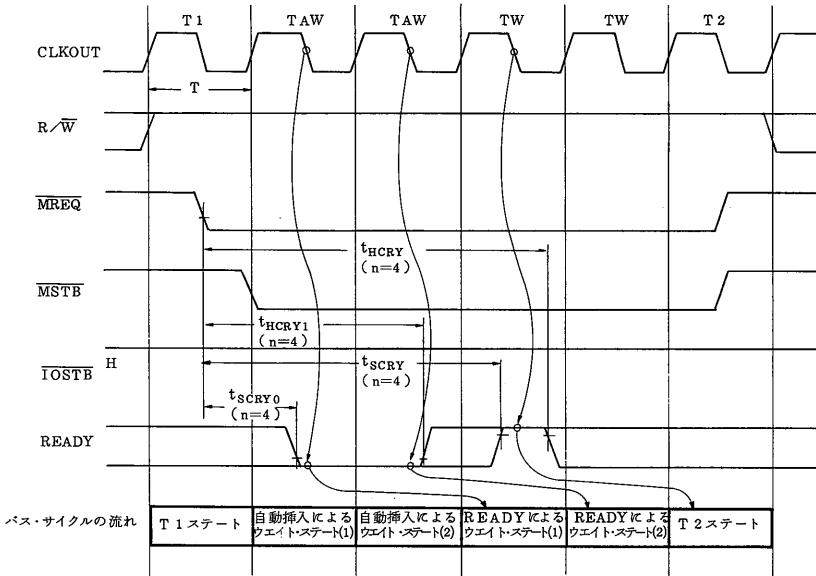
動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

$$t_{SCRY0} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

$$t_{HCRY0} = 1 T \text{ ns (Min.)} = 125 \text{ ns}$$

(b) メモリ・リード・サイクル 2ウェイト追加



動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

合計のウェイト数は 4 ウェイトのため、 $n$  には 4 を代入します。

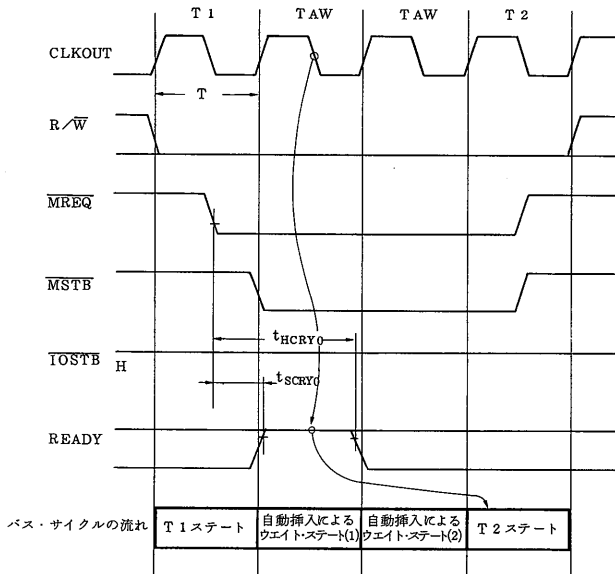
$$t_{SCRY0} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

$$t_{HCRY1} = (n-2) T_{ns} \text{ (Min.)} = 250 \text{ ns}$$

$$t_{SCRY} = (n-1) T - 100 \text{ ns (Max.)} = 275 \text{ ns}$$

$$t_{HCRY} = (n-1) T_{ns} \text{ (Min.)} = 375 \text{ ns}$$

(c) メモリ・ライト・サイクル ウェイト・スタート追加なし



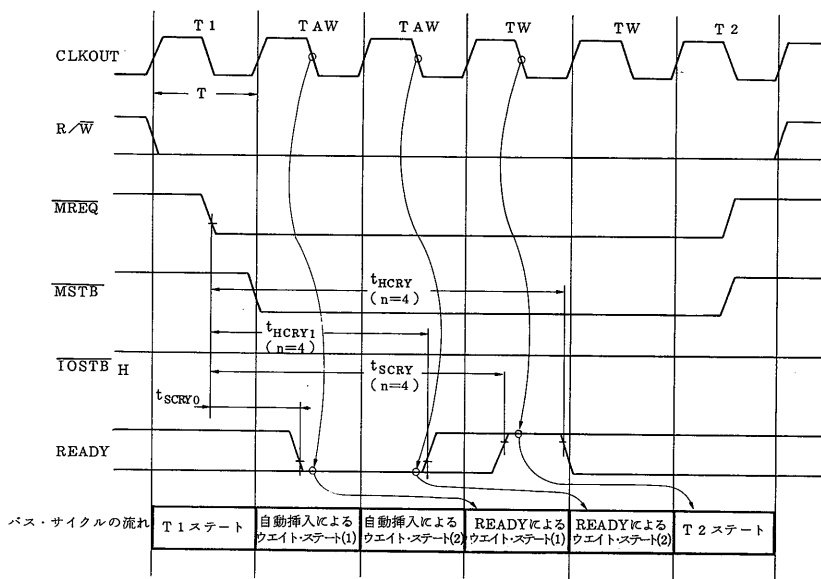
動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

$$t_{\text{SCRY0}} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

$$t_{\text{HCRY0}} = 1 T \text{ ns (Min.)} = 125 \text{ ns}$$

(d) メモリ・ライト・サイクル 2 ウェイト追加



動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

合計のウェイト数は 4 ウェイトのため、 $n$  には 4 を代入します。

$$t_{SCRY0} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

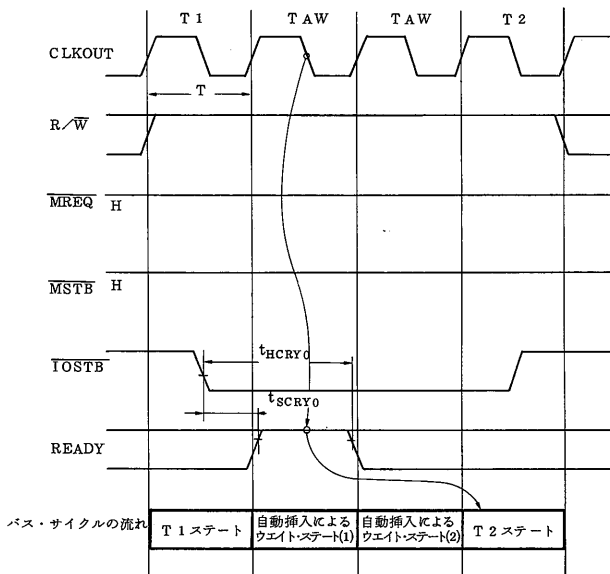
$$t_{HCRY1} = (n-2) T \text{ ns (Min.)} = 250 \text{ ns}$$

$$t_{SCRY} = (n-1) T - 100 \text{ ns (Max.)} = 275 \text{ ns}$$

$$t_{HCRY} = (n-1) T \text{ ns (Min.)} = 375 \text{ ns}$$



(e) I/O リード・サイクル ウェイト・ステート追加なし



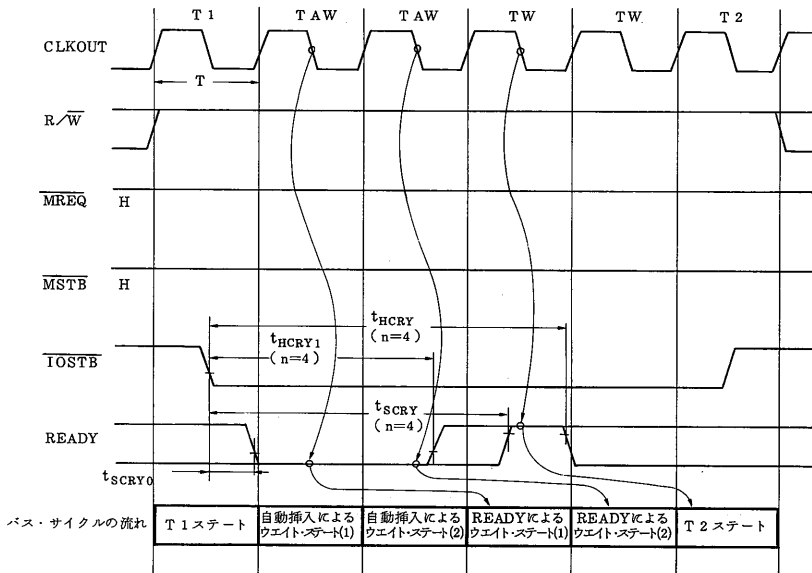
動作周波数 8 MHz の場合

$$T = 125 \text{ ns}$$

$$t_{SCRY0} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

$$t_{HCRY0} = 1 T \text{ ns (Min.)} = 125 \text{ ns}$$

(f) I/O リード・サイクル 2 ウェイト追加



動作周波数 8 MHz の場合

$$T = 125 \text{ ns}$$

合計のウェイト数は、4 ウェイトのため、n には 4 を代入します。

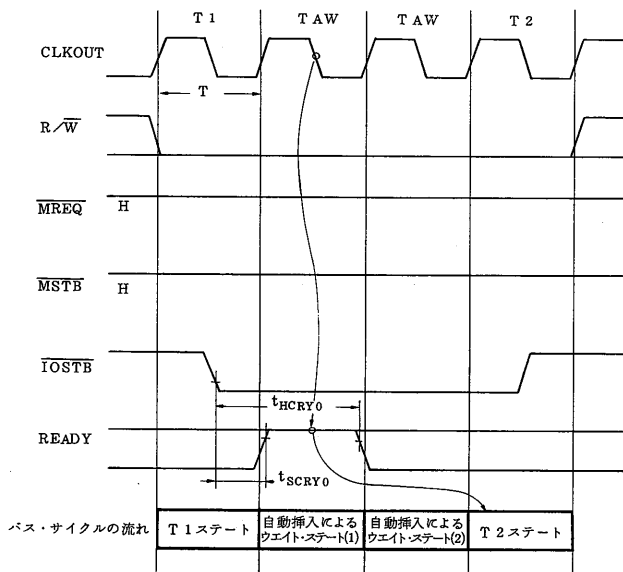
$$t_{SCRY0} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

$$t_{HCRY1} = (n-2) T \text{ ns (Min.)} = 250 \text{ ns}$$

$$t_{SCRY} = (n-1) T - 100 \text{ ns (Max.)} = 275 \text{ ns}$$

$$t_{HCRY} = (n-1) T \text{ ns (Min.)} = 375 \text{ ns}$$

(g) I/Oライト・サイクル ウェイト・スタート追加なし



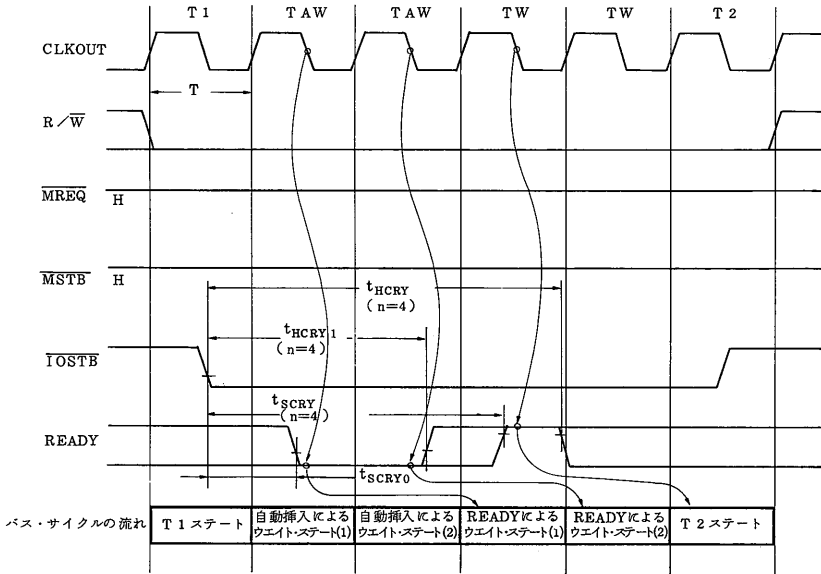
動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

$$t_{\text{SCRY0}} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

$$t_{\text{HCRY0}} = 125 \text{ ns (Min.)} = 125 \text{ ns}$$

(h) I/O ライト・サイクル 2 ウェイト追加



動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

合計のウェイト数は 4 ウェイトのため、n には 4 を代入します。

$$t_{\text{SCRY}0} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

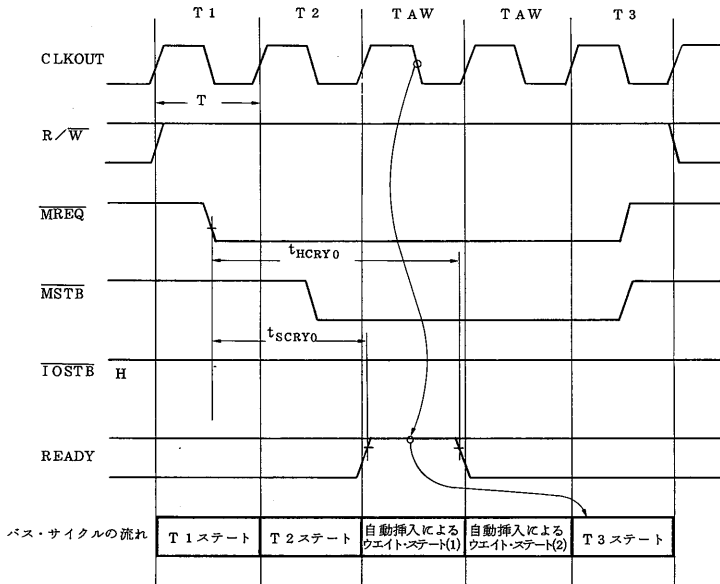
$$t_{\text{HCRY}1} = (n - 2) T \text{ ns (Min.)} = 250 \text{ ns}$$

$$t_{\text{SCRY}} = (n - 1) T - 100 \text{ ns (Max.)} = 275 \text{ ns}$$

$$t_{\text{HCRY}} = (n - 1) T \text{ ns (Min.)} = 375 \text{ ns}$$

図 5-4 V35 READY 端子によるウェイト

(a) メモリ・リード・サイクル ウェイト・スタート追加なし



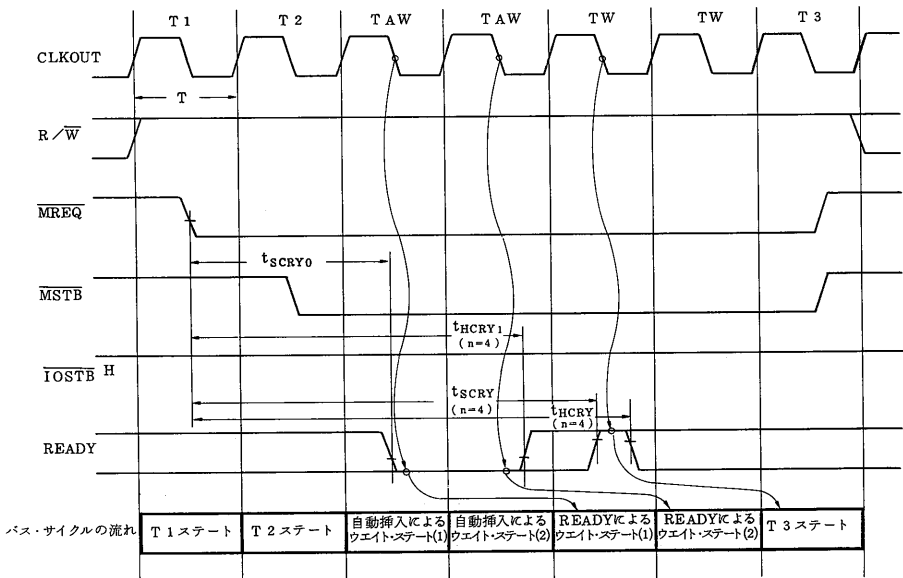
動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

$$t_{\text{SCRY0}} = 2T - 100 \text{ ns (Max.)} = 150 \text{ ns}$$

$$t_{\text{HCRY0}} = 2T \text{ (Min.)} = 250 \text{ ns}$$

(b) メモリ・リード・サイクル 2 ウェイト追加



動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

合計のウェイト数は 4 ウェイトのため、 $n$  には 4 を代入します。

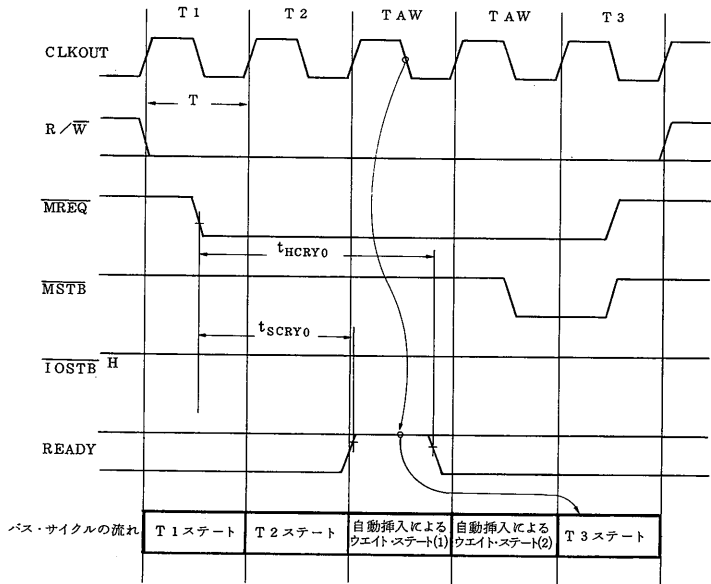
$$t_{SCRY0} = 2T - 100 \text{ ns (Max.)} = 150 \text{ ns}$$

$$t_{HCRY1} = (n-1) T \text{ ns (Min.)} = 375 \text{ ns}$$

$$t_{SCRY} = nT - 100 \text{ ns (Max.)} = 400 \text{ ns}$$

$$t_{HCRY} = n T \text{ ns (Min.)} = 500 \text{ ns}$$

(c) メモリ・ライト・サイクル ウェイト・ステート追加なし



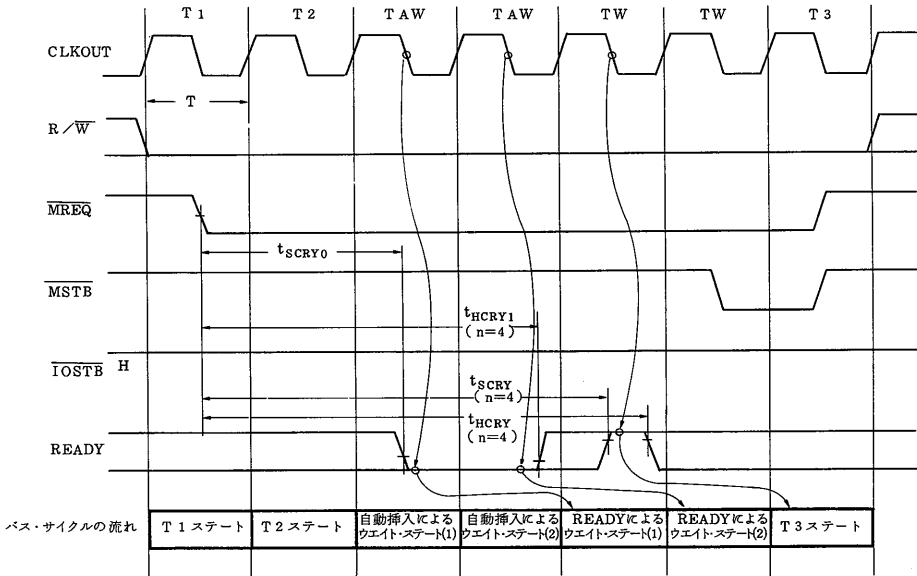
動作周波数8MHzの場合

$$T = 125 \text{ ns}$$

$$t_{\text{SCRY}0} = 2T - 100 \text{ ns (Max.)} = 150 \text{ ns}$$

$$t_{\text{HCRY}0} = 2T \text{ (Min.)} = 250 \text{ ns}$$

(d) メモリ・ライト・サイクル 2ウェイト追加



動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

合計のウェイト数は 4 ウェイトのため、 $n$  には 4 を代入します。

$$t_{\text{SCRY}0} = 2T - 100 \text{ ns (Max.)} = 150 \text{ ns}$$

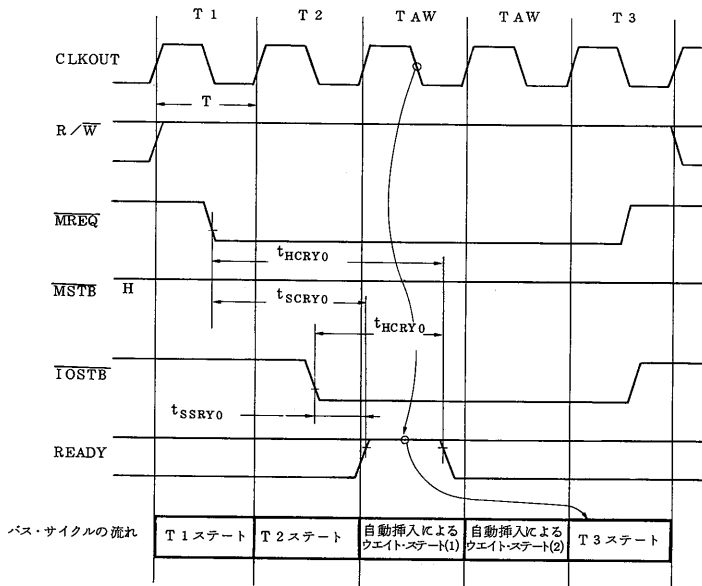
$$t_{\text{HCRY}1} = (n - 1) T \text{ ns (Min.)} = 375 \text{ ns}$$

$$t_{\text{SCRY}} = nT - 100 \text{ ns (Max.)} = 400 \text{ ns}$$

$$t_{\text{HCRY}} = nT \text{ ns (Min.)} = 500 \text{ ns}$$



(e) I/O リード・サイクル ウェイト・ステート追加なし



動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

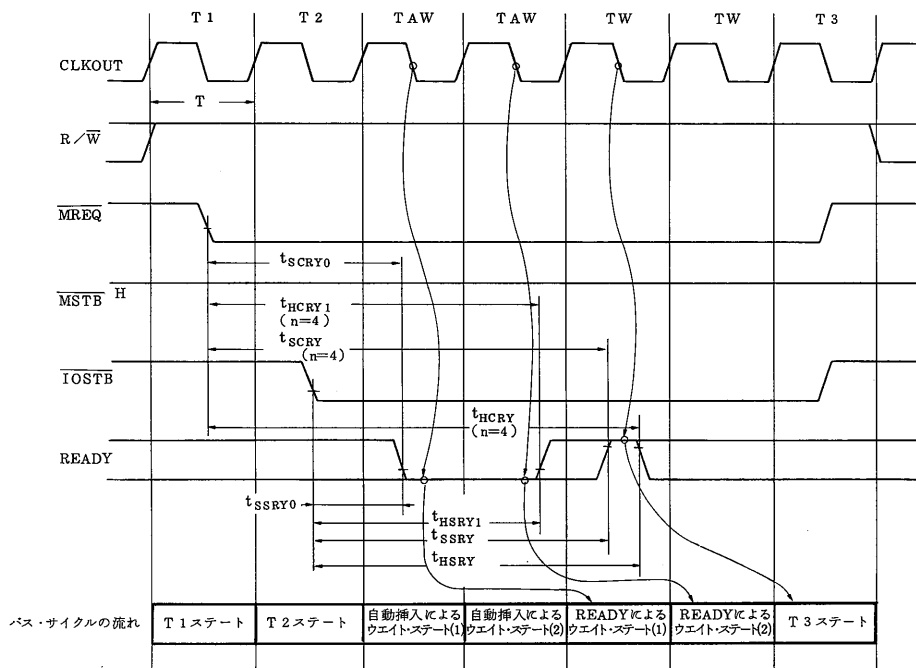
$$t_{\text{scry0}} = 2T - 100 \text{ ns (Max.)} = 150 \text{ ns}$$

$$t_{\text{hcry0}} = 2T \text{ ns (Min.)} = 250 \text{ ns}$$

$$t_{\text{ssry0}} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

$$t_{\text{hsry0}} = 1T \text{ ns (Min.)} = 125 \text{ ns}$$

(f) I/O リード・サイクル 2 ウェイト追加



動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

合計のウェイト数は 4 ウェイトのため、n には 4 を代入します。

$$t_{SCRY0} = 2T - 100 \text{ ns (Max.)} = 150 \text{ ns}$$

$$t_{HCRY1} = (n-1) T \text{ ns (Min.)} = 375 \text{ ns}$$

$$t_{SCRY} = nT - 100 \text{ ns (Max.)} = 400 \text{ ns}$$

$$t_{HCRY} = nT \text{ ns (Min.)} = 500 \text{ ns}$$

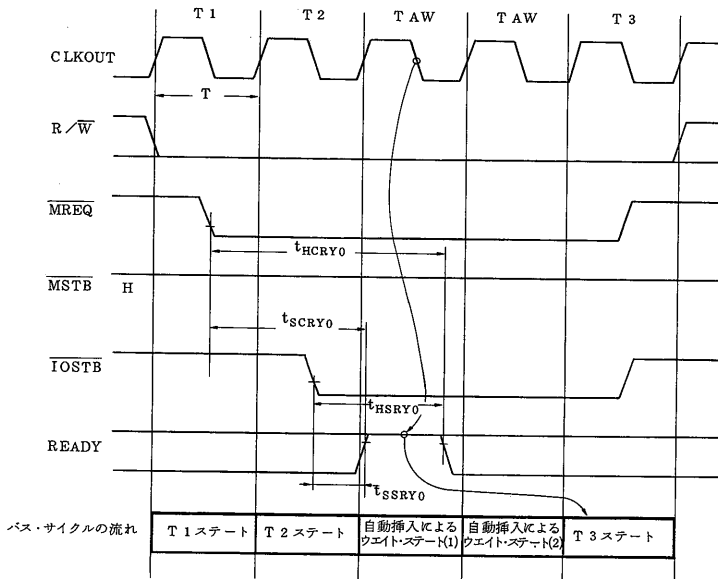
$$t_{SSRY0} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

$$t_{HSRY1} = (n-2) T \text{ ns (Min.)} = 250 \text{ ns}$$

$$t_{SSRY} = (n-1) T - 100 \text{ ns (Max.)} = 275 \text{ ns}$$

$$t_{HSRY} = (n-1) T \text{ ns (Min.)} = 375 \text{ ns}$$

(g) I/Oライト・サイクル ウェイト・スタート追加なし



動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

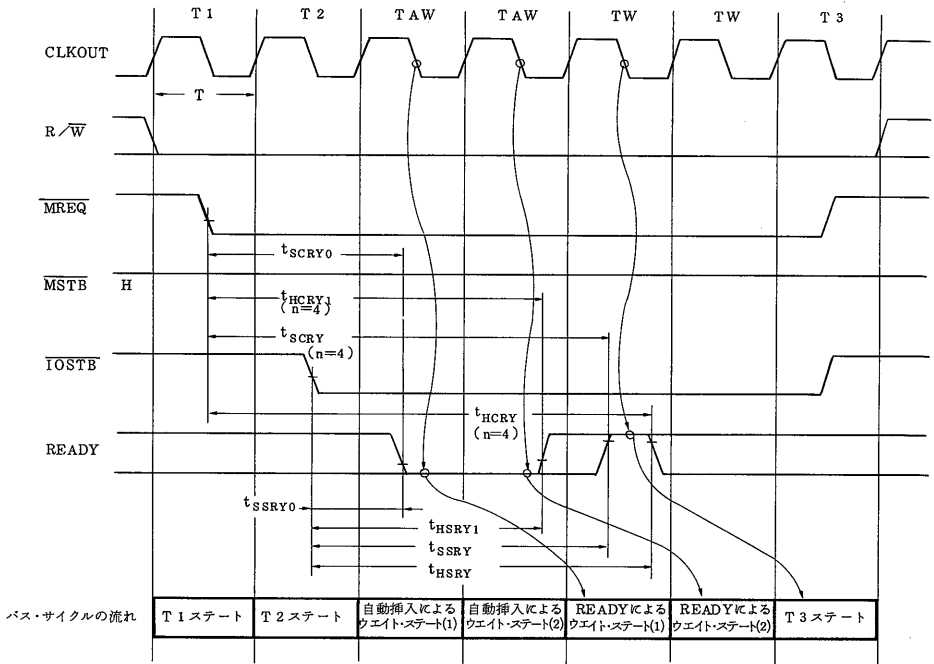
$$t_{SCRY0} = 2T - 100 \text{ ns (Max.)} = 150 \text{ ns}$$

$$t_{HCRY0} = 2T \text{ ns (Min.)} = 250 \text{ ns}$$

$$t_{SSRY0} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

$$t_{HSRY0} = 1T \text{ ns (Min.)} = 125 \text{ ns}$$

(h) I/O ライト・サイクル 2 ウェイト追加



動作周波数 8MHz の場合

$$T = 125 \text{ ns}$$

合計のウェイト数は 4 ウェイトのため  $n$  には 4 を代入します。

$$t_{SCRY0} = 2T - 100 \text{ ns (Max.)} = 150 \text{ ns}$$

$$t_{HCRY1} = (n-1)T \text{ ns (Min.)} = 375 \text{ ns}$$

$$t_{SCRY} = nT - 100 \text{ ns (Max.)} = 400 \text{ ns}$$

$$t_{HCRY} = nT \text{ ns (Min.)} = 500 \text{ ns}$$

$$t_{SSRY0} = T - 100 \text{ ns (Max.)} = 25 \text{ ns}$$

$$t_{HSRY1} = (n-2)T \text{ ns (Min.)} = 250 \text{ ns}$$

$$t_{SSRY} = (n-1)T - 100 \text{ ns (Max.)} = 275 \text{ ns}$$

$$t_{HSRY} = (n-1)T \text{ ns (Min.)} = 375 \text{ ns}$$

## 5.2 バス・ホールド機能

V25, V35は、バス・ホールドの機能を持っています。HLDRQ端子に外部からハイ・レベルを入力することにより、外部の素子がバスを使用したいことを知らせます。V25, V35は、HLDRQ端子がハイ・レベルであることを検出すると、A0-A19, D0-7,  $\overline{\text{REFRQ}}$ ,  $\overline{\text{MREQ}}$ ,  $\overline{\text{MSTB}}$ ,  $\overline{\text{IOSTB}}$ , R/Wの各出力をハイ・インピーダンスにし、 $\overline{\text{HLDAK}}$ 端子をロウ・レベルにして外部の素子にバスを解放したことを示し、ホールド・モードに移行します。ホールド・モード中は、命令の実行、プリフェッチ割り込み受け付け等を停止し、バスを使用しないオンチップ周辺ハードウェアのみを動作させます。ホールド・モード中はHLDRQ端子をチェックし、ロウ・レベルを検出すると $\overline{\text{HLDAK}}$ 信号をハイ・レベルにし、外部の素子に対しバスを開放していないことを示し、1クロックおいてから実行を再開します。

HALTモード(12.2参照)中でも、バス・ホールドの要求は受け付け可能で、ホールド・モードが解除されると( $\overline{\text{HLDRQ}}$ 信号がロウ・レベルであれば)HALTモードに戻ります。

また、BUSLOCK<sup>注</sup>プリフィクスに続く1命令の実行中および割り込み受け付け動作中は、バス・ホールドの要求は受け付けません。

V25, V35は、ホールド・モード時にメモリ・リフレッシュ・サイクルの挿入を行うことができます。リフレッシュ・モード(RFM)レジスタのHLDRF(ビット6)をセットすることにより行われます。リフレッシュ・タイミングごとに $\overline{\text{HLDAK}}$ 信号を強制的にハイ・レベルにし、HLDRQがロウ・レベルになったことを確認したのち、リフレッシュ・サイクルを行います。このあと、HLDRQ信号がハイ・レベルになっていれば、ホールド・モードへ再度移行します。また、このときHLDRQ信号がロウ・レベルのままなら、ホールド・モードが解除され命令の実行を再開します。

HLDRQ端子はP27と、 $\overline{\text{HLDAK}}$ 端子はP26とそれぞれ兼用となっていますので、バス・ホールド機能を使用するときはポート2モード・コントロール・レジスタ(PMC2)のビット6, 7を1にしてください。

注 BUSLOCK

REP

MOV BK

このようなプログラムでブロック処理命令実行中、バス・ホールドの要求を受け付けません。

## 5.3 リフレッシュ機能

V25, V35は, DRAM, 疑似SRAMのリフレッシュを行なうための各種の機能を持っています。一連のバス・サイクル中に定期的なリフレッシュ・サイクルを挿入する機能, DRAM, 疑似SRAMをリフレッシュするためのリフレッシュ・アドレスの出力, リフレッシュ・パルスの出力機能, 疑似SRAMのパワー・ダウン・セルフ・リフレッシュ・モードをサポートする機能, ホールド・エード中, HALTモード中にリフレッシュ・サイクルを発生する機能, リフレッシュ・サイクル中にウェイト・ステートを挿入する機能があります。

### 5.3.1 リフレッシュ・モード・レジスタ(RFM)

RFMレジスタは, リフレッシュ機能の制御を行う8ビット・レジスタです。8ビット操作または1ビット操作のメモリ・アクセスによって, このレジスタの書き込み／読み出しができます。

RESET入力でRFMレジスタの内容はFCHに初期化されます。

RFMレジスタは, 下図のように構成されます。以下に各ビットの機能を説明します。

| 7    | 6     | 5     | 4    | 3    | 2    | 1    | 0    |
|------|-------|-------|------|------|------|------|------|
| RFLV | HLDRF | HLTRF | RFEN | RFW1 | RFW0 | RFT1 | RFT0 |

**RFT0**, **RFT1** リフレッシュの周期を指定するビット

リフレッシュの同期は, タイム・ベース・カウンタ(第10章参照)の出力タップ3-6から選択できます。リフレッシュ・サイクルは表5-5に示す周期の間隔で発生します。

表5-5 リフレッシュの周期

| $f_{CLK}=5\text{ MHz } (= \frac{1}{2} f_x : f_x=10\text{ MHz})$ |      |                                        |
|-----------------------------------------------------------------|------|----------------------------------------|
| RFT1                                                            | RFT0 | リフレッシュの周期                              |
| 0                                                               | 0    | $2^4 / f_{CLK}$ ( 3.2 $\mu\text{s}$ )  |
| 0                                                               | 1    | $2^5 / f_{CLK}$ ( 6.4 $\mu\text{s}$ )  |
| 1                                                               | 0    | $2^6 / f_{CLK}$ ( 12.8 $\mu\text{s}$ ) |
| 1                                                               | 1    | $2^7 / f_{CLK}$ ( 25.6 $\mu\text{s}$ ) |

**RFW0** , **RFW1** リフレッシュ・サイクル中に挿入するウェイト・ステート数を指定するビット

リフレッシュ・サイクル中のウェイト・ステート数の指定は、前述したプログラマブル・ウェイトの機能（5.1参照）によらず、表5-6に示すようにRFW0, 1によって行われます。

表5-6 リフレッシュ・サイクル中のウェイト・ステート

| RFW<br>1 | RFW<br>0 | ウェイト・ステート |
|----------|----------|-----------|
| 0        | 0        | 0ステート     |
| 0        | 1        | 1ステート     |
| 1        | 0        | 2ステート     |
| 1        | 1        | 2ステート     |

**RFEN** リフレッシュ・サイクルの自動挿入を許可するビット

1のとき、リフレッシュ・サイクルの自動挿入を許可します。0のときは、リフレッシュ・サイクルの自動挿入を禁止します。 $\overline{\text{REFRQ}}$ 端子の出力はRFLVビットの内容により制御されます（詳細はRFLVビットの説明を参照）。

**HLTRF** HALTモード中のリフレッシュ・サイクルの自動挿入を許可するビット

1で許可、0で禁止となります。ただし、RFENビット=0の場合はHLTRFビットの内容にかかわらず禁止となります。

**HLDRF** ホールド・モード中のリフレッシュ・サイクルの自動挿入を許可するビット

1で許可、0で禁止となります。許可状態(1)のときには、リフレッシュ・タイミングごとにHLDK出力を強制的にハイ・レベルに立ち上げ、リフレッシュ・サイクルを自動挿入します。

**RFLV**  $\overline{\text{REFRQ}}$ 信号の出力レベルを指定するビット

図5-5のような回路構成になっており、表5-7に示す論理で出力が決定されます。

RFLVビットは、読み出し時はマスタRFLVの出力となり、書き込み時はスレーブRFLVに書き込まれます。また、マスタRFLVへの書き込みはリフレッシュ・タイミングの発生時に行われます。

RFLVビットを使用することにより、疑似SRAMのパワー・ダウン・セルフ・リフレッシュ・モードのサポートが可能です。

図 5 - 5 RFLVビットによる制御回路

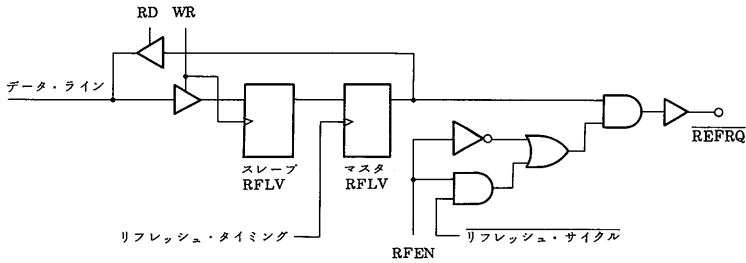


表 5 - 7  $\overline{\text{REFRQ}}$  信号の出力レベル

| RFLV | RFEN | $\overline{\text{REFRQ}}$ の状態 |
|------|------|-------------------------------|
| 0    | 0    | 0                             |
| 0    | 1    | 0                             |
| 1    | 0    | 1                             |
| 1    | 1    | リフレッシュ・パルス出力                  |

リフレッシュ・サイクルの挿入は、RFENビットが1の時にリフレッシュのタイミングになると行われます。このとき  $\overline{\text{MREQ}}$ 、 $\overline{\text{MSTB}}$ 、 $\overline{\text{IOSTB}}$  はハイ・レベルとなり、A0-A8にリフレッシュ・アドレスをA9-A19にロウ・レベルを出力し、リフレッシュ・パルスを  $\overline{\text{REFRQ}}$  端子から出力します。

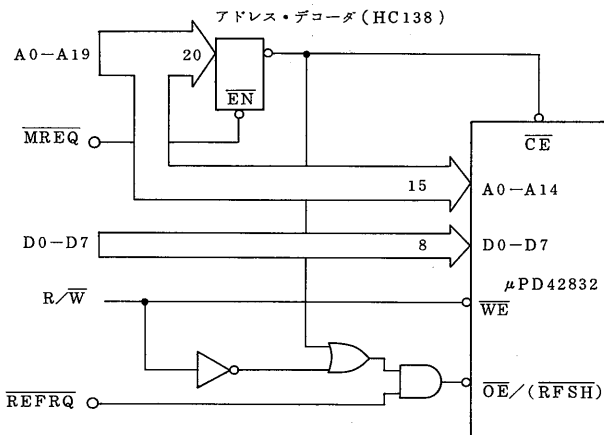
なお、RFLVビットは書き込んでも、次のリフレッシュ・タイミングまで読み出しデータとはなりません。



### 5. 3. 2 疑似SRAMとの接続

μPD42832 相当の疑似SRAMを接続する回路例を図5-6に示します。

図5-6 μPD42832 接続回路例



この接続例では、 $\overline{CE}$ 端子が「ハイ・レベル」のときに $\overline{OE}/(\overline{RFSH})$ 端子に $\overline{REFRQ}$ 端子からパルスを与えるパルス・リフレッシュ・モードと、ソフトウェア上でリフレッシュ・モード・レジスタ(RFM)のビット7(RFLV)をリセット(0)することにより $\overline{REFRQ}$ 端子を「ロウ・レベル」にするパワー・ダウン・セルフ・リフレッシュ・モードが使用できます。

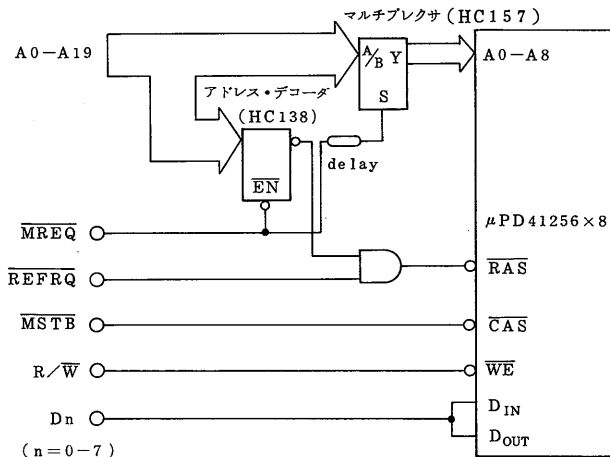
パワー・ダウン・セルフ・リフレッシュは、CPUがスタンバイ(STOP)状態でパルス・リフレッシュ動作をできないときに使用します。したがって、スタンバイ状態に入る直前にRFLVビットをリセット(0)します。また、スタンバイ状態から復帰した場合は、パルス・リフレッシュ動作ができるようにRFLVビットをセット(1)します。

**注意** リセット中( $\overline{RESET}$ 端子=「0」)は $\overline{REFRQ}$ 端子がハイ・インピーダンス状態になります。

### 5.3.3 DRAMとの接続

256K×1ビット構成の $\mu$ PD41256を接続する回路例を図5-7に示します。

図5-7  $\mu$ PD41256 接続回路例



この接続例では、 $\overline{\text{REFRQ}}$ 端子から出力されるパルスに同期して、アドレス・バスに出力される9ビットのリフレッシュ・アドレスを使用する $\overline{\text{RAS}}$ オンリー・リフレッシュにより、リフレッシュ動作を行っています。

## 5.4 バス使用権

V25, V35のバスの使用権の優先順位は次の順になります。

(1) リフレッシュ・サイクル (5.3 参照)

リフレッシュ・サイクルの挿入が許可されていると、リフレッシュ・サイクルが必ず発生します。ただし、ホールド・モード中は、 $\overline{\text{HLDAK}}$  信号を強制的にハイ・レベルにし、 $\text{HLDRQ}$  信号がロウ・レベルになるのを待ってリフレッシュ・サイクルを実行します。

(2) ホールド・モード (5.2 参照)

BUSLOCK プリフィクスに続く一命令の実行中、および割り込みアクリッジ・サイクル中以外は、ホールド・モードに移行します。

(3) DMA サイクル (第 6 章 参照)

(4) 他のバス・サイクル

ただし、割り込みアクリッジ・サイクルを実行中は、リフレッシュ・サイクル、ホールド・モード、DMA サイクルは一時的に保留されます。

なお、ストップ・モード時はバスは動作しません (バスの状態については表 12-13 参照)。

## 5.5 バス・タイミング

図5-8～図5-29までに主なバスのタイミングを示します(DMAを除く)。

バス・アクセスを行っていないときは、制御端子はインアクティブになり、データ・バス、アドレス・バスの出力は不定です。

### 5.5.1 $\mu$ PD70322, 70320, 70P322(V25モード)

図5-8 メモリ・リード・サイクル 図5-9 メモリ・ライト・サイクル 図5-10 I/Oリード・サイクル

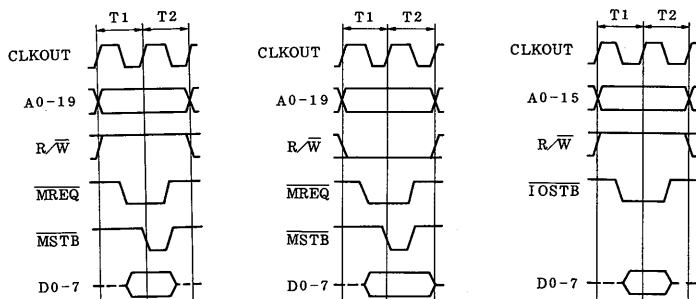
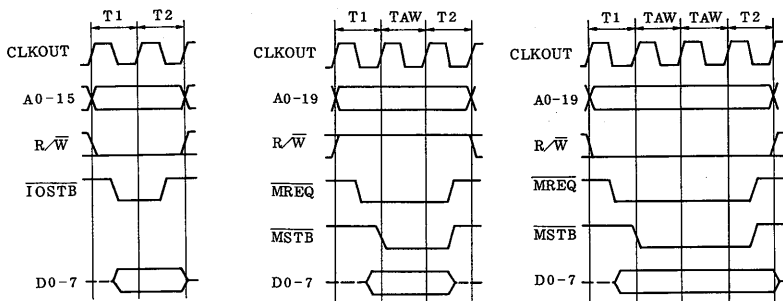


図5-11 I/Oライト・サイクル 図5-12 メモリ・リード・サイクル (1ウェイト・ステート挿入時) 図5-13 メモリ・ライト・サイクル (2ウェイト・ステート挿入時)



備考 破線はハイ・インピーダンスを示します。

図 5-14 メモリ・ライト・サイクル  
(READY 端子による操作時)

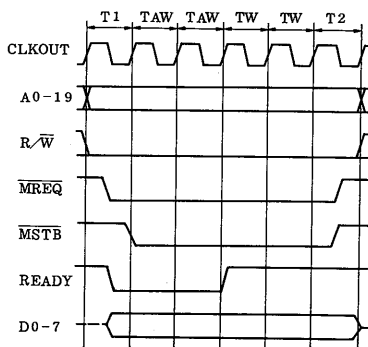


図 5-15 リフレッシュ・サイクル  
(1 ウェイト・ステート挿入時)

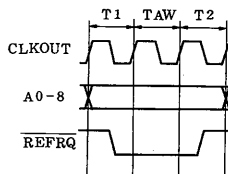


図 5-16 バス・ホールド受け付け解除タイミング

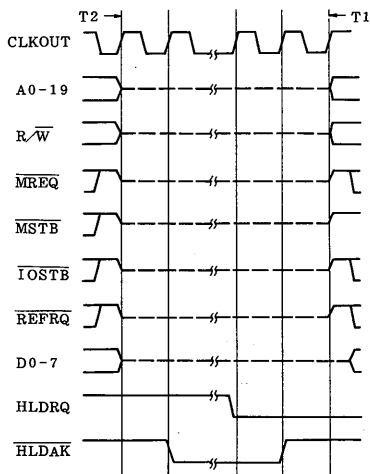


図 5-17 ホールド・モード時のリフレッシュ・サイクル  
(ウェイト・ステート数 0)

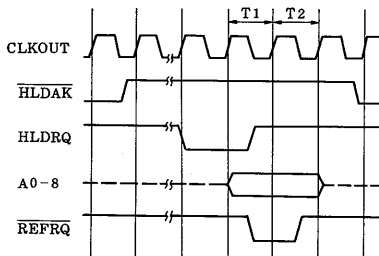
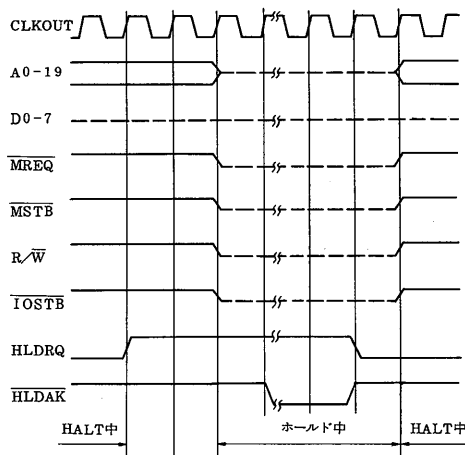


図 5-18 HALT 中のバス・ホールド受け付け解除タイミング



## 5.5.2 $\mu$ PD70332, 70330, 70P322 (V35モード)

図5-19 メモリ・リード・サイクル

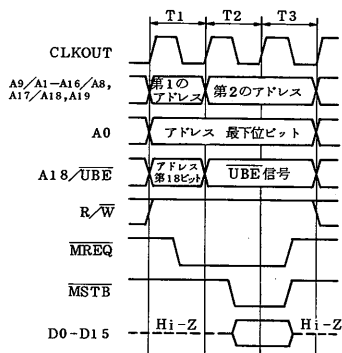


図5-20 メモリ・ライト・サイクル

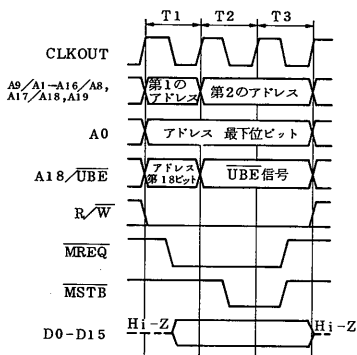


図5-21 I/Oリード・サイクル

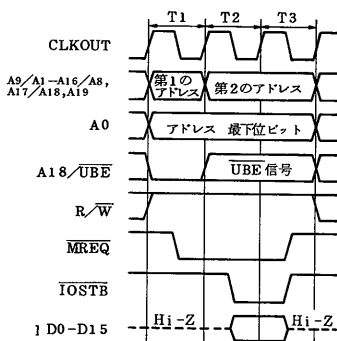


図5-22 I/Oライト・サイクル

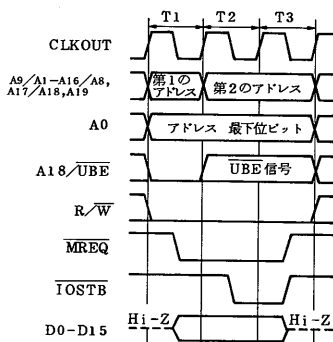


図 5-23 メモリ・リード・サイクル (1ウェイト・ステート挿入時)

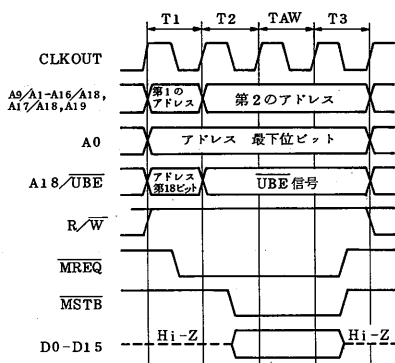


図 5-24 メモリ・ライト・サイクル (2ウェイト・ステート挿入時)

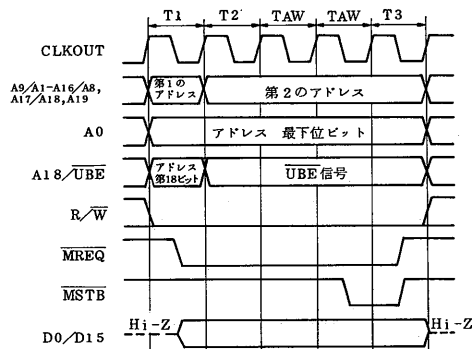




図 5-25 メモリ・ライト・サイクル (READY 端子による操作時)

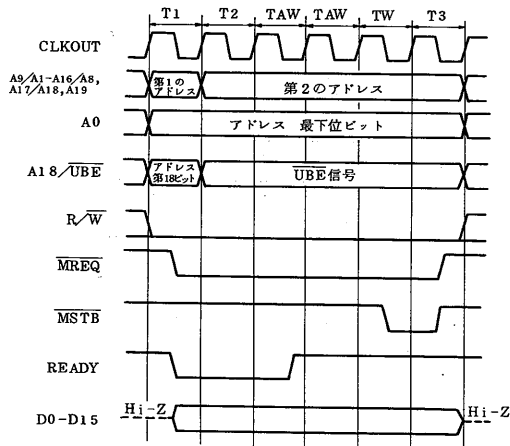


図 5-26 リフレッシュ・サイクル (1ウェイト・ステート挿入時)

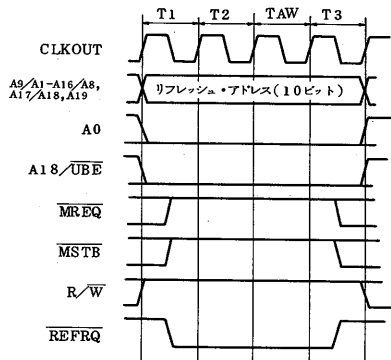


図 5-27 バス・ホールド受け付け解除タイミング

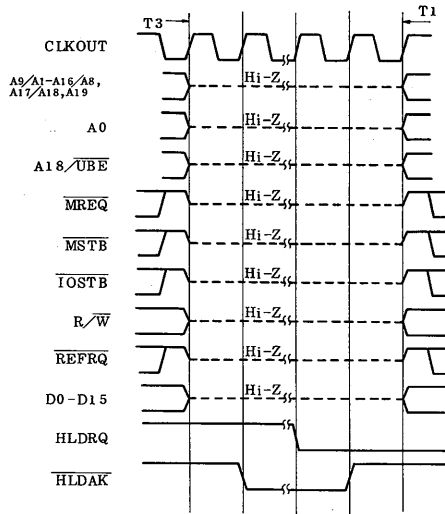


図 5-28 ホールド・モード時のリフレッシュ・サイクル

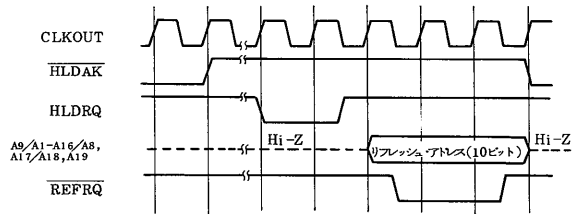
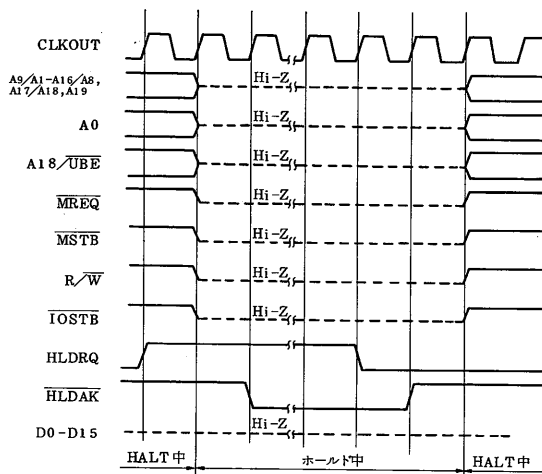


図5-29 HALT中のバス・ホールド受け付け解除タイミング



## 第6章 DMA コントローラ

V25, V35は、1Mバイトのメモリ空間を直接指定することのできる2チャンネルのDMAコントローラを内蔵しています。

### 6.1 端子機能

DMAコントローラのために次に示す端子が用意されています。これらの端子はすべてポートと兼用になっているため、使用する場合は該当するポート2モード・コントロール・レジスタ(PMC2)のビットを1にする必要があります。

- (1)  $\overline{\text{DMARQ0}}, \overline{\text{DMARQ1}}$  (P20, P23)

アクティブ・ハイのDMA要求入力端子

- (2)  $\overline{\text{DMAAK0}}, \overline{\text{DMAAK1}}$  (P21, P24)

アクティブ・ロウのDMA応答信号端子。ただし、メモリ-メモリ間のDMA転送(バースト・モード, シングル・ステップ・モード)時には出力されない。

- (3)  $\overline{\text{TC0}}, \overline{\text{TC1}}$  (P22, P25)

アクティブ・ロウのDMA完了信号出力端子, DMAサービス・チャンネル中のTC0, TC1がそれぞれ0になったときに出力されます。

### 6.2 DMA動作

V25, V35には4種のDMA転送モードを持っています。各転送モードの機能等を表6-1に示します。

DMA転送では、内蔵ROMと内部データ領域はアクセスできません。内蔵ROMと内部データ領域に相当するアドレスをアクセスしたときは、同じアドレスの外部メモリがアクセスの対象となります。

表 6 - 1 各転送モードの機能

| モード名           | 転送対象         | 機 能                                                     | DMA 起動                                                                                                              | 停止方法                                                                                                                   | 割り込み                                                                                                                          | HALT 中                      | DMA 動作中のDMA 要求                                    |
|----------------|--------------|---------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------|-----------------------------|---------------------------------------------------|
| シングル<br>ステップ   | メモリ<br>- メモリ | 1 回の DMA 要求で 1 命令の<br>実行と 1DMA 転送を<br>指定回数だけ交互に繰<br>返す。 | <ul style="list-style-type: none"> <li>• DMARQ の立ち上<br/>がり</li> <li>• DMA 制御レジスタ<br/>の TDMA ビットの<br/>セット</li> </ul> | ソフトウェアに<br>よる。                                                                                                         | すべて受け付け<br>る。                                                                                                                 | 指定回数の DMA<br>転送を連続して行<br>う。 | チャネル 1 の DMA は保<br>留または中断され、チャ<br>ネル 0 の DMA を行う。 |
| バースト           | メモリ<br>- メモリ | 指定回数の DMA 転送を<br>1 回の DMA 要求で連続<br>して行う。                | <ul style="list-style-type: none"> <li>• DMARQ の立ち上<br/>がり</li> <li>• DMA 制御レジスタ<br/>の TDMA ビットの<br/>セット</li> </ul> | なし                                                                                                                     | <ul style="list-style-type: none"> <li>• DMA 転送中<br/>は受け付けな<br/>い。</li> </ul>                                                 | 指定回数の DMA<br>転送を連続して行<br>う。 | DMA の転送が終了する<br>まで他の DMA は保留さ<br>れる。              |
| 1 転送           | メモリ<br>- I/O | DMA 要求の発生する度<br>に 1 回の DMA 転送を行<br>う。                   | <ul style="list-style-type: none"> <li>• DMARQ の立ち上<br/>がり</li> </ul>                                               | ソフトウェアに<br>よる。                                                                                                         | すべて受け付け<br>る。                                                                                                                 | 通常と同じ                       | 1DMA 転送後、要求のあ<br>った DMA を行う。                      |
| ディマンド・<br>リリース | メモリ<br>- I/O | DMARQ 端子がハイ・レ<br>ベルの期間中 DMA 転送<br>を行う。                  | <ul style="list-style-type: none"> <li>• DMARQ のハイ・<br/>レベル</li> </ul>                                              | <ul style="list-style-type: none"> <li>• DMA 転送中<br/>はロウ・レベ<br/>ルで停止</li> <li>• その他の場合<br/>はソフトウェア<br/>による。</li> </ul> | <ul style="list-style-type: none"> <li>• DMA 転送中は<br/>NMI 以外は受<br/>け付けない。</li> <li>• DMA 転送中以<br/>外はすべて受<br/>け付ける。</li> </ul> | 通常と同じ                       | チャネル 1 の DMA は保<br>留または中断され、チャ<br>ネル 0 の DMA を行う。 |

メモリー-メモリー間の DMA 転送では、DMAAK 信号は出力されません。メモリー-I/O間のDMA転送では、1DMAサイクルごとにDMAAK信号が出力されます。

DMA 転送中でもプログラマブル・ウェイト機能（5.1 参照）は有効です。メモリー-メモリー間では、転送先、転送元ごとに指定したウェイト・ステートが挿入されます。メモリー-I/O間では、1回のバス・サイクルで1転送を済ませるため、メモリとI/Oとで遅い方のウェイト・ステートが挿入されます。

ウェイト・ステートが挿入されるタイミングは、メモリ側が基準となります。I/OからメモリへのDMA転送の場合、メモリ・ライト・サイクルでウェイト・ステートが挿入されます。

また、DMA 転送中でもバス・ホールド機能とリフレッシュ機能は有効で、DMA 転送はこれらによって一時的に中断されます。

リビート・プリフィクス付きブロック処理（転送、比較、検索入出力）命令実行中でもDMA転送は、その要求があれば行われます。このとき、ブロック処理命令の実行は一時的に中断されます。

さらに、BUSLOCK プリフィクスを付加した場合も同様にDMA転送が行われます。

DMA 転送中の割り込みは受け付けられず、すべて保留されます。

HALTモード中のDMA転送はその要求があれば行われます。DMA転送が終了するとHALTモードに戻ります。HALTモードに戻った時点でDMA転送完了割り込みが発生していれば、HALTモードは解除されます。

同時にDMAの要求が発生した場合にはチャンネル0が優先されます。

DMA 転送が終了すると（指定回数のDMA転送を行うと）割り込みを発生させることができます。

## 6.3 DMAの制御のためのレジスタ

DMAの転送モードの指定などを行うためにDMAモード・レジスタ，DMAコントロール・レジスタがあります。また，転送先，転送元，転送回数を指定するためのDMAサービス・チャンネルが内部RAM上にマッピングされています。そして，割り込みを制御するためのレジスタがあります。これらのレジスタはすべて各チャンネルごとに用意されています。

### 6.3.1 DMAモード・レジスタ(DMAM0，DMAM1)

DMAの転送モードなどを指定する8ビット・レジスタです。8ビット操作または1ビット操作のメモリ・アクセスによって，これらのレジスタの書き込み／読み出しができます。DMAM0はチャンネル0に，DMAM1はチャンネル1にそれぞれ対応します。

RESET入力でDMAMnレジスタの内容は00Hに初期化されます。

|     |     |     |   |      |      |   |   |
|-----|-----|-----|---|------|------|---|---|
| 7   | 6   | 5   | 4 | 3    | 2    | 1 | 0 |
| MD2 | MD1 | MD0 | W | EDMA | TDMA | 0 | 0 |

**MD2** ， **MD1** ， **MD0** 転送モードを指定するビット

| MD<br>2 | MD<br>1 | MD<br>0 | 転 送 モ ー ド                   |
|---------|---------|---------|-----------------------------|
| 0       | 0       | 0       | シングルステップ・モード                |
| 0       | 0       | 1       | ダイヤモンド・リリース・モード ( I/O→メモリ ) |
| 0       | 1       | 0       | ダイヤモンド・リリース・モード ( メモリ→I/O ) |
| 0       | 1       | 1       | 使用禁止                        |
| 1       | 0       | 0       | バースト・モード                    |
| 1       | 0       | 1       | 1 転送モード ( I/O→メモリ )         |
| 1       | 1       | 0       | 1 転送モード ( メモリ→I/O )         |
| 1       | 1       | 1       | 使用禁止                        |

**W** 転送処理をバイトで行うか，ワードで行うかを指定するビット

0でバイト転送，1でワード転送となります。

**EDMA** DMA転送の許可，禁止を指定するビット

1で許可，0で禁止となります。0（禁止）の場合のDMA要求は保留されずに無視されます。なお，このビットはDMAサービス・チャンネルのターミナル・カウンタ（TC）が0になると自動的にクリア（0）されます。

**TDMA** 転送スタート・ビット

シングルステップ・モードまたはバースト・モードの場合にのみ有効で，このビットに1を書き込むことによりDMAが起動されます（ただし，EDMAがセット（1）されている場

合)。このビットの読み出しレベルは常に0です。また、ダイヤモンド・リリース・モード、1転送モードでは意味を持ちません。

図 6-1 DMAM0, DMAM1



6.3.2 DMAコントロール・レジスタ(DMAC0,DMAC1)

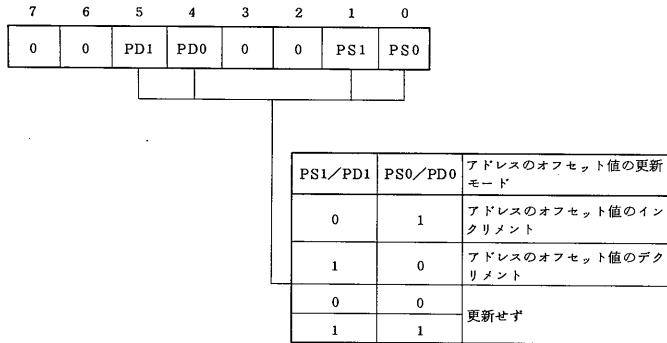
DMA 転送におけるソース・アドレス、デスティネーション・アドレスの更新方法を指定する8ビット・レジスタです。8ビット操作または1ビット操作のメモリ・アクセスによって、これらのレジスタの書き込み/読み出しができます。

RESET 入力しても DMAC<sub>n</sub> レジスタの内容は保持されます。

図 6-2 に示すように DMAC<sub>n</sub> レジスタのビット 1,0(PS1, PS0) は、ソース側のアドレスのオフセット値の更新モードを指定します。ビット 5,4(PD1, PD0) は、デスティネーション側のアドレスのオフセット値の更新モードを指定します。



図 6 - 2 DMAC0, DMAC1



### 6.3.3 DMA サービス・チャンネル

DMA 転送によって使用される転送元, 転送先, 転送回数を指定するためのもので, 内蔵 RAM 上にマッピングされています。内蔵 RAM 上のアドレスには, チャンネル 0 用が××E00H-××E07H, チャンネル 1 用が××E08H-××E0FH に割り付けてあります (××は IDB レジスタの内容)。これらの領域は, マクロ・サービス・チャンネルの 0, 1 およびレジスタ・バンク 0 と同じ領域に割り付けてあります。

DMA のソース側, デスティネーション側のそれぞれのアドレスは, 通常のメモリ・アクセス時の方法と同じで, セグメントとセグメントからのオフセットによって指定します。ただし, セグメントは上位 8 ビットのみが指定可能で下位 8 ビットは 0 固定となります。また, DMA の転送によってアドレスが更新される場合は, このオフセットのみが更新されます。

DMA 転送中はメモリのアドレスが出力されます。一転送モード, ディマンド・リリース・モードでの I/O に対するアドレス指定は意味をもちません。

図 6 - 3 に DMA サービス・チャンネルの構成を示し, 図 6 - 4 に DMA アドレスの生成方法を示します。

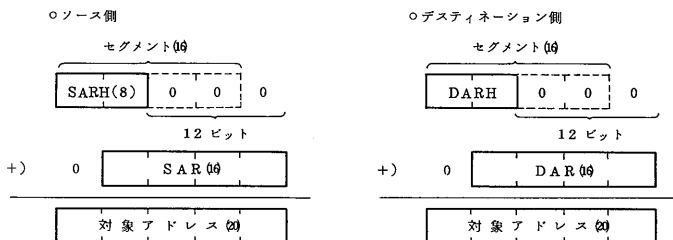
図 6-3 DMA サービス・チャネル

|      |    |      |
|------|----|------|
| 15   | 87 | 0    |
| SAR  |    |      |
| DAR  |    |      |
| SARH |    | DARH |
| TC   |    |      |

- SAR (+0H) : DMA 転送のソース側のアドレスのオフセット (下位 16 ビット) を指定
  - DAR (+2H) : DMA 転送のデスティネーション側のアドレスのオフセット (下位 16 ビット) を指定
  - DARH (+4H) : DMA 転送のデスティネーション側のアドレスのセグメント値の上位 8 ビットを指定。ただし、セグメント値の下位 8 ビットは 0 固定
  - SARH (+5H) : DMA 転送のソース側アドレスのセグメント値の上位 8 ビットを指定。ただし、セグメント値の下位 8 ビットは 0 固定
  - TC (+6H) : DMA 転送回数の指定
- ( ) 内は各 DMA サービス・チャネルの開始アドレスからのオフセット

図 6-4 DMA アドレスの生成方法

( ) 内はビット数



DMA サービス・チャネル 0 は  $\times \times E00H$ 、DMA サービス・チャネル 1 は  $\times \times E08H$  ( $\times \times$  は IDB レジスタの内容) に割り付けられています。

DMA サービス・チャネルは DMA 動作によって自動的に更新されます。TC は 1 回の DMA 転送ごとに (-1) されます (バイト・データでもワード・データでも同じ)。アドレスのオフセット値は、DMA コントロール・レジスタ (DMACn) によって指定されたモードに従って更新されます。

バイト・データの場合は  $\pm 1$  またはそのまま、ワード・データの場合は  $\pm 2$  またはそのままとなります。

### 6.3.4 DMA割り込み要求制御レジスタ(DIC0,DIC1)

DMA転送の完了によって発生する割り込みの制御のための8ビット・レジスタです。割り込みはターミナル・カウンタ(TC)=0となったときに発生します。

8ビット操作または1ビット操作のメモリ・アクセスによって、これらのレジスタの書き込み／読み出しができます。この場合、1ウエイトが挿入されます。

RESET入力でDIC<sub>n</sub>レジスタの内容は47Hに初期化されます。

これらの割り込みは、マクロ・サービス機能をサポートしません。また、チャンネル0(INTD0)とチャンネル1(INTD1)のDMA転送完了の割り込みは1つのグループを形成し、割り込みの優先順位はチャンネル0の方が高くなっています。INTD0の制御はDIC0レジスタで行い、ベクタは20になります。また、INTD1の制御はDIC1で行い、ベクタは21になります(3.4.5参照)。

(割り込みの優先順位) DF0>DF1

図6-5 DIC0,DIC1

| 7   | 6    | 5 | 4    | 3 | 2   | 1   | 0   |
|-----|------|---|------|---|-----|-----|-----|
| DF0 | DMK0 | 0 | ENCS | 0 | PR2 | PR1 | PR0 |
| DF1 | DMK1 | 0 | ENCS | 0 | 1   | 1   | 1   |

注意 DIC1レジスタのビット2-0は“1”に固定されます。

DIC1レジスタの割り込み要求の優先順位は、DIC0レジスタのPR2-0ビットの設定に従います。

DF0/DF1ビットは、DMA転送完了の割り込み要求フラグで、DMK0/DMK1ビットは、DMA転送完了割り込みのマスク・ビットです。

その他のビット・フィールドについては4.7項を参照してください。

## 6.4 DMA転送タイミング

$\mu$ PD70322, 70320の場合, 1転送サイクルのクロック数の最大値は, 次のとおりです (  $\mu$ PD70332, 70330, 70P322では未定 )。ただし, リフレッシュ・サイクルの自動挿入禁止のときです。また, 1転送モードのクロック数は,  $\overline{\text{DMAAK}}$  信号がアクティブになってから次の命令が実行されるまでを示します。

| 転送モード       | バイト・アクセス                                | ワード・アクセス                                  |
|-------------|-----------------------------------------|-------------------------------------------|
| バースト        | $12 + \text{WR} + \text{WW}$            | $16 + 2\text{WR} + 2\text{WW}$            |
| シングルステップ    | $20 + \text{WR} + \text{WW} + \text{N}$ | $24 + 2\text{WR} + 2\text{WW} + \text{N}$ |
| 1転送         | $3 + \text{W}$                          | $5 + \text{W}$                            |
| ダイヤモンド・リリース | $15 + \text{W}$                         | $17 + 2\text{W}$                          |

- N : 1命令の実行クロック数  
 WR : メモリ・リード・サイクルのウェイト数  
 WW : メモリ・ライト・サイクルのウェイト数  
 W : メモリとI/Oのリード/ライト・サイクルのうち, 大きいウェイト数

図6-6～図6-13におもなDMA転送のタイミングについて示します。

## 6.4.1 $\mu$ PD70322, 70320, 70P322 (V25モード)

図6-6 バースト・モード時 (TC=2のときにDMARQ信号によってDMAを起動した場合で転送元のメモリ・バンクはノー・ウェイト、転送先は1ウェイトのウェイト・ステートの挿入が行われているとき)

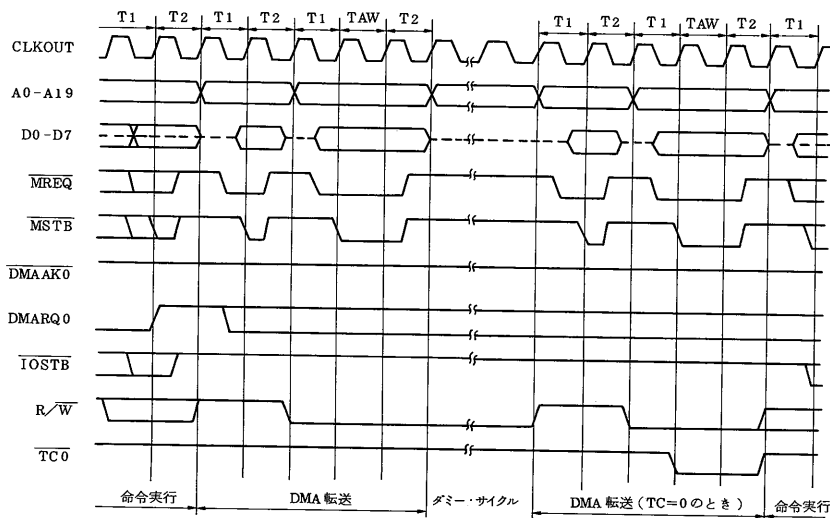
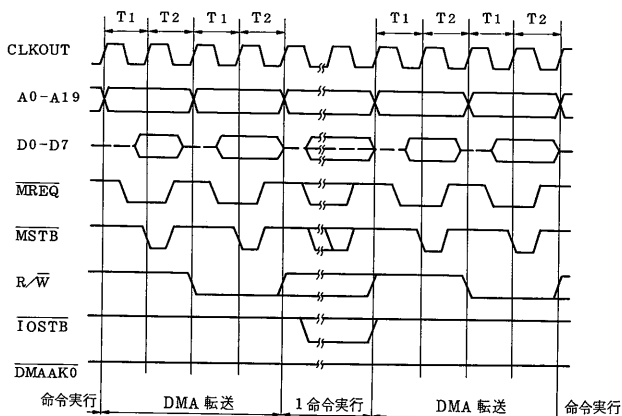


図6-7 シングルステップ・モード時



備考 破線はハイ・インピーダンスを示します。

図 6 - 8 1 転送モード

(メモリ→I/O,  
ノー・ウエイト時)

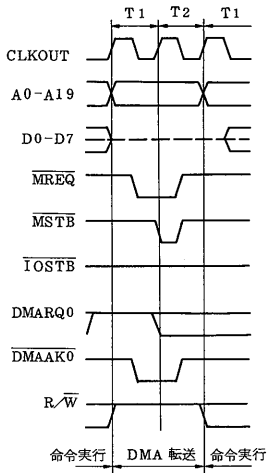
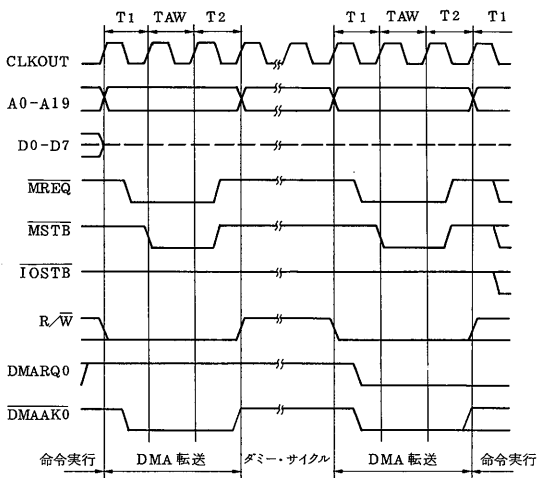


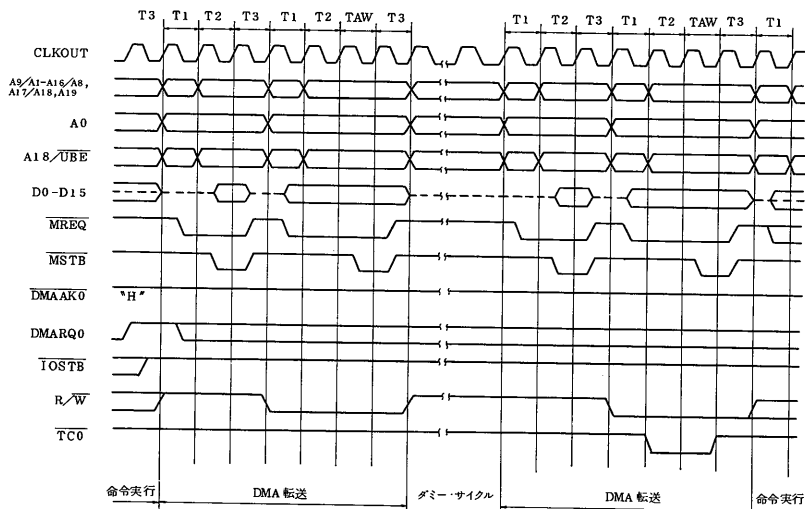
図 6 - 9 デマンド・リリース・モード

(I/O→メモリ, I/O: 1 ウエイト,  
メモリ: ノー・ウエイト)



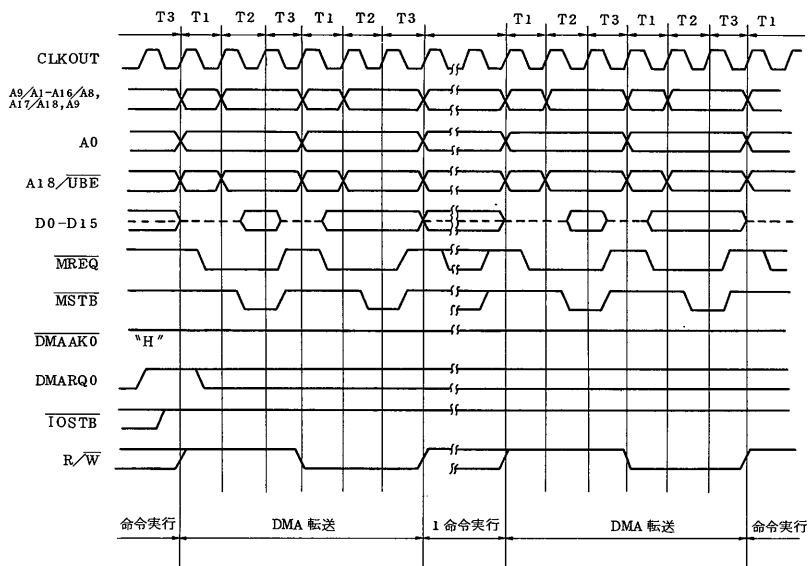
## 6.4.2 $\mu$ PD70332, 70330, 70P322 (V35モード)

図 6-10 バースト・モード時 ( $TC=2$  のときに  $\overline{DMARQ}$  信号によって DMA を起動した場合で、転送元のメモリ・バンクはノー・ウェイト、転送先は 1 ウェイト・ステートの挿入が行われているとき、バイト転送)



備考 破線はハイ・インピーダンスを示します。

図 6-11 シングルステップ・モード時



備考 破線はハイ・インピーダンスを示します。



図 6-12 1 転送モード (メモリ→I/O, ノー・ウェイト時)

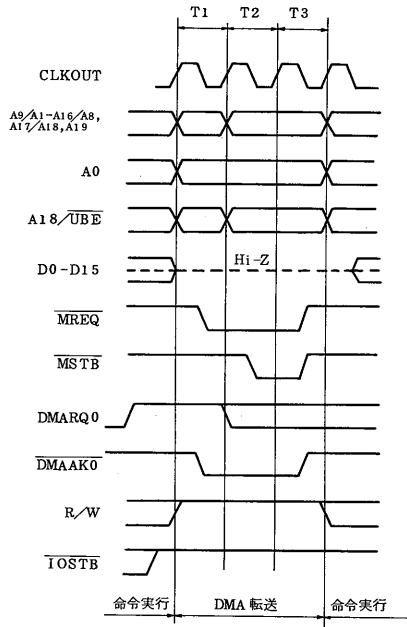
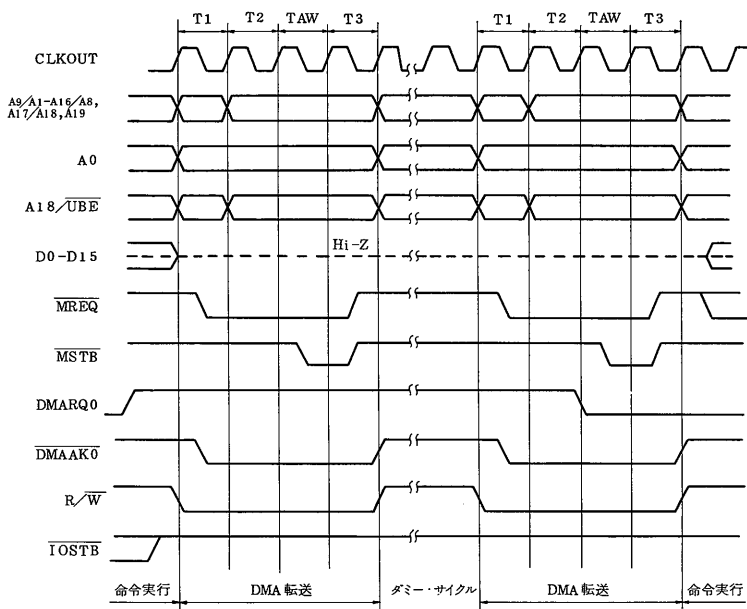


図 6-13 デマンド・リリース・モード (I/O→メモリ, I/O:1ウェイト, メモリ:ノーマルウェイト)

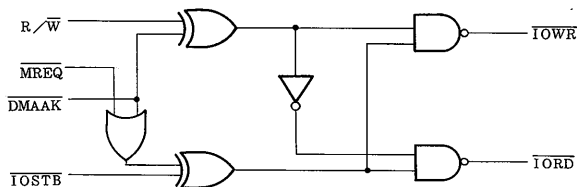


I/Oとメモリ間のDMA転送では、 $\overline{IOSTB}$  信号は出力されません ('H'レベル)。 $\overline{DMAAK}$  信号が出力されます ('L'レベル)。

したがって、I/Oに対するアクセスの判定には $\overline{DMAAK}$  信号を使用します。メモリとメモリ間のDMA転送で、 $\overline{DMAAK}$  信号は出力されません。

R/ $\overline{W}$  信号、 $\overline{IOSTB}$  信号、 $\overline{DMAAK}$  信号から  $\overline{IORD}$  信号、 $\overline{IOWR}$  信号を作成する回路例を図 6-14 に示します。

図 6-14  $\overline{IORD}$  信号、 $\overline{IOWR}$  信号作成回路例



## 第7章 ポート機能

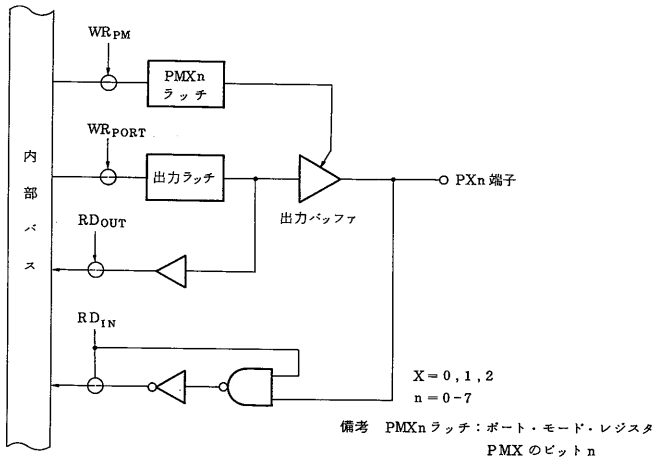
### 7.1 ポート 0 - 2

#### 7.1.1 ハードウェア構成

V25, V35 のポート 0 - 2 は基本的に図 7 - 1 に示す 3 ステート 双方向ポートで構成されています。

$\overline{\text{RESET}}$  入力によりポート・モード・レジスタの各ビットはセット(1)され、入力ポートに指定されます。全ポート端子はハイ・インピーダンス状態となります。また、出力ラッチの内容は  $\overline{\text{RESET}}$  入力の影響を受けません。

図 7 - 1 ポート 0 - 2 構成

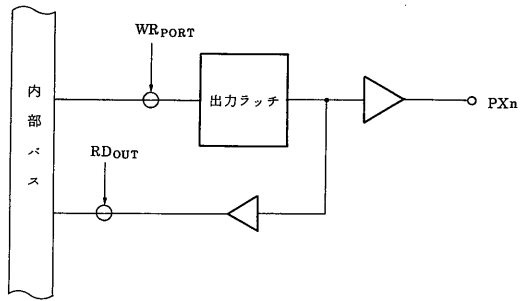


#### (1) 出力ポートに指定された場合 (PMXn=0)

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりが行えます。

また出力ラッチの内容は論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次にポートを操作する命令が実行されるまで保持されます。

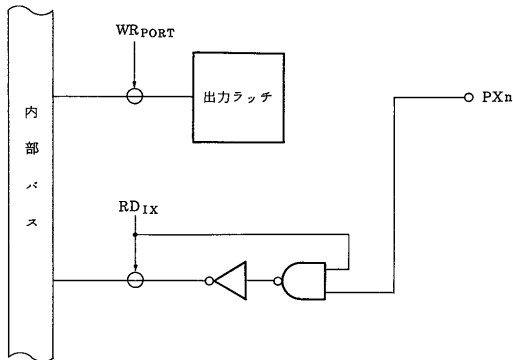
図 7 - 2 出力ポート指定のポート



(2) 入力ポートに指定された場合 (PMXn=1)

ポート端子のレベルを転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令によりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファはハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容をアキュムレータにロードすることはできません。

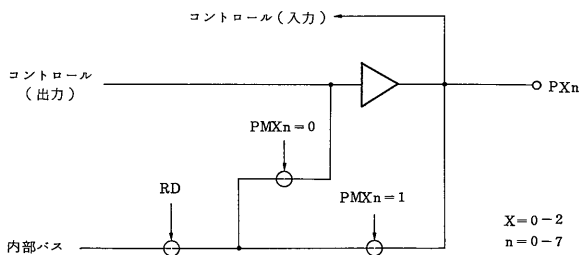
図 7 - 3 入力ポート指定のポート



### (3) コントロール指定の場合 (PMCXn=1)

ポート0-2はポート・モード・コントロール・レジスタ (PMCX) のビットをセット (1) することにより、ポート・モード・レジスタ (PMX) の設定にかかわらず、ビット単位にコントロール信号の入力あるいは出力として使用することができます。各端子をコントロール信号として用いる場合、ポートのアクセス命令を実行することにより、コントロール信号の状態をみることができます。

図 7 - 4 コントロール指定のポート



#### (a) ポートがコントロール信号出力の場合

ポート・モード・レジスタ (PMXn) がセット (1) されているときに、ポートの読み込み命令を実行すると、コントロール信号の端子状態を読み込むことができます。

ポート・モード・レジスタがリセット (0) されているときにポートの読み込み命令を実行すると内部のコントロール信号の状態を読み込むことができます。

#### (b) ポートがコントロール信号入力の場合

ポート・モード・レジスタがセット (1) されている場合のみ、ポートの読み込み命令を実行するとコントロール信号の端子状態を読み込むことができます。

## 7.1.2 各ポートの機能

### (1) P00-07 (ポート0) ..... 3ステート入出力

8ビットの特殊入出力ポートです。ビット単位に入出力の指定ができる汎用入出力ポートとして機能するほか、システム・クロック出力端子 (P07と兼用) としても機能します。それらの切り替えは、ポート0モード・レジスタ (PM0) およびポート0モード・レジスタ (PMC0) の指定により、ビット単位に行うことができます。

表 7 - 1 ポート 0 の動作 (  $n = 0 - 7$  )

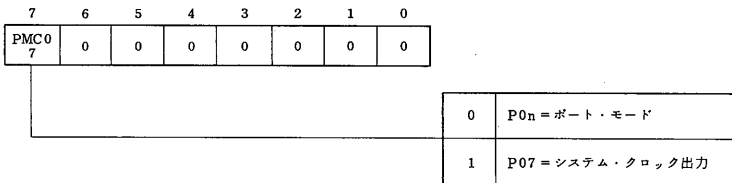
|       | PM C 0 <sub>n=1</sub> | PM C 0 <sub>n=0</sub> |                     |
|-------|-----------------------|-----------------------|---------------------|
|       |                       | PM 0 <sub>n=1</sub>   | PM 0 <sub>n=0</sub> |
| P 0 0 |                       | 入 力 ポー ト              | 出 力 ポー ト            |
| P 0 1 |                       | 入 力 ポー ト              | 出 力 ポー ト            |
| P 0 2 |                       | 入 力 ポー ト              | 出 力 ポー ト            |
| P 0 3 |                       | 入 力 ポー ト              | 出 力 ポー ト            |
| P 0 4 |                       | 入 力 ポー ト              | 出 力 ポー ト            |
| P 0 5 |                       | 入 力 ポー ト              | 出 力 ポー ト            |
| P 0 6 |                       | 入 力 ポー ト              | 出 力 ポー ト            |
| P 0 7 | CLKOUT 出力             | 入 力 ポー ト              | 出 力 ポー ト            |

(a) ポート 0 モード・コントロール・レジスタ (PM C 0)

ポート 0 のポート／システム・クロック 出力の指定をビット単位で行う 8 ビットのレジスタです。8 ビット操作のメモリ・アクセスによって、このレジスタの書き込みのみができます。PM C 0 レジスタの対応ビットがセット ( 1 ) されていればシステム・クロック出力モード ( P 0 7 ) , リセット ( 0 ) されていればポート・モードになります。

RESET 入力時 PM C 0 レジスタは全ビットがリセット ( 0 ) され、ポート・モードになります。

図 7 - 5 PM C 0



(b) ポート 0 モード・レジスタ (PM 0)

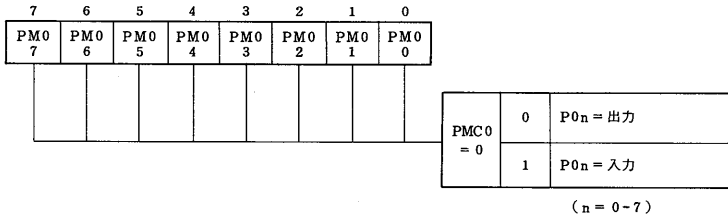
PM 0 は、ポート 0 の入力／出力をビット単位で指定する 8 ビットのレジスタです。

8 ビット操作のメモリ・アクセスによって、このレジスタの書き込みのみができます。

PM C 0 の対応するビットが “0” のとき PM 0 は有効になります。

RESET 入力により全ビットがセット ( 1 ) されます。

図 7-6 PM0



(2) P10-17 (ポート 1) …… 3 ステート入出力

8 ビットの特殊入出力ポートです。ポート 0 と同様、ビット単位に入出力の指定ができる汎用入出力ポートとして機能する他、各種コントロール端子としても機能します。それらの切り替えは、ポート 1 モード・コントロール・レジスタ (PM1) およびポート 1 モード・コントロール・レジスタ (PMC1) の指定により、ビット単位に行うことができます。

P10-P13 端子はポート 1 (P1) を直接リード・アクセスすることによって、端子レベルを読み込むことができます。

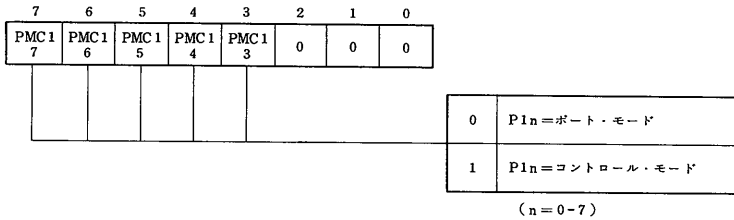
表 7-2 ポート 1 の動作 (n=0-7)

|     | PMC1n=1 | PMC1n=0        |        |
|-----|---------|----------------|--------|
|     |         | PM1n=1         | PM1n=0 |
| P10 | X       | NMI入力          | X      |
| P11 |         | INTP0入力        |        |
| P12 |         | INTP1入力        |        |
| P13 | INTAK出力 | INTP2入力        | X      |
| P14 | INT入力   | 入力ポート (POLI入力) |        |
| P15 | TOUT出力  | 入力ポート          |        |
| P16 | SCK0出力  | 入力ポート          |        |
| P17 | READY入力 | 入力ポート          |        |

(a) ポート 1 モード・コントロール・レジスタ (PMC1)

ポート 1 のポート/コントロール信号入出力の指定をビット単位で行う 8 ビットのレジスタです。8 ビット操作のメモリ・アクセスによって、このレジスタの書き込みのみができます。PMC1 レジスタの対応ビットがセット (1) されていればコントロール信号入出力モード、リセット (0) されていればポート・モードになります。RESET 入力時 PMC1 レジスタは全ビットがリセット (0) され、ポート・モードになります。ただし、P10-P12 はポート・モードに固定です。

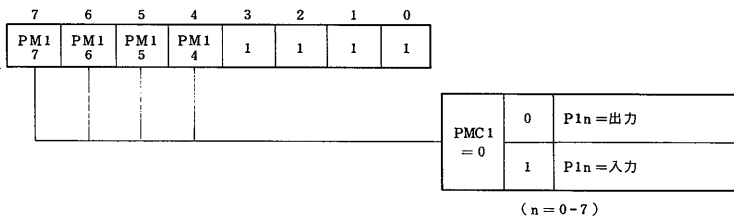
図 7-7 PMC1



(b) ポート1モード・レジスタ(PM1)

PM1 は、ポート1の入力／出力をビット単位で指定する8ビットのレジスタです。  
 8ビット操作のメモリ・アクセスによつて、このレジスタの書き込みのみができます。  
 PMC1の対応するビットが“0”のとき PM1は有効になります。  
 RESET入力により全ビットがセット(1)されます。

図 7-8 PM1





(3) P20-27 (ポート2) ..... 3ステート入出力

8ビットの特殊入出力ポートです。ポート0と同様、ビット単位に入出力の指定ができる汎用入出力ポートとして機能する他、各種コントロール端子としても機能します。それらの切り替えは、ポート2モード・レジスタ(PM2)およびポート2モード・コントロール・レジスタ(PMC2)の指定により、ビット単位に行うことができます。

表7-3 ポート2の動作 (n=0-7)

|     | PMC2n=1      | PMC2n=0 |        |
|-----|--------------|---------|--------|
|     |              | PM2n=1  | PM2n=0 |
| P20 | DMA RQ0 入力   | 入力ポート   | 出力ポート  |
| P21 | DMA A K0 入力  | 入力ポート   | 出力ポート  |
| P22 | T C0 出力      | 入力ポート   | 出力ポート  |
| P23 | DMA R Q1 入力  | 入力ポート   | 出力ポート  |
| P24 | DMA A K1 出力  | 入力ポート   | 出力ポート  |
| P25 | T C1 出力      | 入力ポート   | 出力ポート  |
| P26 | H L D A K 出力 | 入力ポート   | 出力ポート  |
| P27 | H L D R Q 入力 | 入力ポート   | 出力ポート  |

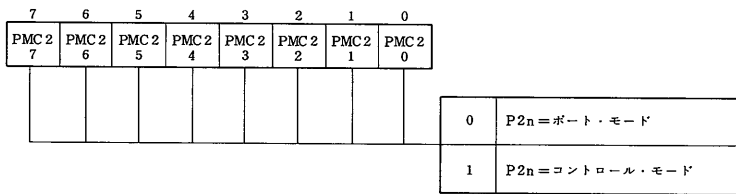
(a) ポート2モード・コントロール・レジスタ (PMC2)

ポート2のポート/コントロール信号入出力の指定をビット単位で行う8ビットのレジスタです。

8ビット操作のメモリ・アクセスによって、このレジスタの書き込みのみができます。

PMC2レジスタの対応ビットがセット(1)されていればコントロール信号入出力モード、リセット(0)されていればポート・モードになります。 $\overline{\text{RESET}}$ 入力時PMC2レジスタは全ビットがリセット(0)され、ポート・モードになります。

図7-9 PMC2



(n=0-7)

(b) ポート 2 モード・レジスタ (PM2)

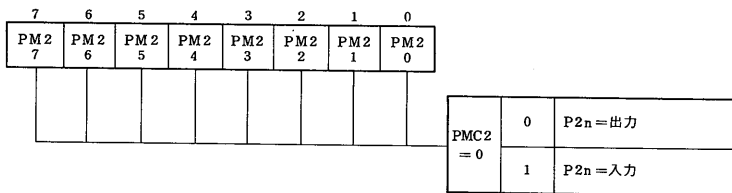
PM2 は、ポート 2 の入力／出力をビット単位で指定する 8 ビットのレジスタです。

8 ビット操作のメモリ・アクセスによって、このレジスタの書き込みのみができます。

PMC2 の対応するビットが 0 のとき、PM2 の各ビットは有効になります。

$\overline{\text{RESET}}$  入力により全ビットがセット (1) されます。

図 7 - 10 PM2



## 7.2 ポート T (PT0 - PT7)

ポート T は、スレッシュホールド電圧（基準電圧）を 16 段階に変えられる 8 ビットの入力ポートです。このアナログ入力によってコンパレータ動作を行います。

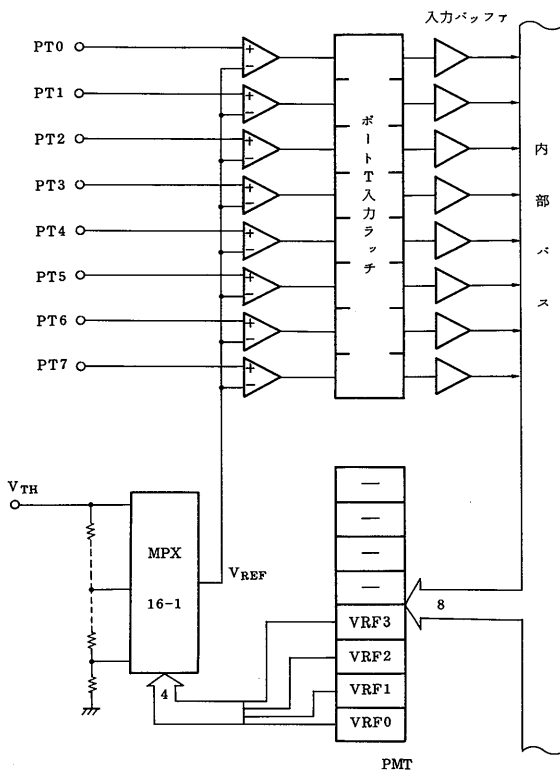
### 7.2.1 ハードウェア構成

ポート T は、図 7-11 のように PT0 - PT7 のコンパレータ入力、基準電源入力の  $V_{TH}$  端子、比較電圧 ( $V_{REF}$ ) を  $1/16 \times V_{TH} \sim 16/16 \times V_{TH}$  の 16 通りに選択するマルチプレクス回路 (MPX)、MPX を制御するポート・モード T レジスタ (PMT)、および 8 個のラッチで構成されています。

PMT の設定により選択された  $V_{REF}$  と PT0 - PT7 入力が、コンパレータにより比較され、その結果がポート T 入力ラッチにラッチされます。

$$\begin{cases} V_{REF} > PTn \rightarrow 0 \\ V_{REF} < PTn \rightarrow 1 \end{cases}$$

図 7-11 ポート T のブロック図



注意  $V_{TH}$  端子は、高抵抗でGND端子と接続されています。したがって、スタンバイ・モード時に  $V_{TH}$  端子に電圧が印加されていると、消費電流が増加します。

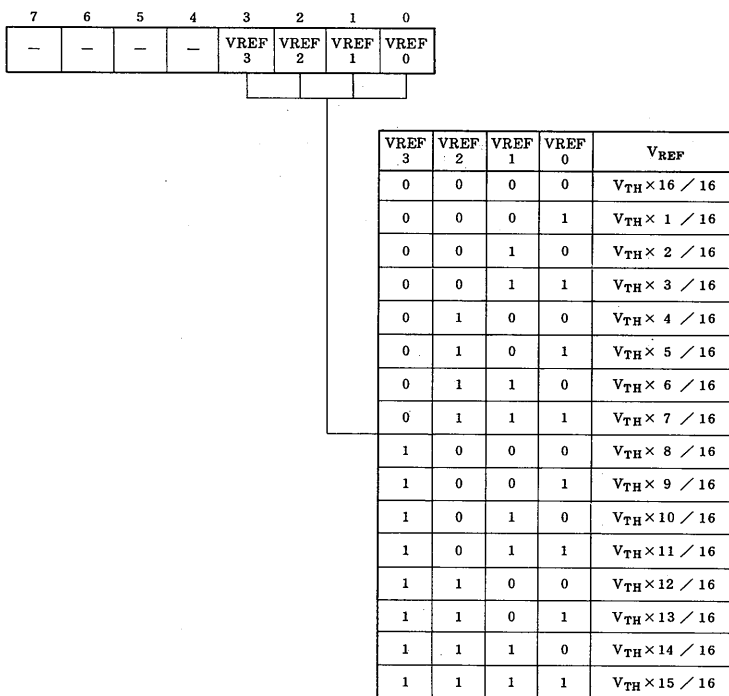
## 7.2.2 ポートTモード・レジスタ(PMT)

PMTは、コンパレータの比較電圧( $V_{REF}$ )を図7-12のように16通りのうちから設定します。

8ビット操作または1ビット操作のメモリ・アクセスによって、このレジスタの書き込み/読み出しができます。

$\overline{RESET}$ 入力でPMTは全ビット、リセット(0)されます。

図7-12 PMT



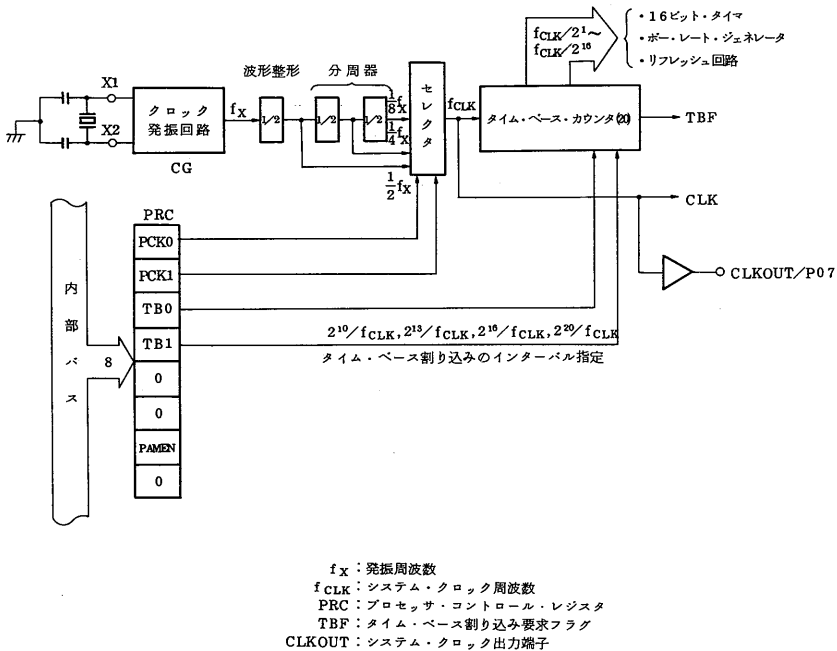
## 第8章 クロック発生回路

クロック発生回路は、CPUおよび周辺ハードウェアに各種クロックを供給し、CPUの動作モードを制御する回路です。

## 8.1 クロック発生回路の構成

クロック発生回路は図 8 - 1 のように構成されています。

図 8 - 1 クロック発生回路のブロック図



クロック発生回路のクロックは、X<sub>1</sub>、X<sub>2</sub> 端子に接続されたクリスタル発振子またはセラミック発振子によって発振します。クロック発振回路の出力は波形整形（1／2 分周）され、分周比を選択してシステム・クロック（CLK）として使用します。

CLK の分周比は、プロセッサ・コントロール・レジスタ (PRC) のビット 0,1 (PCK0, PCK1)

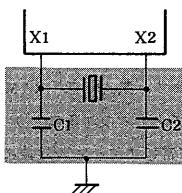
の指定により、発振周波数( $f_x$ )の $1/2$ ,  $1/4$ または $1/8$ に選択することができます。

C L Kを低速にすることによってシステム・クロック周波数が低くなり、バッテリー駆動システムで電圧が低下しても長時間の動作が可能となります。

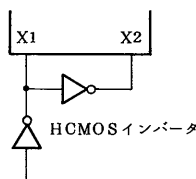
また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子にはその逆相を入力してください。

図 8 - 2 クロック発生回路の外付け回路

(a) クリスタル／セラミック発振



(b) 外部クロック入力



注意 1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. XXXXXXXXXX の範囲に他の信号線を通さないでください。

クリスタル振動子を使用する場合は、 $C1=C2=15\text{ pF}$ としてください。

セラミック発振子を使用する場合の、推奨する発振子と、C1とC2の値を表8-1に示します。

表 8 - 1 推奨するセラミック発振子

| デ バ イ ス                                                                                                            | メ ー カ     | 品 名           | C1(pF) | C2(pF) |
|--------------------------------------------------------------------------------------------------------------------|-----------|---------------|--------|--------|
| $\mu\text{PD70322-8, 70320-8}$                                                                                     | (株)村田製作所  | CSA16.00MX040 | 30     | 30     |
| $\mu\text{PD70322, 70320}$<br>$\mu\text{PD70322-8, 70320-8}$<br>$\mu\text{PD70332, 70330}$<br>$\mu\text{PD70P322}$ |           | CSA10.0MT     | 47     | 47     |
| $\mu\text{PD70322, 70320}$<br>$\mu\text{PD70322-8, 70320-8}$<br>$\mu\text{PD70332, 70330}$<br>$\mu\text{PD70P322}$ |           | KBR-10.0M     | 33     | 33     |
| $\mu\text{PD70322-8, 70320-8}$                                                                                     |           | FCR16.0M2S    | 15     | 6      |
|                                                                                                                    | T D K (株) |               |        |        |

## 8.2 プロセッサ・コントロール・レジスタ(PRC)

PRCレジスタは、CPUの動作クロック、タイム・ベース割り込みの周期、内部RAMのメモリ参照許可など、CPUや内部システム制御に関連する項目を集中的に制御する8ビット・レジスタです。

8ビット操作または1ビット操作のメモリ・アクセスによって、このレジスタの書き込み／読み出しができます。

RESET入力によってPRCの内容は4EHに初期化されます。

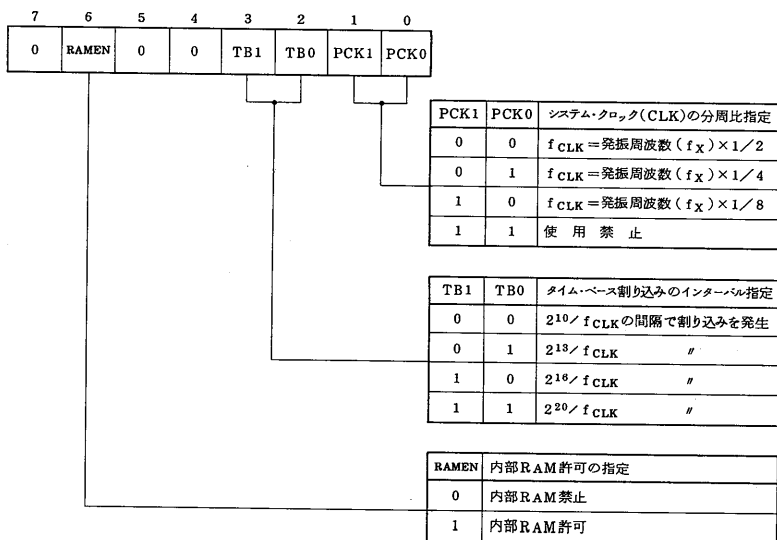
PCK0, 1ビットは、システム・クロックの分周比を指定します。発振器の周波数をPCK0, 1で指定した値で分周後、システム・クロック(CLK)として使用します。

TB0, 1ビットは、タイム・ベース割り込みのインターバルを指定します。TB0, 1ビットによって、4種類のロング・インターバル時間を選択できます。

RAMENビットは、内部RAMのメモリ参照の許可を制御します。禁止状態(RAMENビット“0”)では、内部RAMのアドレス判別を行わず、外部メモリが常にアクセスの対象になります。

なおレジスタとしてRAMを参照するときには、内部RAMが常にアクセスの対象になります。

図 8-3 PRC



## 第9章 タイマ・ユニット

V25, V35のタイマ・ユニットは、インターバル・タイマ、ワンショット・タイマおよび矩形波出力として用いることができます。

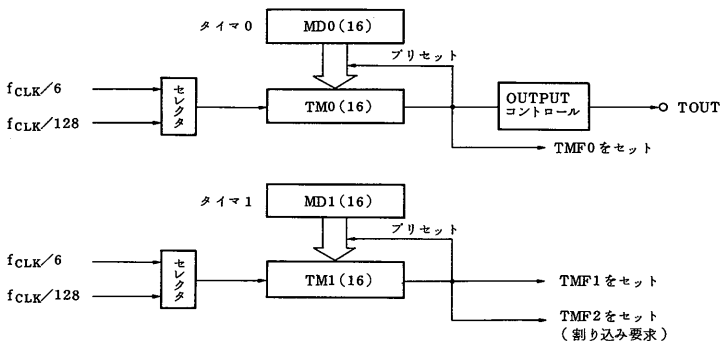
### 9.1 タイマ・ユニットの構成と動作

タイマ・ユニットは、2つの16ビット・タイマ・レジスタ、2つの16ビット・モデュロ/タイマ・レジスタおよび1つの8ビット・タイマ・コントロール・レジスタで構成されます。以下、各動作モードについて、構成と動作を説明します。

#### (1) インターバル・タイマ・モード

タイマ・ユニットをインターバル・タイマ・モードに設定した場合、図9-1のようにタイマ0,1の2つを用いることができます。

図9-1 インターバル・タイマ・モード時のタイマ・ユニットの構成



タイマ・コントロール・レジスタ (TMC0) でインターバル・タイマ・モードを指定し、T S 0 ビットをセット (1) すると、TM0 レジスタに MD0 レジスタ値をセットし、TCLK0 ビットで指定されたクロックをダウン・カウントします。ダウン・カウント中、タイマの値が“0”になると、次のクロックで再び TM0 レジスタに MD0 レジスタ値をセットし、再びダウン・カウントを繰り返します (カウント値 = 設定値 + 1)。

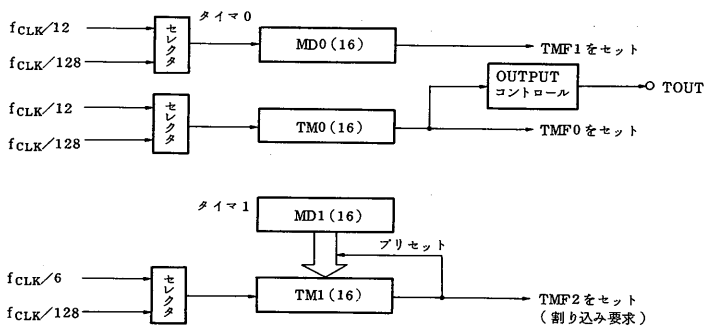
タイマ1のレジスタについても同様のカウント動作をします。



## (2) ワンショット・タイマ・モード

タイマ・ユニットをワンショット・タイマ・モードに設定した場合、図9-2のようにタイマ0を用います。ただし、タイマ1をインターバル・タイマとして同時に動作させることもできます。

図9-2 ワンショット・タイマ・モード時のタイマ・ユニットの構成



タイマ・コントロール・レジスタ(TMC0)でワンショット・タイマ・モードを指定し、TS0/MS0ビットをセット(1)をすると、TM0/MD0レジスタはTCLK0/MCLK0ビットで指定されたクロックをダウン・カウントします。カウント中、タイマの値が“0”になるとカウント動作が停止します。このとき、TM0/MD0レジスタは0000Hを保持します。

## 9.2 タイマ・コントロール・レジスタ(TMC0, TMC1)

TMC0レジスタはTM0, MD0レジスタの動作を制御し, TMC1レジスタはTM1, MD1レジスタの動作を制御する8ビット・レジスタです。

8ビット操作または1ビット操作のメモリ・アクセスによって, これらのレジスタの書き込み/読み出しができます。この場合, 最大6ウェイトが挿入されます。

RESET入力により, 各レジスタの内容は00Hに初期化されます。TMC0とTMC1では下図のようにフォーマットが異なります。

(インターバル・タイマ・モード, ワンショット・タイマ・モード)

|      |     |       |     |       |      |     |      |      |
|------|-----|-------|-----|-------|------|-----|------|------|
|      | 7   | 6     | 5   | 4     | 3    | 2   | 1    | 0    |
| TMC0 | TS0 | TCLK0 | MS0 | MCLK0 | ENTO | ALV | MOD1 | MOD0 |

(インターバル・タイマ・モード)

|      |     |       |   |   |   |   |   |   |
|------|-----|-------|---|---|---|---|---|---|
|      | 7   | 6     | 5 | 4 | 3 | 2 | 1 | 0 |
| TMC1 | TS1 | TCLK1 | 0 | 0 | 0 | 0 | 0 | 0 |

TMC0, TMC1レジスタのビット0, 1(MOD0, 1)によって, TM0とMD0, TM1とMD1で構成されるタイマ0, タイマ1の動作モードを指定します。

**MOD0** , **MOD1** タイマ0, タイマ1の動作モードを指定するビット

MOD0, 1ビットが, MOD0=0, MOD1=0でインターバル・タイマ動作モードになり, MOD0=1, MOD1=0でワンショット・タイマ動作モードとなります。インターバル・タイマ動作モードでは, TM0, TM1は設定値をダウン・カウントするタイマ・レジスタ, MD0, MD1はインターバルの設定値を保持するモデュロ・レジスタとなります。ワンショット・タイマ動作モードでは, TM0とMD0がともに設定値をダウン・カウントするタイマ・レジスタとなります。なおタイマ1は, TMC1のビット0, 1が“0”固定となり, インターバル・タイマ動作のみです。

したがって, タイマ0はTM0とMD0で構成され, 16ビット・インターバル・タイマ, または16ビット・ワンショット・タイマとして動作します。タイマ1はTM1とMD1で構成され, 16ビット・インターバル・タイマとして動作します。

また, タイマ0はTOUT端子への矩形波を出力することができます。TMC0レジスタによって, TOUT端子への矩形波出力の制御を行います。ただし, TOUT端子はP15と兼用なので, TOUT端子に矩形波を出力するには, ポート1モード・コントロール・レジスタのビット5(PMC15)をセット(1)し, コントロール・モードにしてください。

**ALV** TOUT端子出力のアクティブ・レベルを指定するビット

ENTOビットがリセット(0)時、TOUT端子出力のアクティブ・レベルは、ALVビットがリセット(0)されるとロウ・アクティブ、セット(1)されるとハイ・アクティブとなります。

**ENTO** TOUT端子への矩形波出力の動作を指定するビット

ENTOビットがリセット(0)されると、TOUT端子レベルはALVビット指定のインアクティブ状態となります。

ENTOビットがセット(1)されると、タイマ・ユニット割り込み要求フラグ(TMF0)がセット(1)されるタイミングで、TOUT端子レベルが反転します。

以下、TMC0、TMC1レジスタその他のビットの説明を動作モード別に行います。

(1) インターバル・タイマ・モード(MOD0=0, MOD1=0): タイマ0, 1

**TCLK0**, **TCLK1** TM0, TM1レジスタのカウント・クロックを指定するビット

表9-1にシステム・クロック周波数( $f_{CLK}$ )が5MHzの場合の参考値を示します。

**TS0**, **TS1** タイマ0, タイマ1の動作を制御するビット

TS0/TS1ビットをセット(1)すると、TM0/TM1レジスタにMD0/MD1レジスタの値がセットされ、TM0/TM1レジスタはダウン・カウントを開始します。TS0/TS1ビットをクリア(0)するとTM0/TM1レジスタは、TM0/TM1, MD0/MD1レジスタの内容を保持したままダウン・カウントを停止します。

ダウン・カウント中、タイマの値が“0”あるいは、もう一度TS0/TS1ビットをセット(1)すると、再びTM0/TM1レジスタにMD0/MD1レジスタの値をセットし、ダウン・カウント動作を再度開始します。

表9-1 インターバル・タイマ・モード時のTM<sub>n</sub>のカウント時(n=0, 1)

| $f_{CLK}=5\text{MHz} (= \frac{1}{2} f_X : f_X=10\text{MHz})$ |               |                    |         |
|--------------------------------------------------------------|---------------|--------------------|---------|
| TCLK <sub>n</sub>                                            | カウント・クロック     | 分解能                | フル・カウント |
| 0                                                            | $f_{CLK}/6$   | 1.2 $\mu\text{s}$  | 78.6 ms |
| 1                                                            | $f_{CLK}/128$ | 25.6 $\mu\text{s}$ | 1.7 s   |

(2) ワン・ショット・タイマ・モード(MOD0=1, MOD1=0): タイマ0のみ

**TCLK0** TM0レジスタのカウント・クロックを指定するビット

表9-2にシステム・クロック周波数( $f_{CLK}$ )が5MHzの場合の参考値を示します。

**TS0** TM0レジスタの動作を制御するビット

TS0ビットをセット(1)すると、そのとき保持されていたTM0レジスタの値からダウン・カウントし、タイマの値が“0”になるとTS0ビットはクリア(0)され、カウント動作を停止します。TS0ビットをクリア(0)すると、TM0レジスタの値を保持したままカウントを停止します。

**MCLK0** MD0レジスタのカウント・クロックを指定するビット

表9-2にシステム・クロック周波数( $f_{CLK}$ )が5MHzの場合の参考値を示します。インターバル・タイマ・モードに指定されている場合は、MCLK0ビットはカウント動作に影響を与えません。

**MS0** MD0レジスタのカウント動作を制御するビット

MS0ビットをセット(1)すると、そのとき保持されていたMD0レジスタの値からダウン・カウントし、レジスタの値が“0”になるとMS0ビットはクリア(0)され、カウント動作を停止します。MS0ビットをクリア(0)すると、MD0レジスタの値を保持したままカウントを停止します。

MS0ビットは、インターバル・タイマ動作時にはカウント動作に影響を与えません。

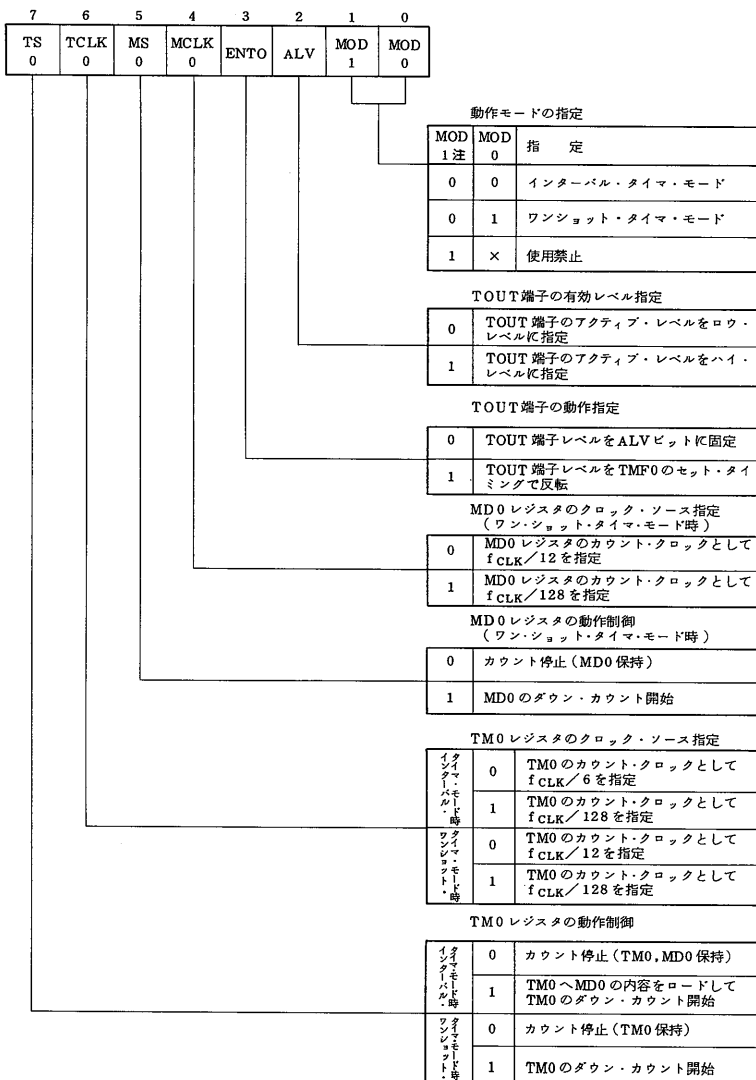
表9-2 ワンショット・タイマ・モード時のTM0とMD0のカウント時間

$$f_{CLK}=5\text{ MHz}(=\frac{1}{2}f_X:f_X=10\text{ MHz})$$

| TCLK0/<br>MCLK0 | カウント・クロック     | 分解能                 | フル・カウント            |
|-----------------|---------------|---------------------|--------------------|
| 0               | $f_{CLK}/12$  | $2.4\ \mu\text{s}$  | $157.3\ \text{ms}$ |
| 1               | $f_{CLK}/128$ | $25.6\ \mu\text{s}$ | $1.7\ \text{s}$    |

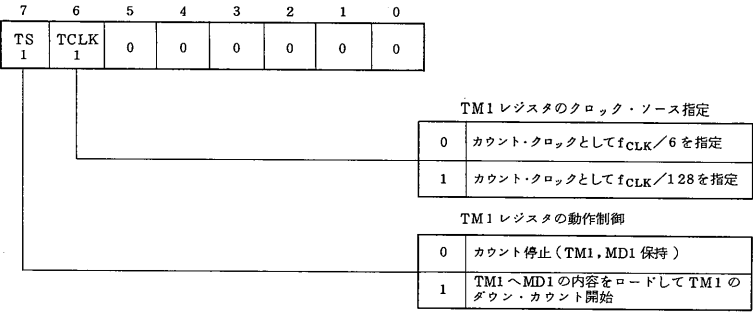
注意：TM0レジスタは、インターバル・タイマ・モードに指定された場合とワンショット・タイマ・モードに指定された場合とでは、カウント・クロックが異なります。

図 9 - 3 TMC0



注 MOD1 には必ず“0”を書き込んで下さい。

図 9-4 TMC1



### 9.3 タイマ・ユニット割り込み要求

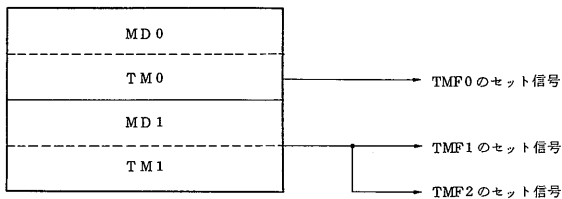
タイマ・ユニットからは3系統の割り込み要求(TMF0-2)が発生します。これらの発生条件は、タイマの動作モード指定によって異なります。

インターバル・タイマ・モードに設定されている場合、カウント・ダウンによるTM0レジスタの値が“0”のタイミングでTMF0がセット(1)され、カウント・ダウンによるTM1レジスタの値が“0”のタイミングでTMF1, TMF2がセット(1)されます(図9-5 a)。

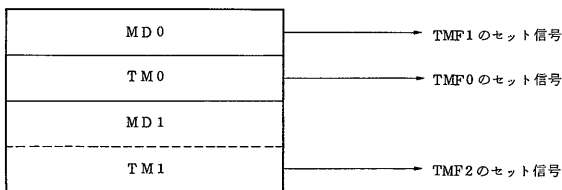
TM0, MD0レジスタがワンショット・タイマ・モードに設定されている場合、カウント・ダウンによるTM0レジスタの値が“0”のタイミングでTMF0を、カウント・ダウンによるMD0レジスタの値が“0”のタイミングでTMF1をそれぞれセット(1)します。この場合、TMF2はインターバル・タイマとして動作するTM1レジスタの値がカウント・ダウンにより“0”に変化するタイミングでセット(1)されます。

図9-5 タイマ・ユニットからの割り込み要求

(a) TM0, MD0をインターバル・タイマ・モードに指定した場合



(b) TM0, MD0をワンショット・タイマ・モードに指定した場合



TMF0-2: タイマ・ユニット割り込み要求フラグ0-2

### 9.3.1 タイマ・ユニット割り込み要求制御レジスタ (TMIC0, TMIC1, TMIC2)

TMICn レジスタ (n=0-2) は、タイマ・ユニットから発生する3つの割り込み要求を制御する8ビット・レジスタです。この3つの割り込み要求が1つのグループを構成し、タイマ・ユニット割り込み要求として優先順位がプログラマブルに指定されます。グループ内では、以下のように優先順位が固定されています。

TMF0 > TMMK1 > TMMK2

図 9-6 TMIC0, TMIC1, TMIC2

|       | 7    | 6     | 5      | 4    | 3 | 2   | 1   | 0   |
|-------|------|-------|--------|------|---|-----|-----|-----|
| TMIC0 | TMF0 | TMMK0 | MS/INT | ENCS | 0 | PR2 | PR1 | PR0 |
| TMIC1 | TMF1 | TMMK1 | MS/INT | ENCS | 0 | 1   | 1   | 1   |
| TMIC2 | TMF2 | TMMK2 | MS/INT | ENCS | 0 | 1   | 1   | 1   |

注意 TMIC1とTMIC2のビット2-0は“1”に固定されます。

TMIC1とTMIC2の割り込み要求の優先順位は、TMIC0のPR2-0の設定に従います。

TMICnレジスタの各ビットについては、4.7項を参照してください。

8ビット操作または1ビット操作のメモリ・アクセスによって、これらのレジスタの書き込み／読み出しができます。この場合、1ウェイトが挿入されます。

TMICnレジスタの内容は、RESET入力で47Hに初期化されます。

### 9.3.2 タイマ・ユニット・マクロ・サービス制御レジスタ (TMMS0, TMMS1, TMMS2)

タイマ・ユニットより発生する3種類の割り込み要求によって起動されるマクロ・サービスを制御する8ビット・レジスタです。

TMMS0レジスタは、TMF0フラグによって起動されるマクロ・サービスを制御します。

TMMS1はTMF1フラグ、TMMS2はTMF2フラグによって起動されるマクロ・サービスを制御します。

8ビット操作または1ビット操作のメモリ・アクセスによって、これらのレジスタの書き込み／読み出しができます。この場合、1ウェイトが挿入されます。



図 9 - 7 TMMS0, TMMS1, TMMS2

|          |          |          |     |   |         |         |         |
|----------|----------|----------|-----|---|---------|---------|---------|
| 7        | 6        | 5        | 4   | 3 | 2       | 1       | 0       |
| MSM<br>2 | MSM<br>1 | MSM<br>0 | DIR | 0 | CH<br>2 | CH<br>1 | CH<br>0 |

TMMS<sub>n</sub>レジスタの各ビットについては、4.4.4項を参照してください。

## 第10章 タイム・ベース・カウンタ

V25, V35 は、時計機能用のロング・インターバル・タイマとしての機能を内蔵します。

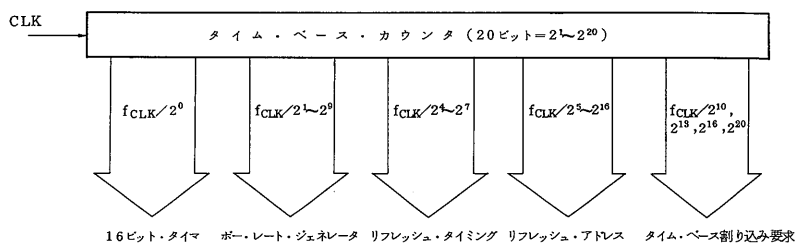
### 10.1 タイム・ベース・カウンタの構成

タイム・ベース・カウンタの構成図を図10-1に示します。

タイム・ベース・カウンタは、システム・クロック (CLK) を分周する 20 個の分周器から構成されます。分周器のタップ出力の下位側は、16 ビット・タイマのカウンタ・クロック、ポー・レート・ジェネレータの入力クロック、リフレッシュ・タイミング発生、リフレッシュ・アドレス生成にそれぞれ使用されます。また 20 本のタップ出力のうち、10, 13, 16, 20 ビット目の出力タップがタイム・ベース割り込みに使用されます。

タイム・ベース・カウンタの内容は、RESET入力によってのみ 00000H にクリアされ、その後は常にインクリメントし続けます。

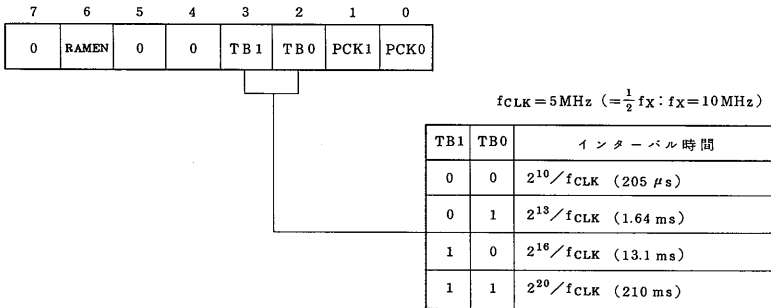
図10-1 タイム・ベース・カウンタの構成



### 10.2 タイム・ベース・インターバルの指定

タイム・ベース・カウンタから発生する割り込み要求のインターバル時間は、プロセッサ・コントロール・レジスタ (PRC) のビット 2, 3 (TB0, 1) によって図10-2の4種類から選択することができます。

図 10 - 2 PRC



注意 TB0,1 ビット設定直後から最初の割り込み要求発生までの時間は不定です。

### 10.3 タイム・ベース割り込み要求制御レジスタ(TBIC)

TBICは、タイム・ベース・カウンタから発生する割り込み要求のマスク制御を行うための8ビット・レジスタです。

8ビット操作または1ビット操作のメモリ・アクセスによって、TBICの書き込み／読み出しができます。この場合、1ウェイトが挿入されます。

TBICの内容は、RESET入力で47Hに初期化されます。

図 10 - 3 TBIC

|     |      |   |   |   |   |   |   |
|-----|------|---|---|---|---|---|---|
| 7   | 6    | 5 | 4 | 3 | 2 | 1 | 0 |
| TBF | TBMK | 0 | 0 | 0 | 1 | 1 | 1 |

プロセッサ・コントロール・レジスタ (PRC)によって指定されたタイム・ベース・カウンタの出力タップが、ハイ・レベルになるタイミングで、割り込み要求フラグ (TBF)がセット(1)され、割り込み要求が発生します。

TBICのビット4,5は、“0”固定で、タイマ・ベース・カウンタによる割り込みではレジスタ・バンク切り替え機能、マクロ・サービス機能はありません。またTBICのビット0-2は“1”固定によりタイム・ベース割り込み (INTTB)の優先順位は“7”固定であり、優先順位7である他の割り込みがあっても最下位に固定されます。ただし、多重処理制御は受けず。

## 第11章 シリアル・インタフェース

### 11.1 シリアル・インタフェースの構成

V25、V35は、専用のボー・レート・ジェネレータを内蔵するシリアル・インタフェースを2チャンネル備えています。

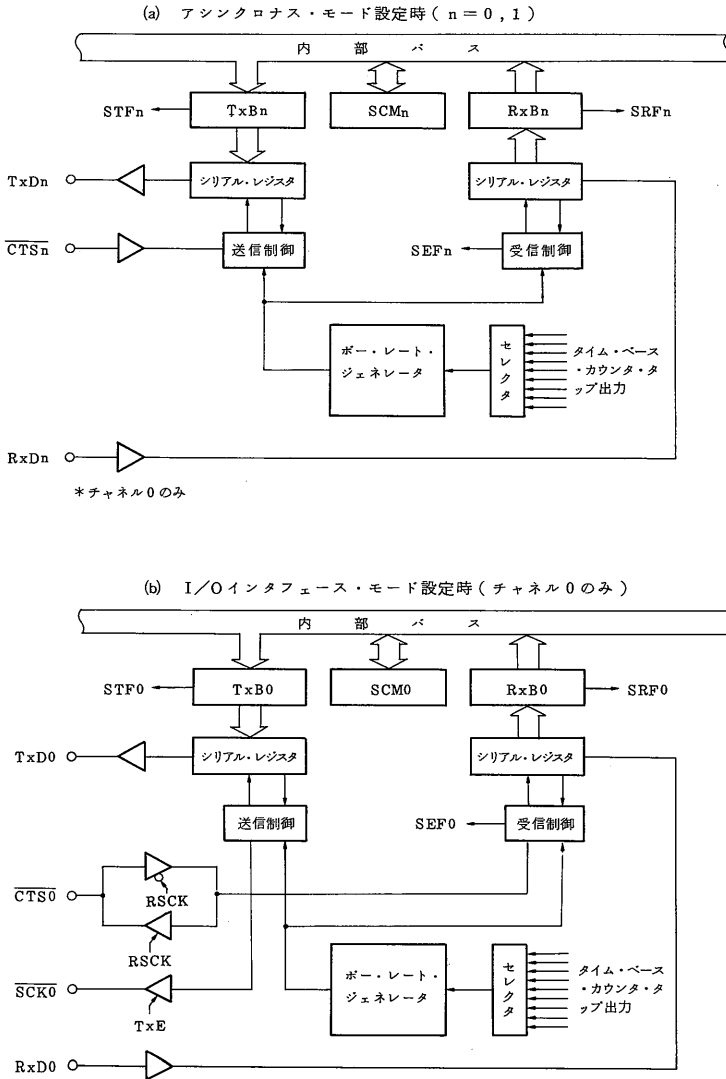
シリアル・インタフェースは、スタート／ストップ・ビットによる送受信方式です。スタート・ビットによってデータのビット同期とキャラクタ同期をとるアシンクロナス（調歩同期）・モード、および $\mu$ COM-87系などのシリアル・データ転送の方式と同様に制御されたシリアル・クロックに同期してデータの転送を行うI/Oインタフェース・モードの2種類の動作モードを備えています。

図11-1にシリアル・インタフェースのアシンクロナス・モード設定時と、I/Oインタフェース設定時の構成図を示します。

シリアル・インタフェース部は、シリアル・データ入力(RxDn)、シリアル・データ出力(TxDn)、シリアル・クロック出力( $\overline{\text{SCK0}}$ )、送信許可状態の制御入力( $\overline{\text{CTS}_n}$ )の端子と<sup>注</sup>、転送制御部、送信、受信用の8ビット・シリアル・レジスタ、送信バッファ(TxBn)、受信バッファ(RxBn)およびボー・レート・ジェネレータで構成されます。送信、受信用にそれぞれシリアル・レジスタとバッファを備えているので、送信、受信が独立に行えます(全二重動作可能)。また、I/Oインタフェース・モードの場合、 $\overline{\text{CTS}_n}$ 端子が、受信クロックの入出力端子の機能を持つので、I/Oインタフェース・モードにおいても、全二重でシリアル動作が可能です。

注 付録Fを参照してください。

図 11-1 シリアル・インタフェースの機能



## 11.2 アシンクロナス・モード

アシンクロナス・モードの場合、キャラクタ長、ストップ・ビット数、パリティ許可、奇偶数パリティの指定をシリアル・モード・レジスタ (SCMn) で制御できます。

### (1) 送信

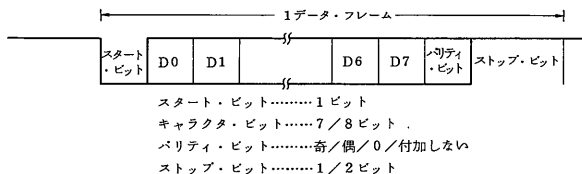
シリアル・モード・レジスタ (SCMn) のビット 7 (TxRDY) がセット(1)され、かつ  $\overline{\text{CTS}n}$  端子がアクティブ(0)のとき、送信許可状態<sup>※</sup>となります。

送信の起動方法には、次の3通りがあります。

- (a) 送信バッファ (TxB) が空の状態 で送信許可状態に設定することにより、送信完了割り込み要求が発生させ、割り込み処理内で送信バッファへ送信データの書き込み動作を行います。
- (b) 送信許可状態で送信バッファに送信データを転送すると、1 つ前の送信動作が終了後、この送信データの送信が連続して行われます。
- (c) 送信禁止状態で送信バッファにあらかじめ送信データを書き込んでおいて、その後、送信許可状態にすると、送信バッファ内に保持されていたデータが送信されます。

備考 送信許可状態に設定する手順には特別の制限はなく、TxRDY="1"にしておいて  $\overline{\text{CTS}n}$  端子をアクティブとすることも、 $\overline{\text{CTS}n}$  端子をアクティブにしておいて TxRDY="1"に設定することも可能です。

送信データのフォーマットは下図に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。送信データはTxDn端子より最下位ビット (LSB) から送出されます。TxDn端子は、送信禁止状態のとき、あるいはシリアル・レジスタに送信するデータを持たないとき、マーク状態(1)になります。



送信完了割り込み要求は、送信バッファ (TxBn) が空になるとただちに発生します。

$\overline{\text{RESET}}$ 入力により、送信バッファ (TxBn) は空の状態になります。このとき、送信許可状態に設定すると送信完了割り込み要求が発生します。また、送信動作の開始により送信バッファ内の送信データがシフト・レジスタに転送されると送信バッファは空の状態となり、送信完了割り込み要求が発生します。

送信完了割り込み要求の発生ごとに送信データを送信バッファに書き込むことによりマーク状

態(1)が挿入されることなく、連続的なデータ送信が可能です。

送信動作が行われている間に送信禁止状態に切り替えられた場合、送信中のデータは1フレーム分最後まで送信されます。ただし、すでに新しい送信データが送信バッファに書き込まれていると、送信バッファからシフト・レジスタへの転送は禁止され、送信バッファの内容はそのまま保持されます。再び送信許可状態に設定されると、このタイミングに同期して送信バッファの内容がシフト・レジスタに転送され、送信が開始されると同時に送信完了割り込み要求が発生します。

## (2) 受信

シリアル・モード・レジスタ(SCM2)のビット6(RxE)がセット(1)されたとき受信許可状態となります。受信禁止状態(RxE=0)では、受信ハードウェアは初期状態で待機します。

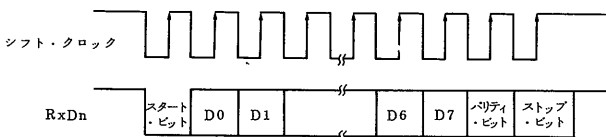
RxDn端子入力をボー・レート・ジェネレータへの入力クロックでサンプリングし、立ち下がりエッジを検出すると受信動作が起動し、受信用ボー・レート・ジェネレータがカウントを開始します。受信用ボー・レート・ジェネレータからの最初のタイミング信号でRxDn端子入力のロウ・レベルを検知するとスタート・ビットとして認識して以降の受信動作を行います。最初のタイミング信号でハイ・レベルを検出すると、スタート・ビットとして認めず、ボー・レート・ジェネレータは初期化されて動作を停止します。

受信データのサンプリングは、下図のようにスタート・ビットの検出後シフト・クロックの立ち上がりに同期して行われます。

スタート・ビットの検出は、ボー・レート・ジェネレータへの入力クロック(SCCレジスタにより選択される)により行われます。ボー・レートは、このクロックを2分周したものをBRGレジスタの設定値(G)だけカウントすることにより生成されます。

つまり、ボー・レート・ジェネレータへの入力クロックによるサンプリングで、受信端子(RxD)のロウ・レベルを検出した後、ボー・レート・ジェネレータへの入力クロックのエッジによりGをカウントした時点でスタート・ビットの検出を行います。ここでスタート・ビットを検出すると、それ以降ボー・レート・ジェネレータへの入力クロックのエッジで2Gをカウントするごとに、受信データの取り込みを行います。

受信データのサンプル・タイミング



受信割り込み要求は、シリアル・モード・レジスタのビット3 (CL)で指定されたキャラクタ長の受信が完了すると、シフト・レジスタ内の受信データが受信バッファ (Rx Bn) に転送され、受信完了割り込み要求が発生します。

受信時に、奇偶数パリティのチェックを行い (PRTY1 ビット注=1 の場合) 不一致のとき (パリティ・エラー)、ストップ・ビットがロウ・レベルのとき (フレーミング・エラー)、または、受信バッファがフルで次のデータが受信バッファに転送されたとき (オーバラン・エラー) に、受信エラー・フラグがセットされ、受信エラー割り込み要求が発生します (11.6 参照)。

注 PRTY1 ビットはシリアル・モード・レジスタのビット5です。



### 11.3 I/Oインタフェース・モード

I/Oインタフェース・モードは $\mu$ COM-87のシリアル・インタフェースと同一のモードで、外部にI/Oを拡張する場合、あるいはI/Oコントローラ(A/Dコンバータ、液晶コントローラなど)を接続する場合に有効です。

I/Oインタフェース・モードの場合には、キャラクタ長8ビット固定、パリティ・ビットなしで、最上位ビット(MSB)よりデータ転送を行います。

I/Oインタフェース・モードはチャンネル0でのみ使用できます。

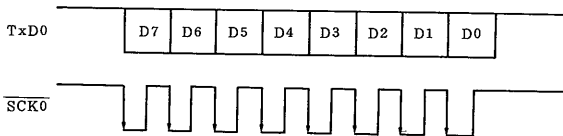
#### (1) 送信

シリアル・モード・レジスタのビット7(TxE)がセットされたとき、送信許可状態となります。I/Oインタフェース・モード時、 $\overline{\text{SCK0}}$ 端子が送信クロックの出力端子となります。送信クロックを外部から入力することはできません。

送信動作の起動には、アシンクロナス・モードと同様に次の3通りがあります。

- 送信バッファ(TxB0)が空の状態では送信許可状態に設定することにより、送信完了割り込み要求が発生させ、割り込み処理内で送信バッファへ送信データの書き込み動作を行います。
- 送信許可状態で送信バッファ(TxB0)に送信データを転送すると、1つ前の送信動作が終了後、この送信データの送信が連続して行われます。
- 送信禁止状態で送信バッファ(TxB0)にあらかじめ送信データを書き込んでおいて、その後、送信許可状態にすると、送信バッファ(TxB0)内に保持されていたデータが送信されます。

送信データのフォーマットは下図に示すとおりです。8ビット固定で最上位ビット(MSB)から送信されます。



送信完了割り込み要求は、送信バッファ(TxB0)が空になるとただちに発生します。

RESET入力により送信バッファ(TxB0)は空の状態になります。このとき、送信許可状態に設定すると送信完了割り込み要求が発生します。また、送信動作の開始により送信バッファ(TxB0)内の送信データがシフト・レジスタに転送されると送信バッファは空の状態となり、送信完了割り込み要求が発生します。

#### (2) 受信

シリアル・モード・レジスタ(SCM0)のビット6(RxE)がセット(1)されたとき受信許可状態となります。受信データは受信クロックの立ち上がりエッジでシリアル・レジスタに入力

されます。シリアル・レジスタが8ビットのデータを受信するとシリアル・レジスタから受信バッファ(RxB0)へデータを転送し、受信完了割り込み要求が発生します。

I/O インタフェース・モードにおける受信クロックは、シリアル・モード・レジスタ(SCM0)のビット2(RSCK)の指定で外部受信クロックと内部受信クロックの両方から選択できます。

また、I/O インタフェース・モード時は、 $\overline{\text{CTS0}}$ 端子が受信クロックの入出力端子として機能します。

受信時に、受信バッファ(RxB0)がフルで次のデータが受信バッファに転送されたとき(オーバーラン・エラー)、受信エラー・フラグがセットされ、受信エラー割り込み要求が発生します。

## 11.4 シリアル・モード・レジスタ(SCM0, SCM1)

SCM<sub>n</sub>レジスタ (n=0,1) は、シリアル・インタフェースの転送モードを指定する8ビット・レジスタで、チャンネル0 (SCM0)、チャンネル1 (SCM1) の両方にそれぞれ設定できます。SCM<sub>n</sub>のビット2からビット7の意味付けは、ビット1,0 (MD1, MD0) の指定によって異なります。

| 7 | 6 | 5 | 4 | 3 | 2 | 1   | 0   |
|---|---|---|---|---|---|-----|-----|
|   |   |   |   |   |   | MD1 | MD0 |

MD1, MD0=0,1 (アシンクロナス・モード)

|           | 7     | 6   | 5         | 4         | 3  | 2  | 1 | 0 |
|-----------|-------|-----|-----------|-----------|----|----|---|---|
| SCM0/SCM1 | TxRDY | RxE | PRTY<br>1 | PRTY<br>0 | CL | SL | 0 | 1 |

MD1, MD0=0,0 (I/Oインタフェース・モード)

|      | 7   | 6   | 5 | 4 | 3   | 2    | 1 | 0 |
|------|-----|-----|---|---|-----|------|---|---|
| SCM0 | TxE | RxE | 0 | 0 | TSK | RSCK | 0 | 0 |

MD1, MD0ビットは、シリアル・インタフェースの転送モードを指定するビット・フィールドです。MD1, MD0=0,1に設定するとアシンクロナス・モードとなり、MD1, MD0=0,0に設定すると、I/Oインタフェース・モードとなります。ただし、I/Oインタフェース・モードは、SCM0のみ設定できます。

8ビット操作または1ビット操作のメモリ・アクセスによって、これらのレジスタの書き込み/読み出しができます。

RESET入力で内容は00Hにクリアされます。

### (1) アシンクロナス・モード設定時

**RxE** 受信許可制御を行うビット

受信動作中に受信禁止状態 (RxE=0) にすると受信処理は中断され、受信完了の割り込みは発生しません。

**SL** ストップ・ビット数を指定するビット

SLビットが、リセット(0)されるとストップ・ビットは1ビット、セット(1)されると2ビットとなります。

**CL** キャラクタ長を指定するビット

CLビットが、リセット(0)されると7ビット長、セット(1)されると8ビット長となります。

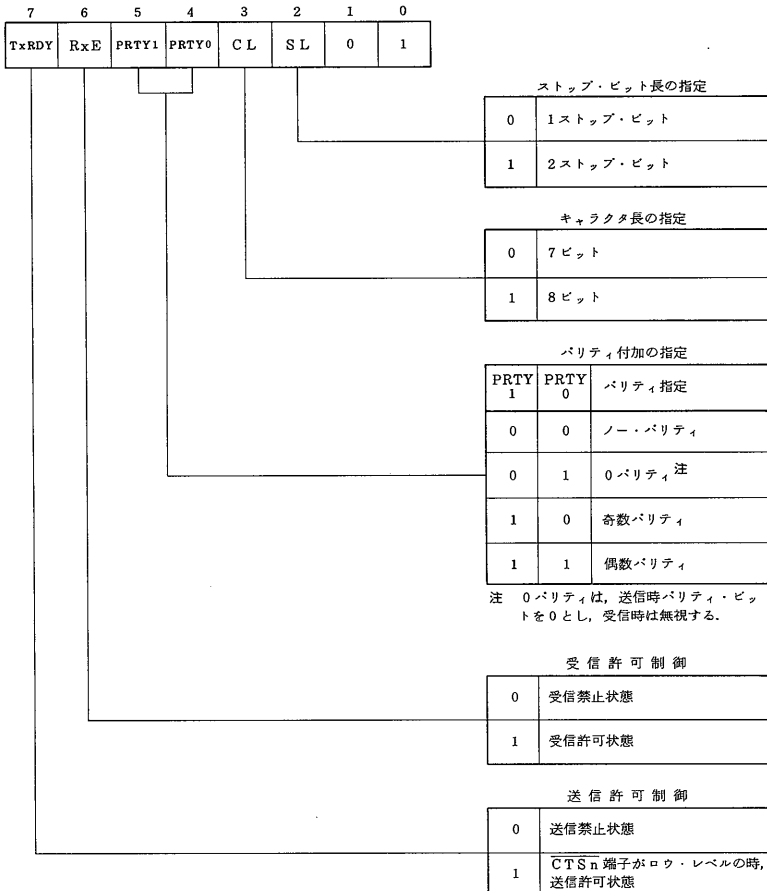
**PRTY0**, **PRTY1** パリティの付加を指定するビット

PRTY0, 1ビットは、パリティなし、奇数パリティ、偶数パリティ、0パリティの指定をします。0パリティは、パリティ・ビットを送信時“0”とし、受信時には無視します。

**TxRDY** 送信許可状態を制御するためのビット

CTS<sub>n</sub> 端子がロウ・レベルでかつ TxRDY=1 のとき、送信許可状態となります。

図 11-2 SCM0, SCM1 (アシンクロナス・モード設定時)



## (2) I/O インタフェース・モード設定時

**RSCK** シリアル受信クロックのソースを指定するビット

RSCK ビットがリセット (0) されると外部受信クロックで受信動作を行い、RSCK ビットがセット (1) されると内部受信クロックで受信動作を行います。受信クロックの入出力は、CTS0 端子によって行われます。

**TSK** 受信クロックの出力トリガ・ビット

RSCK ビットがセット (1) されているときのみ有効となり、TSK ビットに 1 を書き込むと 8 発の受信用シフト・クロックが CTS0 端子から出力されます。

シリアル・クロックが出力されると、このビットは自動的にリセット (0) されます。

**RxE** 受信許可制御を行うビット

RxE ビットがセット (1) されると受信許可状態となり、リセット (0) されると受信禁止状態となります。受信動作中に受信禁止状態にすると受信処理はその時点で中止され、受信完了制御込み要求は発生しません。

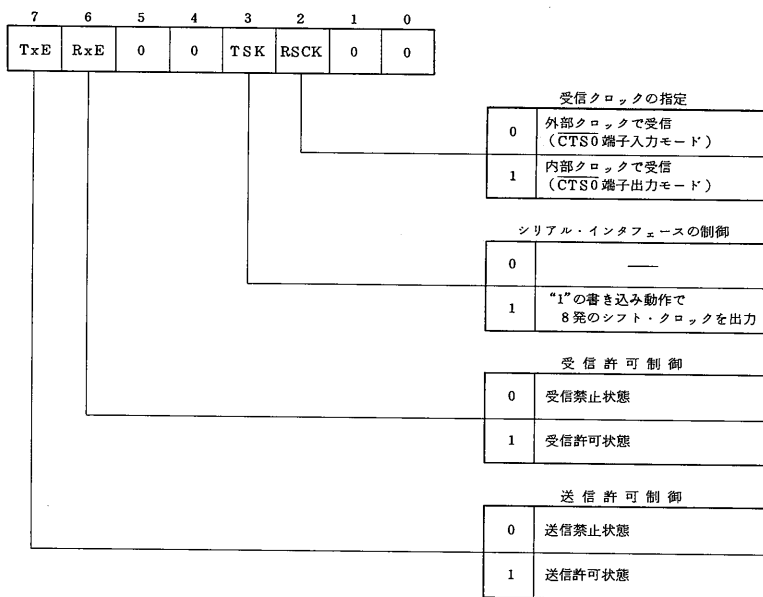
**TxE** 送信許可制御を行うビット

TxE ビットがセット (1) されると送信許可状態となり、リセット (0) されると、送信禁止状態となります。

送信許可状態 (TxE=1) で送信バッファに転送データを書き込むと、送信中であれば送信処理を完了してから、送信が行われていなければただちに、対応するシリアル送信を開始します。また、送信禁止状態 (TxE=0) で送信バッファに送信データを書き込むと、シリアル送信は行われず、送信バッファ内のデータはそのまま保持されます。その後、送信許可状態への切り替えと同時にバッファ内に保持されている送信データの送信処理が開始されます。

送信動作中に TxE ビットをリセット (0) (送信禁止状態) しても送信動作は最後まで行われます。ただし、禁止状態に設定した時点で、すでに送信バッファ内に次の送信データが格納されているときには、この送信データに対する次の送信が保留され、そのままバッファ内に保持されます。

図 11-3 SCM0 ( I/O インタフェース・モード設定時 )



## 11.5 ボー・レート・ジェネレータ

ボー・レート・ジェネレータは、送受信のシフト・クロックを発生するシリアル・インタフェース専用の8ビット・タイマです。各チャネルごとに、送信用ボー・レート・ジェネレータと受信用ボー・レート・ジェネレータを備えています。ボー・レートは送受信とも同じものを使用し、ボー・レート・ジェネレータ・レジスタ(BRG<sub>n</sub>)へ値を書き込んでボー・レートが決定します。ただし、ボー・レートは最大750 kbpsです。750 kbps以上のデータ送信/受信は、データ間に1クロック以上のアイドル時間を挿入することによって可能となります。

ボー・レート・ジェネレータへの入力クロックの指定は、シリアル制御レジスタ(SCC<sub>n</sub>)のPRS3-0でタイム・ベース・カウンタ(10.1参照)の出力タップを選択することによって行います。シリアル・インタフェースのシフト・クロックには、ボー・レート・ジェネレータの出力信号を用いています。ボー・レートと各パラメータの関係は次のとおりです。

$$B \cdot G = 10^6 \times \frac{f_{CLK}}{2^{n+1}}$$

ただし、各パラメータの定義を

B : 転送ボー・レート [bps]

B=110, 150, …… , 9600, 19200, ……

G : ボー・レート・ジェネレータ・レジスタ(BRG<sub>n</sub>)への設定値 (2 ≤ G ≤ 255)

n : シリアル制御レジスタで指定するボー・レート・ジェネレータへの入力クロック指定番号 (0 ≤ n ≤ 8)

CLK : システム・クロック周波数 [MHz]

とします。

10MHzのクリスタルを外付け使用した場合の、各標準ボー・レートに対するボー・レート・ジェネレータの設定値を表11-1に示します。

表 11-1 ポー・レート・ジェネレータの設定値（参考）

$$f_{CLK}=5\text{MHz}\left(=\frac{1}{2}f_X:f_X=10\text{MHz}\right)$$

| ポー・レート | n | BRGnレジスタ<br>設定値 G | 誤差 (%) |
|--------|---|-------------------|--------|
| 110    | 7 | 178               | 0.25   |
| 150    | 7 | 130               | 0.16   |
| 300    | 6 | 130               | 0.16   |
| 600    | 5 | 130               | 0.16   |
| 1200   | 4 | 130               | 0.16   |
| 2400   | 3 | 130               | 0.16   |
| 4800   | 2 | 130               | 0.16   |
| 9600   | 1 | 130               | 0.16   |
| 19200  | 0 | 130               | 0.16   |
| 38400  | 0 | 65                | 0.16   |
| 1.25 M | 0 | 2                 | 0      |

n：ポー・レート・ジェネレータへの入力クロックの指定番号

### 11.5.1 シリアル制御レジスタ（SCC0，SCC1）

SCCnレジスタ（n=0,1）は、シリアル・インタフェースの転送レートを制御するレジスタです。

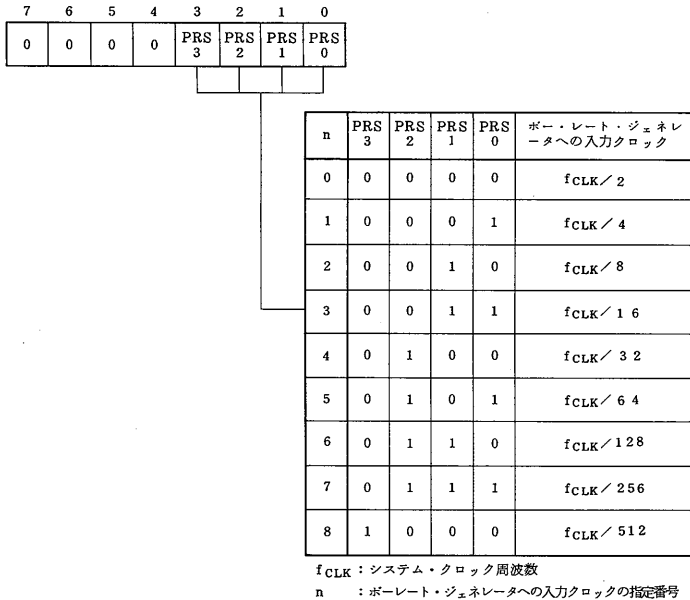
8ビット操作または1ビット操作のメモリ・アクセスによって、これらのレジスタの書き込み／読み出しができます。

RESET入力により、内容は00Hに初期化されます。

PRS3-0のビット・フィールドで、ポー・レート・ジェネレータに入力するタイム・ベース・カウンタの出力タップを指定します。



図 11-4 SCC0, SCC1



## 11.6 シリアル・エラー処理

シリアル・インタフェースの受信エラーを、以下の3種類、検出することができます。

- (a) パリティ・エラー (アシンクロナス・モード)  
パリティ演算結果と受信パリティが一致しない。
- (b) フレーミング・エラー (アシンクロナス・モード)  
ストップ・ビットが検出されない。
- (c) オーバラン・エラー (アシンクロナス・モード, I/Oインタフェース・モード)  
RxBから前の受信データを引き取る前に、次の受信が完了した。

### 11.6.1 シリアル・エラー・レジスタ (SCE0, SCE1)

各受信エラーに対応する3種類のエラー・フラグの状態を示す8ビット・レジスタです。チャネル0, 1の両方にそれぞれ用意されています。

8ビット操作のメモリ・アクセスによって、これらのレジスタの読み出しのみができます。

RESET入力で, SCE<sub>n</sub>の下位7ビット(ビット0-ビット6)は0に初期化されます。

各エラー・フラグは、次のデータ受信終了時に更新され、それまでは以前の内容が保持されます。

ERP<sub>n</sub> パリティ・エラー・フラグ

ERPフラグは、送信パリティと受信パリティが一致しないときにセット(1)され、次のデータ受信時に送信パリティと受信パリティが一致したときにリセット(0)されます。

**ERFn** フレーミング・エラー・フラグ

ERFフラグは、ストップ・ビットが検出されないときにセット(1)され、次のデータ受信時にストップ・ビットが検出されたときにリセット(0)されます。

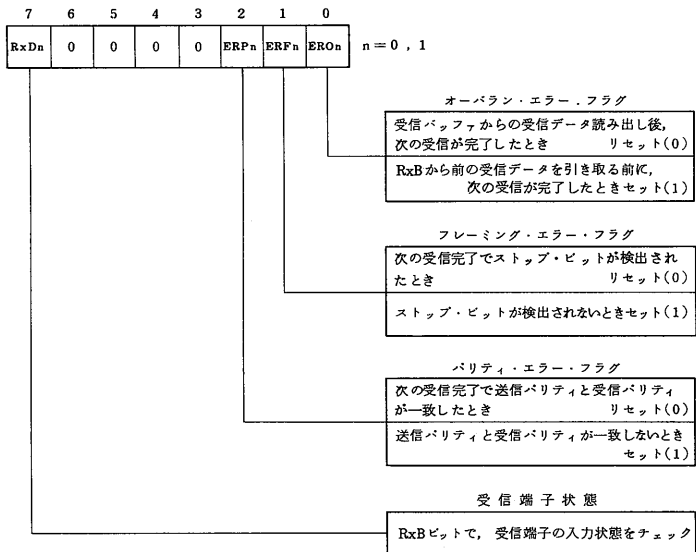
**EROn** オーバラン・エラー・フラグ

EROフラグは、RxBから前の受信データを引き取る前に、次の受信が完了したときにセット(0)され、受信バッファからの受信データ読み出し後のデータ受信終了時にリセット(0)されます。

**RxDn** RxBビットで、受信端子の入力状態をチェックするビット

このビットは、RxD端子のレベルがセットされます。

図 11-5 SCE0, SCE1



## 11.7 ブレーク検出機能

V25, V35 では、ソフトウェア処理で回線のブレーク状態を検出することができます（アシンクロナス・モードのみ）。以下にブレーク状態検出の手順を示します。

- (1) 1 回目のフレーミング・エラーによる受信エラー割り込みの発生

受信エラー処理ルーチン内で受信データをチェックし、00Hであることを確認します。

同時に受信エラー・フラグをチェックし、フレーミング・エラーであることを確認します。

- (2) 2回目のフレーミング・エラーによる受信エラー割り込みの発生

ブレーク状態のときは、再びフレーミング・エラーが発生します。

受信データが再び00Hであり、連続して00Hのデータを、フレーミング・エラーを伴いながら受信したということ、およびシリアル・エラー・レジスタ (SEICn) のビット7 (RxDn) を使用して直接端子状態を確認することで、回線がブレーク状態であると判断します。

## 11.8 シリアル・インタフェース割り込み要求

シリアル・インタフェースから発生する割り込み要求には、送信完了割り込み要求、受信完了割り込み要求、受信エラー割り込み要求の3種類が2チャンネルそれぞれに対応してあります。

### 11.8.1 割り込み要求制御レジスタ (SEICn, SRICn, STICn: n=0,1)

シリアル・インタフェースから発生する受信エラー割り込み要求 (SEFn), 受信完了割り込み要求 (SRFn), 送信完了割り込み要求 (STFn) の3本の割り込み要求を制御するレジスタです。

3つの割り込み要求制御レジスタが1グループを形成し、シリアル・インタフェース割り込み要求として優先順位指定を行うことができます。グループ内では、優先順位が次のように決まっています。

$$SEFn > SRFn > STFn$$

受信エラーが生じると、受信エラー割り込み要求が優先的に受け付けられます。これは、受信完了割り込みより優先順位が高いためです。その割り込み処理を終えると、受信完了割り込みを受け付けます。

図11-6 SEICn, SRICn, STICn (n=0,1)

|             | 7    | 6     | 5      | 4    | 3 | 2   | 1   | 0   |
|-------------|------|-------|--------|------|---|-----|-----|-----|
| SEIC0/SEIC1 | SEFn | SEMKn | MS/INT | ENCS | 0 | PR2 | PR1 | PR0 |
| SRIC0/SRIC1 | SRFn | SRMKn | MS/INT | ENCS | 0 | 1   | 1   | 1   |
| STIC0/STIC1 | STFn | STMKn | MS/INT | ENCS | 0 | 1   | 1   | 1   |

注意: SRICn と STICn のビット2-0は, “1” に固定されています。

SRICn と STICn の割り込み要求の優先順位は, SEICn の PR2-0 の設定に従います。

SEF, SRF<sub>n</sub>, STF<sub>n</sub> ビットは割り込み要求フラグで、それぞれ受信エラーの発生、受信完了、送信完了によってセット(1)され、割り込み要求の受け付け、またはソフトウェアによってリセット(0)されます。

その他のビット・フィールドについては、4.7 項を参照してください。

8 ビット操作または1 ビット操作のメモリ・アクセスによって、これらのレジスタの書き込み／読み出しができます。この場合、1 ウェイトが挿入されます。

SEIC<sub>n</sub>, SRIC<sub>n</sub>, STIC<sub>n</sub> の内容は、RESET 入力により、内容は 47H に初期化されます。

### 11.8.2 マクロ・サービス制御レジスタ (SRMS<sub>n</sub>, STMS<sub>n</sub>: n=0,1)

SRMS<sub>n</sub> は、シリアル・インタフェースの受信完了に伴うマクロ・サービス処理モードとチャネルを指定する 8 ビット・レジスタです。STMS<sub>n</sub> は、シリアル・インタフェースの送信完了に伴うマクロ・サービス処理モードとチャネルを指定する 8 ビット・レジスタです。SRMS<sub>n</sub>, STMS<sub>n</sub> は、シリアル・インタフェース 2 チャネルにそれぞれ対応しています。

8 ビット操作または1 ビット操作のメモリ・アクセスによって、これらのレジスタの書き込み／読み出しができます。この場合、1 ウェイトが挿入されます。

マクロ・サービス制御レジスタの各ビットについては、4.4.4 項を参照してください。

図 11-7 SRMS<sub>n</sub>, STMS<sub>n</sub> (n=0, 1)

| 7    | 6    | 5    | 4   | 3 | 2   | 1   | 0   |
|------|------|------|-----|---|-----|-----|-----|
| MSM2 | MSM1 | MSM0 | DIR | 0 | CH2 | CH1 | CH0 |

## 第12章 スタンバイ機能

V25, V35では、低消費電力化を図るスタンバイ機能として、動作クロックを制御する2つのモードがあります。

- HALT モード … CPUの動作クロックだけ停止させるモードです。ただし、CPUの各種ステータスとデータ、内部RAMの内容はすべて保持されます。周辺ハードウェアは動作を継続します。  
通常動作モードとの組み合わせによる間欠動作により、システムのトータル消費電力を低下させることができます。
- STOP モード … 発振器を停止させ、内部回路全体を停止させるモードです。  
超低消費電力で、しかも内部RAMの内容とポート上の出力データを保持します。

各モードの設定は、HALT命令、STOP命令によって行います。

### 12.1 スタンバイ・コントロール・レジスタ(STBC)

STBCレジスタは、スタンバイ・フラグ(SBF)を含む8ビット・レジスタです。上位7ビットは"0"に固定されています。

SBFフラグは、STOP状態からの復帰判定用に使用します。

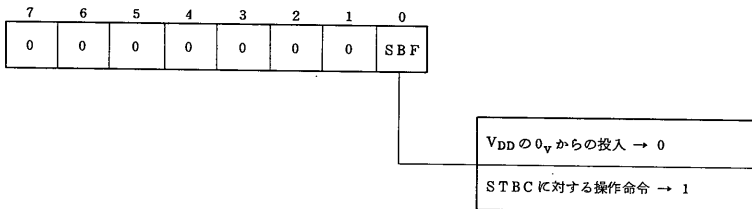
SBFフラグは命令でのみセット(1)されます。また、SBFフラグは、電源電圧( $V_{DD}$ )が0Vから立ち上がったときのみクリア(0)され、命令によってはクリア(0)されません。

そのため、SBFフラグをテストすることにより、電源投入時のリセット・スタート( $SBF=0$ )かSTOPモードからの復帰( $SBF=1$ 注)かを判別できます。

STBCレジスタは、RESET信号入力によっては初期化されません。

注 SBFフラグは、STOPモードに入る前にあらかじめセット(1)しておいてください。

図12-1 STBC



## 12.2 HALTモード

CPUの動作クロックを停止させるモードです。

CPUの空き時間にHALTモードに設定することにより、システム全体の消費電力を低減させることができます。HALT命令を実行することにより、HALT状態となります。

HALTモードでは、CPUクロックが停止しプログラムの実行は停止されますが、その直前のすべてのレジスタ、内蔵RAMの内容は保持されます。各ハードウェアの状態は表12-2のようになります。

### 12.2.1 HALTモードの解除

HALTモードは、ノンマスカブル割り込み(NMI)要求、マスクされていないマスカブル割り込み要求およびRESET入力によって解除されます(図12-2)。

なお、HALT命令の実行によりHALT状態に移った直後、マスクされていない割り込み要求やマクロ・サービス要求あるいはDMA要求があった場合、HALT命令の直後にある1命令を実行します。したがって、HALT命令の直後にはNOP命令を1つ以上置いてください。

さらにマクロ・サービス要求、またはDMA処理要求によって、HALTモードからマクロ・サービス、DMAの処理に入ります(図12-3)。マクロ・サービス、DMAの処理を終了すると、再びHALTモードに戻ります。ただし、マクロ・サービス、DMAの処理中、表12-1の条件になるとHALTモードを解除します。

#### (1) 割り込み要求による解除

##### (a) 割り込み処理ルーチンで、HALTモードにセットしたとき

処理中の割り込みよりも優先順位の高いマスクされていないマスカブル割り込み要求、またはノンマスカブル割り込み要求の発生により解除されます。

##### (b) (a)以外の場合

優先順位に関係なくノンマスカブル割り込み要求または、マスクされていないマスカブル割り込み要求の発生によって解除されます。

#### (2) RESET入力による解除

通常のリセット動作と同じです。

図12-2 割り込み要求によるHALTモードの解除

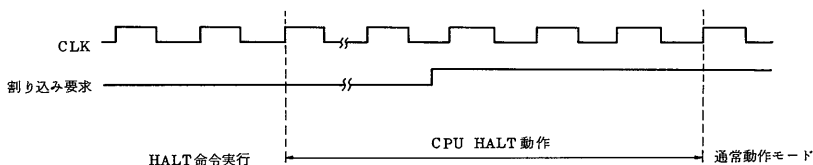


図 12-3 HALT モード中のマクロ・サービス/DMA の起動

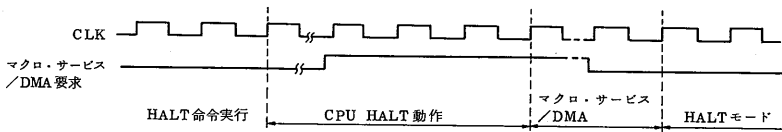


表 12-1 割り込み要求による HALT モード解除後の動作

| 解除ソース             | E 1 状 態                                                                                                                                                          | D 1 状 態                                                                                     |
|-------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------|
| ノンマスカブル<br>割り込み要求 | 解除後、ベクタ・アドレスに分岐します。                                                                                                                                              | 解除後、ベクタ・アドレスに分岐します。                                                                         |
| マスカブル<br>割り込み要求   | 解除後、ベクタ・アドレスに分岐します。                                                                                                                                              | 解除後、次の命令を実行します。                                                                             |
| マクロ・サービス<br>要求    | マクロ・サービスが起動し、マクロ・サービス・カウンタが 0 H になるか、またはキャラクタ・サーチ・モードで転送データが一致した場合、ベクタ・アドレスに分岐します。<br>マクロ・サービス・カウンタが 0 H とならない場合、またはキャラクタ・サーチ・モードで転送データが一致しない場合、再び HALT 状態になります。 | マクロ・サービスが起動し、マクロ・サービス・カウンタが 0 H になるか、またはキャラクタ・サーチ・モードで転送データが一致した場合、HALT モードを解除し、次の命令を実行します。 |
| DMA 要求            | DMA が起動し、ターミナル・カウンタが 0 H になるとベクタ・アドレスに分岐します。ターミナル・カウンタが 0 H とならない場合、再び HALT 状態になります。                                                                             | DMA が起動し、ターミナル・カウンタが 0 H になると HALT モードを解除し、次の命令を実行します。                                      |

## 12.3 STOPモード

発振器を停止させるモードです。

応用システム全体の停止時に有効で、超低消費電力を実現します。STOP命令を実行することにより、STOP状態となります。STOPモードでは、すべてのクロックが停止します。プログラムの実行は停止されますが、その直前のすべてのレジスタ、内蔵RAMの内容は保持されます。各ハードウェアの状態は表12-2のようになります。

注意 STOPモードでは、X1, X2端子は固定レベルになります。したがって、外部クロックを使用する場合、STOPモードを使用しないでください。STOPモードを使用する場合、クリスタル振動子またはセラミック発振子を使用してください。

### 12.3.1 STOPモードの解除

STOPモードは、NMI要求および、 $\overline{\text{RESET}}$ 入力により解除されます。

#### (1) NMI要求による解除 (図12-4)

NMI端子に有効エッジが入力されると、発振器が発振を再開します。また、タイム・ベース・カウンタ(TBC)も動作しはじめます。STOPモードを解除したのち、ただちにクロックの供給を行わず、TBCによる発振安定時間の計数後、クロック供給を開始します。TBCによる発振安定時間の計数は、プロセッサ・コントロール・レジスタ(PRC)のビット2, 3(TB0, 1)で指定されたインターバル時間の1/2になります(ただし、このときTBCから発生する割り込み要求は禁止されます)。

このインターバル時間の1/2は30ms以上になるように設定してください。

#### (2) $\overline{\text{RESET}}$ 入力による解除

通常のリセット動作と同じです。

図12-4 NMI端子入力によるSTOPモード

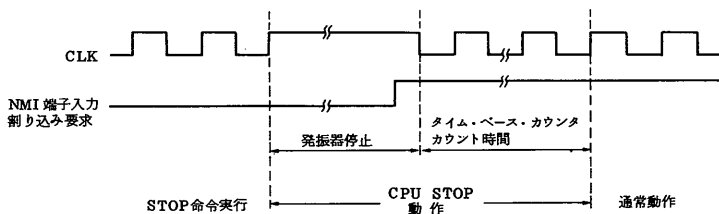




表 12-2 HALT モード / STOP モード

| 項 目          |        | HALT モード                                                                                                                                | STOP モード                                                                        |
|--------------|--------|-----------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------|
| 発 振 器        |        | 動 作                                                                                                                                     | 停 止                                                                             |
| 内部システム・クロック  |        | 停 止                                                                                                                                     |                                                                                 |
| 16ビット・タイマ    |        | 動 作                                                                                                                                     |                                                                                 |
| タイム・ベース・カウンタ |        |                                                                                                                                         |                                                                                 |
| HOLD回路       |        |                                                                                                                                         |                                                                                 |
| シリアル・インタフェース |        |                                                                                                                                         |                                                                                 |
| 割り込み要求コントローラ |        |                                                                                                                                         |                                                                                 |
| DMA コントローラ   |        |                                                                                                                                         |                                                                                 |
| I/O ライン      |        | 保 持                                                                                                                                     | 保 持                                                                             |
| バス・ライン       | A0-A19 | 保 持                                                                                                                                     | 保 持                                                                             |
|              | D0-D15 | ハイ・インピーダンス                                                                                                                              | ハイ・インピーダンス                                                                      |
| R/W 出力       |        | ハイ・レベル                                                                                                                                  | ハイ・レベル                                                                          |
| リフレッシュ動作     |        | 動作／停止                                                                                                                                   | 停 止                                                                             |
| デ ー タ 保 持    |        | CPUのステータス、RAMの内容等、内部データはすべて保持。                                                                                                          | CPUのステータス、RAMの内容等、内部データはすべて保持。                                                  |
| 解 除 方 法      |        | <ul style="list-style-type: none"><li>・ノンマスカブル割り込み要求</li><li>・マスカブル割り込み要求</li><li>・RESET入力</li><li>・マクロ・サービス要求注</li><li>・DMA注</li></ul> | <ul style="list-style-type: none"><li>・ノンマスカブル割り込み要求</li><li>・RESET入力</li></ul> |

注 マクロ・サービス, DMA の処理後は HALT モードに再び戻る.

## 第13章 リセット機能

RESET 入力端子にロウ・レベルが入力されると、システム・リセットがかかり各ハードウェアは表 13-1 に示すような状態になります。RESET 入力が高レベルになるとリセット状態が解除され、プログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

表 13-1 各ハードウェアのリセット後の状態

| ハードウェア (略号)     |                          | アドレス注<br>(下位 12 ビット: ××□□□H)   | リセット後の状態         |
|-----------------|--------------------------|--------------------------------|------------------|
| プログラム・カウンタ      |                          | PC                             | 0000H            |
| プログラム・ステータス・ワード |                          | PSW                            | F002H            |
| 内蔵 RAM          | データ・メモリ                  |                                | 不定               |
|                 | 汎用レジスタ                   | AW, CW, DW, BW, SP, BP, IX, IY | EFEH-EF0H        |
|                 | セグメント・レジスタ<br>(バンク 7 のみ) | DS1, SS, DS0                   | EEEE, EEAH, EE8H |
|                 |                          | PS                             | EECH             |
| ポート             | ポート・レジスタ                 | P0, P1, P2                     | F00H, F08H, F10H |
|                 |                          | PT                             | F38H             |
|                 | ポート・モード・レジスタ             | PM0, PM1, PM2                  | F01H, F09H, F11H |
|                 |                          | PMT                            | F3BH             |
|                 |                          | PMC0, PMC1, PMC2               | F02H, F0AH, F12H |
| タイマ・ユニット        | タイマ・レジスタ                 | TM0, TM1                       | F80H, F88H       |
|                 | モデューロ/タイマ・レジスタ           | MD0, MD1                       | F82H, F8AH       |
|                 | タイマ・コントロール・レジスタ          | TMC0, TMC1                     | F90H, F91H       |
|                 | 割り込み要求制御レジスタ             | TMIC0-TMIC2                    | F9CH-F9EH        |
| DMA コントローラ      | マクロ・サービスクontrolレジスタ      | TMMS0-TMMS2                    | F94H-F96H        |
|                 | DMA モード・レジスタ             | DMAM0, DMAM1                   | FA1H, FA3H       |
|                 | DMA コントロール・レジスタ          | DMAC0, DMAC1                   | FA0H, FA2H       |
|                 | 割り込み要求制御レジスタ             | DIC0, DIC1                     | FACH, FADH       |

注 アドレス上位 8 ビットの ×× は IDB レジスタで指定される値

表 13-1 各ハードウェアのリセット後の状態 (続き)

| ハードウェア (略号)          |                    |                    | アドレス注1<br>(下位12ビット:××□□□H) | リセット後の<br>状態 |
|----------------------|--------------------|--------------------|----------------------------|--------------|
| シリアル・<br>インタ<br>フェース | シリアル・モード・レジスタ      | SCM0, SCM1         | F68H, F78H                 | 00H          |
|                      | シリアル制御レジスタ         | SCC0, SCC1         | F69H, F79H                 | 00H          |
|                      | ボー・レート・ジェネレータ・レジスタ | BRG0, BRG1         | F6AH, F7AH                 | 00H          |
|                      | 受信バッファ・レジスタ        | RxB0, RxB1         | F60H, F70H                 | 不定           |
|                      | 送信バッファ・レジスタ        | TxB0, TxB1         | F62H, F72H                 | 不定           |
|                      | シリアル・エラー・レジスタ      | SCE0, SCE1         | F6BH, F7BH                 | 00H          |
|                      | 割り込み要求制御レジスタ       | (エラー) SEIC0, SEIC1 | F6CH, F7CH                 | 47H          |
|                      |                    | (受信) SRIC0, SRIC1  | F6DH, F7DH                 |              |
|                      |                    | (送信) STIC0, STIC1  | F6EH, F7EH                 |              |
|                      | マクロ・サービス制御レジスタ     | (受信) SRMS0, SRMS1  | F65H, F75H                 | 不定           |
|                      |                    | (送信) STMS0, STMS1  | F66H, F76H                 |              |
| タイマ・ベース割り込み要求制御レジスタ  | TBIC               | FECH               | 47H                        |              |
| ユーザ・フラグ・レジスタ         | FLAG               | FEAH               | 00H                        |              |
| 内部データ領域ベース・レジスタ      | IDB                | FFFH               | FFH                        |              |
| プロセッサ・コントロール・レジスタ    | PRC                | FEBH               | 4EH                        |              |
| ウェイト・コントロール・レジスタ     | WTC                | FE8H               | FFFFH                      |              |
| リフレッシュ・モード・レジスタ      | RFM                | FE1H               | FCH                        |              |
| スタンバイ・コントロール・レジスタ    | STBC               | FE0H               | 保持 注2                      |              |
| 外部<br>割り込み           | 外部割り込みモード・レジスタ     | INTM               | F40H                       | 00H          |
|                      | 割り込み要求制御レジスタ       | EXIC0-EXIC2        | F4CH-F4EH                  | 47H          |
|                      | マクロ・サービス制御レジスタ     | EMS0-EMS2          | F44H-F46H                  | 不定           |
| 割り込みプライオリティ・レジスタ     |                    | ISPR               | FFCH                       | 00H          |

注1. アドレス上位8ビットの××はIDBレジスタで指定される値

2. パワー・オン・リセット時: 00H

## 第14章 アドレス生成

### 14.1 命令アドレス

命令が実行されることに自動的にインクリメントされる以外に、命令の実行順を制御するいくつかの方法があります。それらを以下に示します。

#### 14.1.1 ダイレクト・アドレッシング

命令バイト中の2バイトまたは4バイト・イミディエト・データが直接PCまたはPSとPCの両方にロードされ、ブランチ・アドレスとなります。

次の命令を実行する際に用いられます。

```
CALL far-proc
CALL memptr16
CALL memptr32
BR far-label
BR memptr16
BR memptr32
```

#### 14.1.2 レラティブ・アドレッシング

命令バイト中の1バイトまたは2バイト・イミディエト・データが符号付きディスブレースメント値となってPCに加算され、ブランチ・アドレスとなります。

8ビット・ディスブレースメントのときは、符号拡張されて16ビット・データとなってPCに加算されます。

加算されるときPCの内容は、次の命令の先頭アドレスを示しています。

次の命令を実行する際に用いられます。

```
CALL near-proc
BR near-label
BR short-label
条件付きブランチ命令 short-label
```

#### 14.1.3 レジスタ・アドレッシング

命令バイト中のレジスタ指定フィールド(3ビット)で指定される任意の16ビット・レジスタの内容が、ブランチ・アドレスとしてPCにロードされます。

データの場合と異なり、8個のすべての16ビット・レジスタ(AW, BW, CW, DW, IX, IY,

SP, BP)を使用することができます。

次の命令を実行する際に用いられます。

#### 記述例

|               |         |
|---------------|---------|
| CALL regptr16 | CALL AW |
| BR regptr16   | BR BW   |

### 14.1.4 レジスタ・インダイレクト・アドレッシング

命令バイト中のレジスタ指定フィールドで指定される16ビット・レジスタ (IX, IY, BW) でアドレスされるメモリの内容 (ワードまたはダブルワード) がブランチ・アドレスとしてPC (またはPCとPSの両方) にロードされます。

#### 記述例

|               |                     |
|---------------|---------------------|
| CALL memptr16 | CALL WORD PTR [IX]  |
| CALL memptr32 | CALL DWORD PTR [IY] |
| BR memptr16   | BR WORD PTR [BW]    |
| BR memptr32   | BR DWORD PTR [IX]   |

備考 WORD PTRと指定されたものはmemptr16の命令コードが、DWORD PTRと指定されたものは memptr32 の命令コードが、アセンブラによって生成されます。

### 14.1.5 インデクスト・アドレッシング

命令バイト中の1バイトまたは2バイト・イミディエート・データが符号付きディスプレースメント値となって、インデクス・レジスタとして働く16ビット・レジスタ (IXまたはIY)に加算され、その結果がアドレスするメモリの内容 (ワードまたはダブルワード) がブランチ・アドレスとしてPCにロードされます。

次の命令を実行する際に用いられます。

#### 記述例

|               |                 |
|---------------|-----------------|
| CALL memptr16 | CALL var[IX][2] |
| CALL memptr32 | CALL var[IY]    |
| BR memptr16   | BR var[IY]      |
| BR memptr32   | BR var[IX+4]    |

備考 変数 var がワード属性を持つ場合は memptr16 の命令コードが、ダブルワード属性を持つ場合は memptr32 の命令コードがアセンブラによって生成されます。

### 14.1.6 ベースト・アドレッシング

命令バイト中の1バイトまたは2バイト・イミディエト・データが符号付きディスプレースメント値となって、ベース・レジスタとして働く16ビット・レジスタ（BPまたはBW）に加算され、その結果がアドレスするメモリの内容（ワードまたはダブルワード）がブランチ・アドレスとしてPCにロードされます。

次の命令を実行する際に用いられます。

#### 記述例

```
CALL memptr16    CALL var[BP+2]
CALL memptr32    CALL var[BP]
BR    memptr16    BR    var[BW][2]
BR    memptr32    BR    var[BP]
```

備考 変数 var がワード属性を持つ場合は `memptr16` の命令コードが、ダブルワードの属性を持つ場合は `memptr32` の命令コードがアセンブラによって生成されます。

### 14.1.7 ベースト・インデクスト・アドレッシング

命令バイト中の1バイトまたは2バイト・イミディエト・データが符号付きディスプレースメント値となり、この値とベース・レジスタとして働く16ビット・レジスタ（BPまたはBW）およびインデクス・レジスタとして働く16ビット・レジスタ（IXまたはIY）の3つが加算され、その結果がアドレスするメモリの内容（ワードまたはダブルワード）が、ブランチ・アドレスとしてPCにロードされます。

次の命令を実行する際に用いられます。

```
CALL memptr16
CALL memptr32
BR    memptr16
BR    memptr32
```

#### 記述例

```
CALL var[BP][IX]
CALL var[BW+2][IY]
BR    var[BW][2][IX]
BR    var[BP+4][IY]
```

備考 変数 var がワードの属性を持つ場合は `memptr16` の命令コードが、ダブルワードの属性を持つ場合は `memptr32` の命令コードがアセンブラによって生成されます。

## 14.2 メモリ・オペランド・アドレス

命令を実行する際に操作対象となるレジスタやメモリなどをアドレスする方法として、次に示すいくつかの方法があります。

### 14.2.1 レジスタ・アドレッシング

命令バイト中のレジスタ指定フィールド (`reg=3` ビット・フィールド, `sreg=2` ビット・フィールド) の内容が操作対象となるレジスタをアドレスします。

`reg` の場合は、同じく命令バイト中のワードかバイトかを指定する 1 ビット (`W`) と組みになって 8 種のワード・レジスタ (`AW, BW, CW, DW, BP, SP, IX, IY`) と 8 種のバイト・レジスタ (`AL, AH, BL, BH, CL, CH, DL, DH`) を指定します。

`sreg` の場合は、4 種のセグメント・レジスタ (`PS, SS, DS0, DS1`) を指定します。

また、命令のオペレーション・コードが特定のレジスタを指定する場合もあります。

次に示すオペランド記述形式を持つ命令を実行する際に用いられます。

| 記述形式                       | 記述方法                                                                                        |
|----------------------------|---------------------------------------------------------------------------------------------|
| <code>reg, reg'</code>     | <code>AW, BW, CW, DW, SP, BP, IX, IY,</code><br><code>AL, AH, BL, BH, CL, CH, DL, DH</code> |
| <code>reg16, reg16'</code> | <code>AW, BW, CW, DW, SP, BP, IX, IY</code>                                                 |
| <code>reg8, reg8'</code>   | <code>AL, AH, BL, BH, CL, CH, DL, DH</code>                                                 |
| <code>sreg</code>          | <code>PS, SS, DS0, DS1</code>                                                               |
| <code>acc</code>           | <code>AW, AL</code>                                                                         |

#### 記述例

```
MOV    reg, reg' の場合
MOV    BP, SP
MOV    AL, CL
```

### 14.2.2 イミディエト・アドレッシング

命令バイト中の 1 バイトまたは 2 バイト・イミディエト・データがそのまま操作対象となります。

次に示すオペランド記述形式を持つ命令を実行する際に用いられます。

| 記述形式                   | 記述方法                |
|------------------------|---------------------|
| <code>imm</code>       | 8/16 ビット・イミディエト・データ |
| <code>imm16</code>     | 16 ビット        "     |
| <code>imm8</code>      | 8 ビット         "     |
| <code>pop-value</code> | 16 ビット        "     |

imm の場合、8 ビットか 16 ビットかの区別は、オペランドに記述された imm の値または同時に記述される別のオペランドの属性をアセンブラが判断して決定し、ワード/バイト指定ビット W を決定します。

#### 記述例

MOV reg,imm の場合

MOV AL,5 ; バイト

MUL reg16,reg16',imm16 の場合

MUL AW,BW,1000H

### 14.2.3 ダイレクト・アドレッシング

命令バイト中のイミディエート・データが、操作対象となるメモリをアドレスします。

次のオペランド記述形式を持つ命令を実行する際に用いられます。

| 記述形式 | 記述方法                                  |
|------|---------------------------------------|
| mem  | 8 ビットまたは 16 ビット・メモリ・データを指定する 16 ビット変数 |
| dmem | #                                     |
| imm4 | ビット・フィールド・データのビット長を示す 4 ビット変数         |

#### 記述例

MOV mem,imm の場合

MOV WORD\_VAR,2000H

MOV acc,dmem の場合

MOV AL,BYTE\_VAR

### 14.2.4 レジスタ・インダイレクト・アドレッシング

命令バイト中のメモリ指定フィールド(mod,mem)によって指定される 16 ビット・レジスタ (IX,IY,BW) が、操作対象となるメモリをアドレスします。

次に示すオペランド記述形式を持つ命令を実行する際に用いられます。

| 記述形式 | 記述方法           |
|------|----------------|
| mem  | [IX],[IY],[BW] |

#### 記述例

SUB mem,reg の場合

SUB [IX],AW



## 14.2.5 オートインクリメント／デクリメント・アドレッシング

レジスタ・インダイレクト・アドレッシングに属するものですが、デフォルト・レジスタの内容で操作対象をアドレスした後、そのレジスタの内容を自動的にインクリメント／デクリメント（バイト処理なら+1/−1，ワード処理なら+2/−2）します。

つまり、このアドレッシング機能を用いれば、次のバイト／ワード・オペランド処理のためのアドレス更新が自動的に行われるわけです。

インクリメントとデクリメントの区別は、方向フラグ（DIR）によって行われ、DIR=0 ならインクリメント，0 ならデクリメントです。

このアドレッシングは、すべてデフォルト・レジスタに対して行われ、次に示すオペランド記述形式を持つ命令を実行する際に用いられます。

| 記述形式      | デフォルト・レジスタ |
|-----------|------------|
| dst-block | IY         |
| src-block | IX         |

このアドレッシングとバイト／ワード・オペランドのくり返し処理回数をカウントするカウンタ（CW）が組み合わされて、ブロック・データ処理の制御に用いられます。

## 14.2.6 インデクスト・アドレッシング

命令バイト中の1バイトまたは2バイト・イミディエート・データが符号付きディスプレースメント値となって、インデクス・レジスタとして働く16ビット・レジスタ（IXまたはIY）に加算され、その結果が操作対象となるメモリ・オペランドをアドレスします。

このアドレッシングは、アレイ・タイプのデータをアクセスするのに有効で、ディスプレースメントがアレイの開始アドレスを指し、インデクス・レジスタの内容がそこから何番目のアレイかを決定します。

次に示すオペランド記述形式を持つ命令を実行する際に用いられます。

| 記述形式  | 記述方法             |
|-------|------------------|
| mem   | var[IX], var[IY] |
| mem16 | #                |
| mem8  | #                |

### 記述例

```
TEST    mem, imm の場合
TEST    BYTE-VAR[IX], 7FH
TEST    BYTE-VAR[IX+8], 7FH
TEST    WORD-VAR[IX][8], 7FFFH
```

**備考** 変数 var がバイト属性を持つ場合はバイト・オペランドが指定され、ワード属性を持つ場合はワード・オペランドが指定され、それぞれに該当する命令コードがアセンブラによって生成されます。

## 14.2.7 ベース・アドレッシング

命令バイト中の1バイトまたは2バイト・イミディエート・データが符号付きディスプレースメント値となって、ベース・レジスタとして働く16ビット・レジスタ（BPまたはBW）に加算され、その結果が操作対象となるメモリ・オペランドをアドレスします。

このアドレッシングは、メモリの複数箇所に置かれる構造タイプのデータをアクセスするのに有効で、ベース・レジスタが各構造の開始アドレスを指し、ディスプレースメントが各構造内の1要素を選択します。

次に示すオペランド記述形式を持つ命令を実行する際に用いられます。

| 記述形式  | 記述方法             |
|-------|------------------|
| mem   | var[BP], var[BW] |
| mem16 | "                |
| mem8  | "                |

### 記述例

```
SHL    mem, 1 の場合
SHL    BYTE-Var[BP], 1
SHL    WORD-Var[BP+2], 1
SHL    BYTE-Var[BP][4], 1
```

**備考** 変数 var がバイト属性を持つ場合はバイト・オペランドが指定され、ワード属性を持つ場合はワード・オペランドが指定され、それぞれに該当する命令コードがアセンブラによって生成されます。

## 14.2.8 ベース・インデクスト・アドレッシング

命令バイト中の1バイトまたは2バイト・イミディエート・データが符号付きディスプレースメント値となり、この値とベース・レジスタとして働く16ビット・レジスタ（BPまたはBW）およびインデクス・レジスタとして働く16ビット・レジスタ（IXまたはIY）が加算され、その結果が操作対象となるメモリ・オペランドをアドレスします。

このアドレッシングは、ベース・レジスタの内容とインデクス・レジスタの内容を両方変化させて1つのデータを指すことができるため、アレイ・タイプを含んだ構造タイプのデータをアクセスするのに非常に有効です。すなわち、ベース・レジスタで各構造の先頭アドレスを指し、ディスプレースメント値がそこからアレイ・データの先頭アドレスまでのオフセット分を示し、アレイ・データの何番目かをインデクス・レジスタが指すということができます。

次に示すオペランド記述形式を持つ命令を実行する際に用いられます。

| 記述形式  | 記述方法                            |
|-------|---------------------------------|
| mem   | var [ ベース・レジスタ ] [ インデクス・レジスタ ] |
| mem16 | #                               |
| mem8  | #                               |

#### 記述例

```
PUSH    mem16の場合
PUSH    WORD-VAR[BP][IX]
PUSH    WORD-VAR[BP+2][IX+6]
PUSH    WORD-VAR[BP][4][IX][8]
```

### 14.2.9 ビット・アドレッシング

命令バイト中の3/4ビット・イミディエート・データまたはCLレジスタの下位3/4ビットが操作対象の8/16ビット・レジスタまたはメモリの1つのビットを指定します。

このアドレッシングを用いた命令によれば、レジスタ/メモリの特定の1ビットだけを、ほかのビット内容を意識せずにテスト(0, 1の判定)/セット/クリア/反転することができます。つまり、AND命令やOR命令を使用してセット、リセットするときのように、1ビットを操作するのにバイト/ワード・データを用意しなければならないということは起こりません。

次に示すオペランド記述形式を持つ命令を実行する際に用いられます。

| 記述形式 | 記述方法            |
|------|-----------------|
| imm4 | ワード・オペランドのビット番号 |
| imm3 | バイト・オペランドのビット番号 |
| CL   | CL              |

#### 記述例

```
TEST1   reg8, CL
TEST1   AL, CL
NOT1     reg8, imm3
NOT1     CL, 5
CLR1     mem16, CL
CLR1     WORD-VAR[IX], CL
SET1     mem16, imm4
SET1     WORD-VAR[BP], 9
```

### 14.2.10 特殊機能レジスタ・アドレッシング

命令バイト中の1バイト・イミディエト・データが特殊機能レジスタ領域の先頭からのオフセット（符号なし）となって、操作対象となる特殊機能レジスタをアドレスします。

このアドレッシング・モードはBTCLR命令にのみ適用されます。

記述形式      記述方法

sfr            8ビット特殊機能レジスタを指定する8ビット変数

記述例

BTCLR EXIC, 7, 45

備考 特殊機能レジスタはメモリ空間にマッピングされており、 $\times\times F00H \sim \times\times FFFH$ までの領域にあります（ $\times\times$ はIDBレジスタの値）。詳細は3.4.3特殊機能レジスタ領域の項参照。

## 第15章 命令の説明

V25, V35の命令セットは,  $\mu$ PD70108, 70116のネイティブ・モード時と上位互換性を持ちます.

### 15.1 $\mu$ PD70108, 70116に対する追加命令

$\mu$ PD70108, 70116 に対し, V25, V35で新しく追加した命令を以下に列記します.

#### (1) 条件付きブランチ命令

○ BTCLR.....特殊機能レジスタのビット・テスト命令

BTCLRの実行により, 対象となる特殊機能レジスタのビットの状態が1の場合, そのビットをリセット(0)し, オペランドに記述した short-label へ分岐します. 対象ビットが0の場合, 次の命令に移ります.  
なお, PSWは変化しません.

(記述形式)

| ニモニック | オペランド         |               |             |
|-------|---------------|---------------|-------------|
|       | 特殊機能レジスタのアドレス | 特殊機能レジスタのアドレス | 分岐先         |
| BTCLR | sfr           | imm 3         | short-label |

#### (2) 割り込み命令

○ RETRBI.....レジスタ・バンクの復帰命令

レジスタ・バンク切り替え機能を使用した割り込み処理ルーチンから, 復帰するときに使用します. ベクタ割り込みからの復帰には使用できません.

(記述形式)

| ニモニック  | オペランド |
|--------|-------|
| RETRBI | なし    |

○ FINT.....割り込みコントローラに対して割り込み処理を終了したことを示す命令  
NMI, INT, ソフトウェア割り込みを除く割り込み処理からの復帰命令の前に実行してください. NMI, INT, ソフトウェア割り込みでは使用しないでください.

(記述形式)

| ニモニック | オペランド |
|-------|-------|
| FINT  | なし    |

### (3) CPU 命令

○STOP……………STOP 状態への移行命令

(記述形式)

| ニモニック | オペランド |
|-------|-------|
| STOP  | な し   |

### (4) レジスタ・バンク切り替え命令

○BRKCS……………レジスタ・バンクを切り替える命令

BRKCS の実行により、レジスタ・バンクがオペランドに記述した 16 ビット・レジスタの内容の下位 3 ビットで示されるレジスタ・バンクに切り替わります。また、新しいレジスタ・バンク内にあらかじめストアしておいた PS とベクタ PC から得られるアドレスに分岐します。

新しいレジスタ・バンクからの復帰には、RETRBI 命令を使用します。

(記述形式)

| ニモニック | オペランド |
|-------|-------|
| BRKCS | reg16 |

○TSKSW……………レジスタ・バンクを切り替える命令

BRKCS 命令と同様にレジスタ・バンクを切り替え、新しいレジスタ・バンク内にあらかじめストアしておいた PS と PC 退避エリアから得られるアドレスに分岐します。

(記述形式)

| ニモニック | オペランド |
|-------|-------|
| TSKSW | reg16 |

### (5) データ転送命令

○MOVSPA<sup>注</sup>……………SS, SP の転送命令

レジスタ・バンクの切り替わる前の SS, SP の値を、現在 (切り替え後) のレジスタ・バンクの SS, SP に転送します。

(記述形式)

| ニモニック  | オペランド |
|--------|-------|
| MOVSPA | な し   |

注 付録 E を参照してください。

○MOVSPB……………SS, SP の転送命令

現在 (切り替え前) のレジスタ・バンクの SS, SP の値を、オペランドに記述した 16 ビット・レジスタの内容の下位 3 ビットで示される切り替え先のレジスタ・バンクの SS, SP に転送します。

( 記述形式 )

| ニモニック  | オペランド |
|--------|-------|
| MOVSPB | reg16 |

その他、 $\mu$ PD70108,70116の命令セットに対して、V25,V35では使用上注意すべき命令セットがあります。

- 入出力命令, プリミティブ入出力命令

PSWの $\overline{\text{IBRK}}$ フラグがリセット(0)されていると命令を実行せず割り込みが発生します。

実行前に $\overline{\text{IBRK}}$ フラグをセット(1)してください。

- F P O

命令を実行せず、割り込みが発生します。

## 15.2 命令のオペレーション

表 15-1 オペランド・タイプの凡例

| 識 別 子         | 説 明                               |
|---------------|-----------------------------------|
| reg, reg'     | 8 / 16 ビット汎用レジスタ                  |
| reg, reg8'    | 8 ビット汎用レジスタ                       |
| reg16, reg16' | 16 ビット汎用レジスタ                      |
| mem           | 8 / 16 ビット・メモリ・アドレス               |
| mem8          | 8 ビット・メモリ・アドレス                    |
| mem16         | 16 ビット・メモリ・アドレス                   |
| mem32         | 32 ビット・メモリ・アドレス                   |
| sfr           | 8 ビット特殊機能レジスタ・ロケーション              |
| dmem          | 16 ビット・ダイレクト・メモリ・アドレス             |
| imm           | 8 / 16 ビット・イミディエイト・データ            |
| imm3          | 3 ビット・イミディエイト・データ                 |
| imm4          | 4 ビット・イミディエイト・データ                 |
| imm8          | 8 ビット・イミディエイト・データ                 |
| imm16         | 16 ビット・イミディエイト・データ                |
| acc           | アキュムレータ AW または AL                 |
| sreg          | セグメント・レジスタ                        |
| src-table     | 256 バイト翻訳テーブルの名称                  |
| src-block     | レジスタ IX でアドレスされるソース・ブロックの名称       |
| dst-block     | レジスタ IY でアドレスされるデスティネーション・ブロックの名称 |
| near-proc     | 現在のプログラム・セグメント内のプロシージャ            |
| far-proc      | 別のプログラム・セグメント内のプロシージャ             |
| near-label    | 現在のプログラム・セグメント内のラベル               |
| short-label   | 命令の終わりから -128 ~ +127 バイトの範囲のラベル   |
| far-label     | 別のプログラム・セグメント内のラベル                |



表 15-1 オペランド・タイプの凡例 ( 続き )

| 識 別 子      | 説 明                                                         |
|------------|-------------------------------------------------------------|
| regptr16   | 現在のプログラム・セグメント内のコール・アドレスのオフセットを持つ<br>16ビット汎用レジスタ            |
| memptr16   | 現在のプログラム・セグメント内のコール・アドレスのオフセットを持つ<br>16ビット・メモリ・アドレス         |
| memptr32   | 別のプログラム・セグメント内のコール・アドレスのオフセットとセグメント・データを持つ32ビット・メモリ・アドレス    |
| pop-value  | スタックから捨てるバイト数 ( 0 - 64 K, 通常は偶数 )                           |
| fp-op      | 外部の浮動小数点演算チップの命令コードを判別するイミディエイト値                            |
| R          | レジスタ・セット ( AW, BW, CW, DW, SP, BP, IX, IY )                 |
| DS1-spec   | DS1, または DS1 に ASSUME してあるセグメント名 / グループ名                    |
| Seg-spec   | 任意のセグメント・レジスタ名, またはセグメント・レジスタに<br>ASSUME してあるセグメント名 / グループ名 |
| [        ] | 省略可能                                                        |

表 15-2 命令語形式の凡例

| 識 別 子         | 説 明                                             |
|---------------|-------------------------------------------------|
| W             | ワード / バイト 指定ビット ( 1 : ワード, 0 : バイト )            |
| reg, reg'     | 8 / 16ビット汎用レジスタ指定ビット ( 000-111 )                |
| mod, mem      | メモリ・アドレッシング指定ビット ( mod : 00-10, mem : 000-111 ) |
| ( disp-low )  | オプション16ビット・ディスプレースメント下位バイト                      |
| ( disp-high ) | " 上位バイト                                         |
| disp-low      | PCレラティブ加算用16ビット・ディスプレースメント下位バイト                 |
| disp-high     | " 上位バイト                                         |
| imm3          | 3ビット・イミディエイト・データ                                |
| imm4          | 4ビット "                                          |
| imm8          | 8ビット "                                          |
| imm16-low     | 16ビット・イミディエイト・データの下位バイト                         |
| imm16-high    | " 上位バイト                                         |
| addr-low      | 16ビット・ダイレクト・アドレスの下位バイト                          |
| addr-high     | " 上位バイト                                         |
| sreg          | セグメント・レジスタ指定ビット ( 00-11 )                       |
| s             | サイン拡張指定ビット ( 1 : サイン拡張あり, 0 : サイン拡張なし )         |

表 15-2 命令語形式の凡例 ( 続き )

| 識 別 子          | 説 明                              |
|----------------|----------------------------------|
| offset-low     | PCにロードされる16ビット・オフセット・データの下位バイト   |
| offset-high    | ” 上位バイト                          |
| seg-low        | PSにロードされる16ビット・セグメント・データの下位バイト   |
| seg-high       | ” 上位バイト                          |
| pop-value-low  | スタックの捨てるバイト数を指定する16ビット・データの下位バイト |
| pop-value-high | ” 上位バイト                          |
| disp8          | PCにレラティブ加算される8ビット・ディスプレースメント     |
| X              | 外部浮動小数点演算チップ用のオペレーション・コード        |
| XXX            |                                  |
| YYY            |                                  |
| ZZZ            |                                  |

表 15-3 命令機能説明上の凡例

| 識 別 子 | 説 明                          |
|-------|------------------------------|
| AW    | アキュムレータ ( 16ビット )            |
| AH    | ” ( 上位バイト )                  |
| AL    | ” ( 下位バイト )                  |
| BW    | レジスタ BW ( 16ビット )            |
| CW    | レジスタ CW ( ” )                |
| CL    | ” ( 下位バイト )                  |
| DW    | レジスタ DW ( 16ビット )            |
| SP    | スタック・ポインタ ( 16ビット )          |
| PC    | プログラム・カウンタ ( 16ビット )         |
| PSW   | プログラム・ステータス・ワード ( 16ビット )    |
| IX    | インデクス・レジスタ ( ソース ) ( 16ビット ) |
| IY    | ” ( デスティネーション ) ( 16ビット )    |
| PS    | プログラム・セグメント・レジスタ ( 16ビット )   |
| DS1   | データ・セグメント1・レジスタ ( 16ビット )    |
| DS0   | データ・セグメント0・レジスタ ( 16ビット )    |
| SS    | スタック・セグメント・レジスタ ( 16ビット )    |
| AC    | 補助キャリー・フラグ                   |
| CY    | キャリー・フラグ                     |
| P     | パリティ・フラグ                     |
| S     | サイン・フラグ                      |

表 1 5 - 3 命令機能説明上の凡例（続き）

| 識 別 子     | 説 明                             |
|-----------|---------------------------------|
| Z         | ゼロ・フラグ                          |
| DIR       | 方向フラグ                           |
| IE        | 割り込み許可フラグ                       |
| V         | オーバーフロー・フラグ                     |
| BRK       | ブレーク・フラグ                        |
| (…)       | ( ) 内で示されるメモリの内容                |
| disp      | ディスプレースメント ( 8/16 ビット )         |
| temp      | テンポラリ・レジスタ ( 8/16/32 ビット )      |
| ext-disp8 | 8 ビット・ディスプレースメントをサイン拡張した 16 ビット |
| seg       | イミーディエト・セグメント・データ ( 16 ビット )    |
| offset    | イミーディエト・オフセット・データ ( 16 ビット )    |
| ←         | 転送方向                            |
| +         | 加 算                             |
| -         | 減 算                             |
| ×         | 乗 算                             |
| ÷         | 除 算                             |
| ℳ         | モデュロ                            |
| ∧         | 論理積                             |
| ∨         | 論理和                             |
| ⊄         | 排他的論理和                          |
| ××H       | 16 進数 2 けたの数値                   |
| ××××H     | 16 進数 4 けたの数値                   |

表 1 5 - 4 フラグの動作の凡例

| 識 別 子    | 説 明                |
|----------|--------------------|
| ( ブランク ) | 変化なし               |
| 0        | 0 にクリアされる          |
| 1        | 1 にセットされる          |
| ×        | 結果に従ってセットまたはクリアされる |
| U        | 不 定                |
| R        | 以前に退避した値がリストアされる   |

表 15-5 メモリ・アドレッシング

| mem \ mod | 0 0        | 0 1          | 1 0           |
|-----------|------------|--------------|---------------|
| 0 0 0     | BW+IX      | BW+IX+disp 8 | BW+IX+disp 16 |
| 0 0 1     | BW+IY      | BW+IY+disp 8 | BW+IY+disp 16 |
| 0 1 0     | BP+IX      | BP+IX+disp 8 | BP+IX+disp 16 |
| 0 1 1     | BP+IY      | BP+IY+disp 8 | BP+IY+disp 16 |
| 1 0 0     | IX         | IX+disp 8    | IX+disp 16    |
| 1 0 1     | IY         | IY+disp 8    | IY+disp 16    |
| 1 1 0     | ダイレクト・アドレス | BP+disp 8    | BP+disp 16    |
| 1 1 1     | BW         | BW+disp 8    | BW+disp 16    |

表 15-6 8/16ビット汎用レジスタの選択

| reg, reg' | W = 0 | W = 1 |
|-----------|-------|-------|
| 0 0 0     | AL    | AW    |
| 0 0 1     | CL    | CW    |
| 0 1 0     | DL    | DW    |
| 0 1 1     | BL    | BW    |
| 1 0 0     | AH    | SP    |
| 1 0 1     | CH    | BP    |
| 1 1 0     | DH    | IX    |
| 1 1 1     | BH    | IY    |

表 15-7 セグメント・レジスタの選択

| sreg |      |
|------|------|
| 0 0  | DS 1 |
| 0 1  | PS   |
| 1 0  | SS   |
| 1 1  | DS 0 |

## クロック数

メモリ・オペランドの場合、クロック数がアドレッシング・モードにより異なるため、命令の説明のクロック数の項で「EA」と書かれている分について次に示す数値を適用してください。

| mod<br>mem | 0 0 | 0 1 | 1 0 |
|------------|-----|-----|-----|
| 0 0 0      | 3   | 3   | 4   |
| 0 0 1      | 3   | 3   | 4   |
| 0 1 0      | 3   | 3   | 4   |
| 0 1 1      | 3   | 3   | 4   |
| 1 0 0      | 3   | 3   | 4   |
| 1 0 1      | 3   | 3   | 4   |
| 1 1 0      | 3   | 3   | 4   |
| 1 1 1      | 3   | 3   | 4   |

また、「T」はウェイト・ステート数を示します。「0」（ウェイトなし）から任意のウェイト・ステート数を適用してください。

## 15.3 データ転送命令

### 15.3.1 MOV(Move)

(1) レジスタからレジスタへ

① 記述形式

MOV reg, reg'

② 命令語形式

|   |   |     |      |   |   |   |   |
|---|---|-----|------|---|---|---|---|
| 7 | 6 | 5   | 4    | 3 | 2 | 1 | 0 |
| 1 | 0 | 0   | 0    | 1 | 0 | 1 | W |
| 1 | 1 | reg | reg' |   |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg ← reg'

第1オペランドで指定される8/16ビット・レジスタに、第2オペランドで指定される8/16ビット・レジスタの内容を転送します。

⑦ フラグの動作

なし

⑧ 記述例

MOV AL, BL

MOV AW, BW

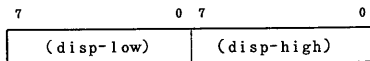
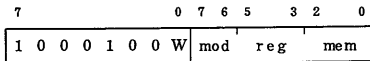
MOV SP, BP

(2) レジスタからメモリへ

① 記述形式

MOV mem, reg

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+4+T          | EA+2            | EA+6+2・T        | EA+2            |
| V35 | EA+5+T          |                 | EA+5+T          |                 |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

(mem) ← reg

第1オペランドで指定される8 / 16ビット・メモリに、第2オペランドで指定される8 / 16ビット・レジスタの内容を転送します。

⑦ フラグの動作

なし

⑧ 記述例

・メモリ0:50Hに55Hを書く動作

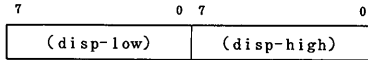
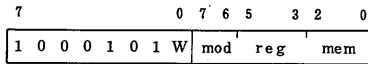
```
MOV AW, 0
MOV DS1, AW
MOV IY, 50H
MOV DL, 55H
MOV DS1:[IY], DL
```

③ メモリからレジスタへ

① 記述形式

MOV reg, mem

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|       | バ イ ト 処 理          |                    | ワ ー ド 処 理          |                    |
|-------|--------------------|--------------------|--------------------|--------------------|
|       | 内蔵 R A M<br>アクセス許可 | 内蔵 R A M<br>アクセス禁止 | 内蔵 R A M<br>アクセス許可 | 内蔵 R A M<br>アクセス禁止 |
| V 2 5 | EA+6+T             | EA+6+T             | EA+8+2・T           | EA+8+2・T           |
| V 3 5 | EA+7+T             | EA+7+T             | EA+7+T             | EA+7+T             |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

reg ← (mem)

第1オペランドで指定される8 / 16ビット・レジスタに、第2オペランドで指定される8 / 16ビット・メモリの内容を転送します。

⑦ フラグの動作

なし

⑧ 記述例

- ・スタックの内容からパラメータを受け取る動作

MOV BP, SP

MOV DL, [BP+4]

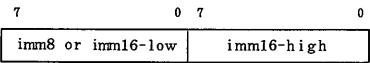
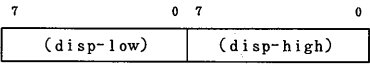
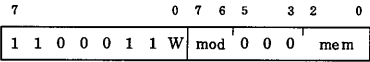


(4) イミディエト・データをメモリへ

① 記述形式

MOV mem, imm

② 命令語形式



③ バイト数

3 / 4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+5+T          | EA+5+T          | EA+5+2・T        | EA+5+2・T        |
| V35 | EA+6+T          | EA+6+T          | EA+6+T          | EA+6+T          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

(mem) ← imm

第1オペランドでアドレスされる8 / 16ビット・メモリに、第2オペランドで指定される8 / 16イミディエト・データを転送します。

⑦ フラグの動作

なし

⑧ 記述例

・メモリ0 : 50Hに55Hを書く動作

```
MOV AW, 0
MOV DS1, AW
MOV IY, 50H
MOV DS1:BYTE PTR[IX], 55H
```

(5) イミディエト・データをレジスタへ

① 記述形式

MOV reg, imm

② 命令語形式

|   |   |   |   |   |     |                   |            |
|---|---|---|---|---|-----|-------------------|------------|
| 7 | 3 | 2 | 0 | 7 | 0   | 7                 | 0          |
| 1 | 0 | 1 | 1 | W | reg | imm8 or imm16-low | imm16-high |

③ バイト数

2 / 3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg ← imm

第1オペランドで指定される8 / 16ビット・レジスタに、第2オペランドで指定される8 / 16イミディエト・データを転送します。

⑦ フラグの動作

なし

⑧ 記述例

- ・ DS1の内容をゼロに変える動作

MOV AW, 0

MOV DS1, AW

(6) メモリからアキュムレータへ

① 記述形式

MOV acc, dmem

② 命令語形式

|                 |          |           |   |
|-----------------|----------|-----------|---|
| 7               | 0 7      | 0 7       | 0 |
| 1 0 1 0 0 0 0 W | addr-low | addr-high |   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 9+T             | 9+T             | 11+2・T          | 11+2・T          |
| V35 | 10+T            | 10+T            | 10+T            | 10+T            |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

W=0のとき AL←(dmem)

W=1のとき AW←(dmem+1, dmem)

第1オペランドで指定されるアキュムレータ(AL/AW)に、第2オペランドでアドレスされるメモリの内容を転送します。

⑦ フラグの動作

なし

⑧ 記述例

- ・メモリ0:50HのBYTE DATAをALに転送する動作

```
MOV AW, 0
MOV DS1, AW
MOV IX, 50H
MOV AL, DS1:BYTE PTR[IX]
```

(7) アキュムレータからメモリへ

① 記述形式

MOV dmem,acc

② 命令語形式

|                 |          |           |   |
|-----------------|----------|-----------|---|
| 7               | 0 7      | 0 7       | 0 |
| 1 0 1 0 0 0 1 W | addr-low | addr-high |   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 7+T             | 5               | 9+2・T           | 5               |
| V35 | 8+T             |                 | 8+T             |                 |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

W=0のとき (dmem)←AL

W=1のとき (dmem+1,dmem)←AW

第1オペランドでアドレスされる8/16ビット・メモリに、第2オペランドで指定されるアキュムレータ(AL/AW)の内容を転送します。

⑦ フラグの動作

なし

⑧ 記述例

- ・ALの内容を0:50Hに転送する動作

```
PUSH AW
MOV AW, 0
MOV DS1:AW
MOV IY, 50H
POP AW
MOV DS1:[IY], AL
```

(8) レジスタからセグメント・レジスタへ

① 記述形式

MOV sreg, reg16

② 命令語形式

|   |   |   |      |     |   |   |   |
|---|---|---|------|-----|---|---|---|
| 7 | 0 | 7 | 5    | 4   | 3 | 2 | 0 |
| 1 | 0 | 0 | 0    | 1   | 1 | 1 | 0 |
| 1 | 1 | 0 | sreg | reg |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 4               | 4               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

sreg←reg16

第1オペランドで指定されるセグメント・レジスタ（PSを除く）に、第2オペランドで指定される16ビット・レジスタの内容を転送します。

⑦ フラグの動作

なし

⑧ 記述例

- ・DI1の内容にゼロを転送する動作

MOV AW, 0

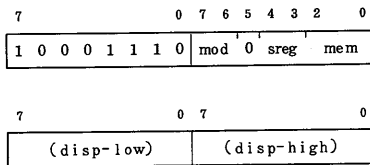
MOV DS1, AW

(9) メモリからセグメント・レジスタへ

① 記述形式

MOV sreg,mem16

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+10+2・T       | EA+10+2・T       |
| V35 |                 |                 | EA+9+T          | EA+9+T          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

sreg ← (mem16)

第1オペランドで指定されるセグメント・レジスタ(PSを除く)に、第2オペランドでアドレスされる16ビット・メモリの内容を転送します。

⑦ フラグの動作

なし

⑧ 記述例

・データ・セグメント内のDS0:50HのWORD DATAをDS1へ

MOV IX, 50H

MOV DS1, WORD PTR[IX]

(10) セグメント・レジスタからレジスタへ

① 記述形式

MOV reg16, sreg

② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |      |     |   |   |  |   |
|---|---|---|---|---|---|---|---|---|---|---|------|-----|---|---|--|---|
| 7 |   |   |   |   |   |   |   | 0 | 7 | 6 | 5    | 4   | 3 | 2 |  | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | sreg | reg |   |   |  |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 3               | 3               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16 ← sreg

第1オペランドで指定される16ビット・レジスタに、第2オペランドで指定されるセグメント・レジスタの内容を転送します。

⑦ フラグの動作

なし

⑧ 記述例

- ・DS0の内容をDS1に転送

MOV AW, DS0

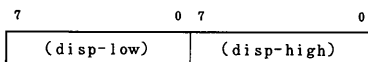
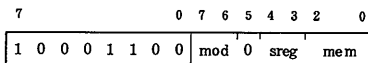
MOV DS1, AW

(11) セグメント・レジスタからメモリへ

① 記述形式

MOV mem16, sreg

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バイト 処 理         |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+7+2・T        | EA+3            |
| V35 |                 |                 | EA+6+T          |                 |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

(mem16) ← sreg

第1オペランドでアドレスされる16ビット・メモリに、第2オペランドで指定されるセグメント・レジスタの内容を転送します。

⑦ フラグの動作

なし

⑧ 記述例

・ベクタ・テーブル0:100HにINTRPTという割り込みルーチンのスタート・アドレスを転送する。

```
MOV AW, 0
MOV DS1, AW
MOV BW, 100H
LDEA AW, INTRPT
MOV DS1:[BW], AW
```

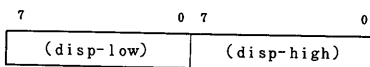
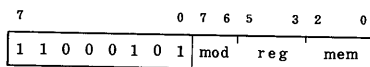


(12) 32ビット・メモリから16ビット・レジスタとDS0へ

① 記述形式

MOV DS0, reg16, mem32

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+19+4・T       | EA+19+4・T       |
| V35 |                 |                 | EA+17+2・T       | EA+17+2・T       |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

reg16 ← (mem32)

DS0 ← (mem32+2)

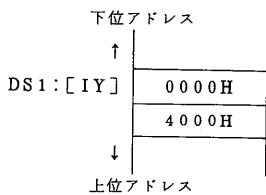
第3オペランドでアドレスされる32ビット・メモリの下位16ビット(32ビット・ポインタ変数のオフセット・ワード)を、第2オペランドで指定される16ビット・レジスタに、上位16ビット(セグメント・ワード)をセグメント・レジスタDS0に転送します。

⑦ フラグの動作

なし

⑧ 記述例

・MOV DS0, BW, DS1:[IY]



上の記述例で`DS1:[IY]` でアドレスされるメモリの内容が上図である場合  
`BW=0000H`, `DS0=4000H`となる。

(13) 32ビット・メモリから16ビット・レジスタとDS1へ

① 記述形式

MOV DS1, reg16, mem32

② 命令語形式

|     |   |   |   |     |   |     |   |
|-----|---|---|---|-----|---|-----|---|
| 7   | 0 | 7 | 6 | 5   | 3 | 2   | 0 |
| 1   | 1 | 0 | 0 | 0   | 1 | 0   | 0 |
| mod |   |   |   | reg |   | mem |   |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

③ バイト数

2 / 3 / 4

④ クロック数

|     | バイト 処 理         |                 | ワード 処 理         |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+19+4・T       | EA+19+4・T       |
| V35 |                 |                 | EA+17+2・T       | EA+17+2・T       |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

reg16 ← (mem32)

DS1 ← (mem32+2)

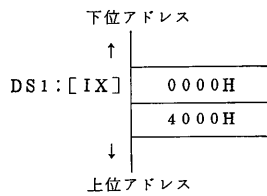
第3オペランドでアドレスされる32ビット・メモリの下位16ビット(32ビット・ポインタ変数のオフセット・ワード)を、第2オペランドで指定される16ビット・レジスタに、上位16ビット(セグメント・ワード)をセグメント・レジスタDS1に転送します。

⑦ フラグの動作

なし

⑧ 記述例

• MOV DS1, BW, DWORD-VAR[IX]



上の記述例で DS1:[IX] でアドレスされるメモリの内容が上図である場合  
BW=0000H, DS1=4000Hとなる。

(14) PSWからAHへ

① 記述形式

MOV AH, PSW

② 命令語形式

|   |               |
|---|---------------|
| 7 | 0             |
| 1 | 0 0 1 1 1 1 1 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

AH ← S, Z, F1, AC, F0, P,  $\overline{\text{IBRK}}$ , CY

PSWのうち, S, Z, F1, AC, F0, P,  $\overline{\text{IBRK}}$ , CYの各フラグをAHレジスタに転送します。

⑦ フラグの動作

なし

⑧ 記述例

MOV AH, PSW

(15) AHからPSWへ

① 記述形式

MOV PSW, AH

② 命令語形式

|   |               |
|---|---------------|
| 7 | 0             |
| 1 | 0 0 1 1 1 1 0 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 3               | 3               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

S, Z, F1, AC, F0, P,  $\overline{\text{IBRK}}$ , CY ← AH

AHレジスタのビット7ービット0を、それぞれPSWの下位8ビットS, Z, F1, AC, F0, P,  $\overline{\text{IBRK}}$ , CYフラグに転送します。

⑦ フラグの動作

| S | Z | F1 | AC | F0 | P | $\overline{\text{IBRK}}$ | CY |
|---|---|----|----|----|---|--------------------------|----|
| × | × | ×  | ×  | ×  | × | ×                        | ×  |

⑧ 記述例

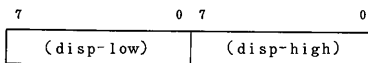
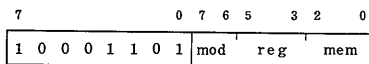
MOV PSW, AH

### 15.3.2 LDEA(Load Effective Address to register)

① 記述形式

LDEA reg16,mem16

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+2            | EA+2            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16 ← mem16

第1オペランドで指定される16ビット汎用レジスタに、第2オペランドで生成される実効アドレス(オフセット)をロードします。

TRANS命令やブロック命令でオペランドを指定するために自動的に用いられるレジスタ等にオペランド・アドレスの先頭値をセットするときなどに用いられます。

⑦ フラグの動作

なし

⑧ 記述例

- ・AWレジスタにINT\_PROCという手続きの実行アドレスのオフセットをロードします。

LDEA AW, INT\_PROC

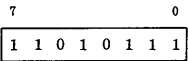
LDEA AW, [BP]VAR01+2

### 15.3.3 TRANS/TRANSB (Translate Byte)

① 記述形式

TRANS src-table  
TRANS (オペランドなし)  
TRANSB (オペランドなし)

② 命令語形式



③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 10+T            | 10+T            | —               | —               |
| V35 | 11+T            | 11+T            |                 |                 |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

AL←(BW+AL)

レジスタBWとレジスタALによってアドレスされる256バイトの変換テーブルの1バイトをレジスタALに転送します。このときレジスタBWはテーブルの先頭アドレスを指し、先頭アドレスから256バイト内のオフセット値をレジスタALが指定します。

⑦ フラグの動作

なし

⑧ 記述例

TRANS SIN\_TBL



## 15. 3 . 4 XCH (Exchange)

### (1) レジスタとレジスタ

#### ① 記述形式

XCH reg, reg'

#### ② 命令語形式

|   |   |     |      |   |   |   |   |
|---|---|-----|------|---|---|---|---|
| 7 | 0 | 7   | 6    | 5 | 3 | 2 | 0 |
| 1 | 0 | 0   | 0    | 0 | 1 | 1 | W |
| 1 | 1 | reg | reg' |   |   |   |   |

#### ③ バイト数

2

#### ④ クロック数

|     | バ イ ト 処 理          |                    | ワ ー ド 処 理          |                    |
|-----|--------------------|--------------------|--------------------|--------------------|
|     | 内蔵 R A M<br>アクセス許可 | 内蔵 R A M<br>アクセス禁止 | 内蔵 R A M<br>アクセス許可 | 内蔵 R A M<br>アクセス禁止 |
| V25 | 3                  | 3                  | 3                  | 3                  |
| V35 |                    |                    |                    |                    |

#### ⑤ 16ビット・ワード転送回数

なし

#### ⑥ 機 能

reg ↔ reg'

第1オペランドで指定される8/16ビット・レジスタの内容と、第2オペランドで指定される8/16ビット・レジスタの内容を交換します。

#### ⑦ フラグの動作

なし

#### ⑧ 記述例

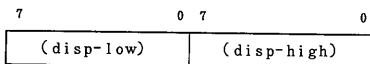
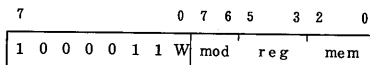
・MOV CW, 100H  
MOV BW, 50H  
XCH CW, BW  
; CW=50H, BW=100Hとなる。

## (2) メモリとレジスタ

### ① 記述形式

XCH mem, reg or XCH reg, mem

### ② 命令語形式



### ③ バイト数

2 / 3 / 4

### ④ クロック数

|     | バ イ ト 処 理         |                  | ワ ー ド 処 理         |                   |
|-----|-------------------|------------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止  | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | $EA+10+2 \cdot T$ | $EA+8+2 \cdot T$ | $EA+14+4 \cdot T$ | $EA+10+4 \cdot T$ |
| V35 | $EA+12+2 \cdot T$ | $EA+9+T$         | $EA+12+2 \cdot T$ | $EA+9+T$          |

### ⑤ 16ビット・ワード転送回数

2

### ⑥ 機 能

(mem) ↔ reg

第1オペランドでアドレスされる8 / 16ビット・メモリの内容と、第2オペランドで指定される8 / 16ビット・レジスタの内容を交換します。

### ⑦ フラグの動作

なし

### ⑧ 記述例

- ・メモリ0 : 50HのWORD DATAとDWの内容を交換する動作

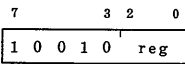
```
MOV AW, 0
MOV DS1, AW
MOV IX, 50H
XCH DS1:[IX], DW
```

③ アキュムレータとレジスタ

① 記述形式

XCH AW, reg16 or XCH reg16, AW

② 命令語形式



③ バイト数

1

④ クロック数

|     | バ イ ト 処 理          |                    | ワ ー ド 処 理          |                    |
|-----|--------------------|--------------------|--------------------|--------------------|
|     | 内蔵 R A M<br>アクセス許可 | 内蔵 R A M<br>アクセス禁止 | 内蔵 R A M<br>アクセス許可 | 内蔵 R A M<br>アクセス禁止 |
| V25 | —                  | —                  | 4                  | 4                  |
| V35 |                    |                    |                    |                    |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

AW↔reg16

第1オペランドで指定されるアキュムレータ（AWのみ）の内容と、第2オペランドで指定される16ビット・レジスタの内容を交換します。

⑦ フラグの動作

なし

⑧ 記述例

・MOV AW, 100H  
MOV DW, 50H  
XCH AW, DW  
;AW=50H, DW=100Hとなる。

### 15.3.5 MOVSPA(Move Stack Pointer After context switch)注

① 記述形式

MOVSPA (オペランドなし)

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 16              | 16              |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

レジスタ・バンクの切り替わる前のSSの値を現在(切り替え後)のレジスタ・バンクのSSに転送します。

同じように、SPの値も転送します。

BRKCS命令または割り込み要求でレジスタ・バンクを切り替えた場合、切り替えの前  
後でスタックを連続させるときに使用します。

⑦ フラグの動作

なし

⑧ 記述例

・MOVSPA

注 μPD70108,70116に対して、新しく追加した命令

備考 付録Eを参照してください。

15.3.6 MOVSPB(Move Stack Pointer Before task switch)注

① 記述形式

MOVSPB reg16

② 命令語形式

|   |   |   |   |   |   |     |
|---|---|---|---|---|---|-----|
| 7 | 0 | 7 | 0 | 7 | 3 | 2   |
| 0 | 0 | 0 | 0 | 1 | 1 | 1   |
| 1 | 0 | 0 | 1 | 0 | 1 | 0   |
| 1 | 1 | 1 | 1 | 1 | 1 | reg |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 11              | 11              |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

現在のレジスタ・バンク内のSSの値を、オペランドに記述した16ビット・レジスタの内容の下位3ビットで示される切り替え先のレジスタ・バンク内のSSに転送します。

同じように、SPの値も転送します。

TSKSW命令でレジスタ・バンクを切り替える場合、切り替えの前後でスタックを連続させるときに使用します。

⑦ フラグの動作

なし

⑧ 記述例

・MOVSPB AW

注 μPD70108,70116に対して、新しく追加した命令

## 15.4 リピート・プリフィクス

### 15.4.1 REPC (Repeat while Carry)

① 記述形式

REPC (オペランドなし)

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 0 | 1 |
| 1 | 0 |
| 0 | 0 |
| 1 | 0 |
| 0 | 1 |
| 1 |   |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

CW≠0の間、続くバイトのブロック比較命令(CMPBK, CMPM)を実行し、CWをデクリメント(-1)します。

ブロック比較命令の結果、CY≠1になるとループを抜けます。

CWのチェックは、ブロック比較命令の実行前、すなわちREPC命令実行の直前の状態に対して行われます。従って、最初CW=0でREPC命令実行に入ると、続くブロック比較命令は1回も実行されずにその次の命令に移ります。

CYのチェックは、あくまで続くブロック比較命令の結果に対して行われ、最初REPC命令に入る直前の内容は関係ありません。

⑦ フラグの動作

なし

⑧ 記述例

REPC CMPBKW

## 15.4.2 REPNC (Repeat while Not Carry)

### ① 記述形式

REPNC (オペランドなし)

### ② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 0 | 1 |
| 1 | 0 |
| 0 | 1 |
| 0 | 0 |

### ③ バイト数

1

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

### ⑤ 16ビット・ワード転送回数

なし

### ⑥ 機 能

CW≠0の間、続くバイトのブロック比較命令(CMPBK, CMPM)を実行し、CWをデクリメント(-1)します。

ブロック比較命令の結果、CY=1になるとループを抜けます。

CWのチェックは、ブロック比較命令の実行前、すなわちREPNC命令実行直前の状態に対して行われます。従って、最初CW=0でREPNC命令実行に入ると、続くブロック比較命令は1回も実行されずにその次の命令に移ります。

CYのチェックは、あくまで続くブロック比較命令の結果に対して行われ、最初REPNC命令に入る直前の内容は関係ありません。

### ⑦ フラグの動作

なし

### ⑧ 記述例

REPNC CMPMB

### 15.4.3 REP/REPE/REPZ(Repeat/Repeat while Equal/ Repeat while Zero)

① 記述形式

REP (オペランドなし)

REPE/REPZ (オペランドなし)

② 命令語形式

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機能

CW≠0の間、続くバイトのブロック転送/比較/入出力命令を実行し、CWをデクリメント(−1)します。

REPはMOVBK, LDM, STM, OUTM, INMの各命令と共に用いられ、Zの値に関係なくCW≠0の間繰り返し処理を行います。

REPZおよびREPEはCMPBK, CMPMの各命令と共に用いられ、各ブロック命令による比較の結果Z≠1になるか、またはCW=0になるとループを抜けます。

CWのチェックは、ブロック命令の実行前、すなわちREP/REPE/REPZ 命令実行直前の状態に対して行われます。従って、最初CW=0でREP/REPE/REPZ 命令実行に入ると、続くブロック命令は1回も実行されずにその次の命令に移ります。

Zのチェックは、あくまで続くブロック命令の結果に対して行われ、最初REPE/REPZ命令に入る直前の内容は関係ありません。

⑦ フラグの動作

なし



⑧ 記述例

REP MOV BKW

REPZ CMP BKW

## 15.4.4 REPNE/REPZ (Repeat while Not Equal / Repeat while Not Zero)

### ① 記述形式

REPNE/REPZ (オペランドなし)

### ② 命令語形式

|                            |   |
|----------------------------|---|
| 7                          | 0 |
| <div>1 1 1 1 0 0 1 0</div> |   |

### ④ バイト数

1

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

### ⑤ 16ビット・ワード転送回数

なし

### ⑥ 機 能

CW≠0の間、続くバイトのブロック比較命令(CMPBK, CMPM)を実行し、CWをデクリメント(-1)します。

ブロック比較命令の結果、Z≠0になるか、またはCW=0になるとループを抜けます。

CWのチェックは、ブロック比較命令の実行前、すなわちREPNE/REPZ命令実行直前に対して行われます。従って、最初CW=0でREPNE/REPZ命令実行に入ると、続くブロック比較命令は1回も実行されずにその次の命令に移ります。

Zのチェックは、あくまで続くブロック比較命令の結果に対して行われ、最初REPNE/REPZ命令に入る直前の内容は関係ありません。

### ⑦ フラグの動作

なし

### ⑧ 記述例

```
REPNE  CMPMB
REPZ   CMPBKW
```

## 15.5 プリミティブ・ブロック転送命令

### 15.5.1 MOVBLK/MOVBKB/MOVBKW (Move Block/Move Block Byte/Move Block Word)

① 記述形式

(repeat) MOVBLK [DS1-spec:]dst-block, [Seg-spec:]src-block

(repeat) MOVBKB (オペランドなし)

(repeat) MOVBKW (オペランドなし)

② 命令語形式

|                 |   |
|-----------------|---|
| 7               | 0 |
| 1 0 1 0 0 1 0 W |   |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理                                                     |                                     | ワ ー ド 処 理                                           |                                                     |
|-----|---------------------------------------------------------------|-------------------------------------|-----------------------------------------------------|-----------------------------------------------------|
|     | 内蔵RAM<br>アクセス許可                                               | 内蔵RAM<br>アクセス禁止                     | 内蔵RAM<br>アクセス許可                                     | 内蔵RAM<br>アクセス禁止                                     |
| V25 | $20 + 2 \cdot T$<br>(rep.)<br>$16 + (16 + 2 \cdot T) \cdot n$ | $16 + T$<br>$16 + (12 + T) \cdot n$ | $24 + 4 \cdot T$<br>$16 + (20 + 4 \cdot T) \cdot n$ | $20 + 2 \cdot T$<br>$16 + (12 + 2 \cdot T) \cdot n$ |
| V35 | $22 + 2 \cdot T$<br>(rep.)<br>$16 + (18 + 2 \cdot T) \cdot n$ | $17 + T$<br>$16 + (13 + T) \cdot n$ | $22 + 2 \cdot T$<br>$16 + (18 + 2 \cdot T) \cdot n$ | $19 + T$<br>$16 + (10 + T) \cdot n$                 |

$n \geq 1$

⑤ 16ビット・ワード転送回数

くり返す場合 2 / rep

1回の場合 2

⑥ 機能

W=0のとき (IY) ← (IX)

DIR=0: IX ← IX+1, IY ← IY+1

DIR=1: IX ← IX-1, IY ← IY-1

W=1のとき (IY+1, IY) ← (IX+1, IX)

DIR=0: IX ← IX+2, IY ← IY+2

DIR=1: IX ← IX-2, IY ← IY-2

I Xでアドレスされるブロックを、I Yでアドレスされるブロックに、バイトまたはワード・データのくり返して転送します。

I X, I Yレジスタは、次のバイト／ワード転送のために1バイト／ワード転送ごとに自動的にインクリメント(+1/+2), またはデクリメント(-1/-2)されます。ブロックの方向は、方向フラグ(D I R)の状態によって決定されます。

バイトかワードかの指定は、MOVBKを用いる場合はオペランドの属性によって行われ、MOVBKBまたはMOVBKWを用いる場合は、それぞれバイト、ワード・タイプに直接指定されます。

デスティネーション・ブロックは常にセグメント・レジスタDS1で指されるセグメント内にローケートされる必要があり、セグメント・オーバライドはできません。一方、ソース・ブロックは、デフォルト・セグメント・レジスタはDS0となっていますが、セグメント・オーバライド可能で、任意のセグメント・レジスタで指されるセグメント内にローケートできます。

⑦ フラグの動作

なし

⑧ 記述例

- MOVBK BYTE-Var1, BYTE-Var2
- MOVBK WORD-Var1, WORD-Var2

## 15.5.2 CMPBK/CMPBKB/CMPBKW(Compare Block /Compare Block Byte/Compare Block Word)

- ① 記述形式
- (repeat) CMPBK [Seg-spec:]src-block,[DS1-spec:]dst-block
- (repeat) CMPBKB (オペランドなし)
- (repeat) CMPBKW (オペランドなし)
- ② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 1 | 0 |
| 0 | 1 |
| 0 | 0 |
| 1 | 1 |
| 1 | W |

- ③ バイト数
- 1
- ④ クロック数

|     | バ イ ト 処 理                                        |                                                  | ワ ー ド 処 理                                        |                                                  |
|-----|--------------------------------------------------|--------------------------------------------------|--------------------------------------------------|--------------------------------------------------|
|     | 内蔵RAM<br>アクセス許可                                  | 内蔵RAM<br>アクセス禁止                                  | 内蔵RAM<br>アクセス許可                                  | 内蔵RAM<br>アクセス禁止                                  |
| V25 | $\frac{23+2 \cdot T}{16+21+2 \cdot T} \cdot n$   | $\frac{19+2 \cdot T}{16+(21+2 \cdot T)} \cdot n$ | $\frac{27+4 \cdot T}{16+(25+4 \cdot T)} \cdot n$ | $\frac{21+4 \cdot T}{16+(25+4 \cdot T)} \cdot n$ |
| V35 | $\frac{25+2 \cdot T}{16+(23+2 \cdot T)} \cdot n$ | $\frac{21+2 \cdot T}{16+(23+2 \cdot T)} \cdot n$ | $\frac{25+2 \cdot T}{16+(23+2 \cdot T)} \cdot n$ | $\frac{19+2 \cdot T}{16+(23+2 \cdot T)} \cdot n$ |

$n \geq 1$

- ⑤ 16ビット・ワード転送回数

くり返す場合  $2 / \text{rep}$

1回の場合 2

- ⑥ 機 能

W=0のとき (IX)-(IY)

DIR=0: IX←IX+1, IY←IY+1

DIR=1: IX←IX-1, IY←IY-1

W=1のとき (IX+1, IX)-(IY+1, IY)

DIR=0: IX←IX+2, IY←IY+2

DIR=1: IX←IX-2, IY←IY-2

IXでアドレスされるブロックからIYでアドレスされるブロックをバイトまたはワード・データ単位にくり返し減算を行い、結果をフラグに反映させます。

I X, I Yは、次のバイト／ワード処理のために1バイト／ワード・データが処理されるごとに自動的にインクリメント(+1/+2)またはデクリメント(-1/-2)されます。ブロックの方向は、方向フラグ(DIR)の状態によって決定されます。

バイトかワードかの指定は、CMPBKを用いる場合はオペランドの属性によって行われ、CMPBKBまたはCMPBKWを用いる場合はそれぞれバイト、ワード・タイプに直接指定されます。

デスティネーション・ブロックは常にセグメント・レジスタDS1で指されるセグメント内にローケートされる必要があり、セグメント・オーバーライドはできません。一方、ソース・ブロックは、デフォルト・セグメント・レジスタはDS0となっていますが、セグメント・オーバーライド可能で、任意のセグメント・レジスタで指されるセグメント内にローケートできます。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

#### ⑧ 記述例

・CMPBK BYTE\_VAR1, BYTE\_VAR2

### 15.5.3 CMPM/CMPMB/CMPMW(Compare Multiple/Compare Multiple Byte/Compare Multiple Word)

① 記述形式

(repeat) CMPM [DS1-spec:]dst-block

(repeat) CMPMB (オペランドなし)

(repeat) CMPMW (オペランドなし)

② 命令語形式

|   |               |
|---|---------------|
| 7 | 0             |
| 1 | 0 1 0 1 1 1 W |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理                                    |                               | ワ ー ド 処 理                                     |                                               |
|-----|----------------------------------------------|-------------------------------|-----------------------------------------------|-----------------------------------------------|
|     | 内蔵RAM<br>アクセス許可                              | 内蔵RAM<br>アクセス禁止               | 内蔵RAM<br>アクセス許可                               | 内蔵RAM<br>アクセス禁止                               |
| V25 | $\frac{17+T}{(rep.)}$<br>$16+(15+T) \cdot n$ | $17+T$<br>$16+(15+T) \cdot n$ | $19+2 \cdot T$<br>$16+(17+2 \cdot T) \cdot n$ | $19+2 \cdot T$<br>$16+(17+2 \cdot T) \cdot n$ |
| V35 | $\frac{18+T}{(rep.)}$<br>$16+(16+T) \cdot n$ | $18+T$<br>$16+(16+T) \cdot n$ | $19+2 \cdot T$<br>$16+(16+T) \cdot n$         | $19+2 \cdot T$<br>$16+(16+T) \cdot n$         |

$n \geq 1$

⑤ 16ビット・ワード転送回数

くり返す場合 1/rep

1回の場合 1

⑥ 機能

W=0のとき AL←(IY)

DIR=0: IY←IY+1

DIR=1: IY←IY-1

W=1のとき AW←(IY+1, IY)

DIR=0: IY←IY+2

DIR=1: IY←IY-2

アキュムレータ (AL/AW) から IY でアドレスされるブロックをバイトまたはワード・データ単位にくり返し減算を行い、結果をフラグに反映させます。

IY は次のバイト/ワード処理のために 1 バイト/ワード・データが処理されるごとに自動的にインクリメント (+1/+2) またはデクリメント (-1/-2) されます。ブロックの方向は、方向フラグ (DIR) の状態によって決定されます。

バイトかワードかの指定は、CMPM を用いる場合はオペランドの属性によって行われ、CMPMB または CMPMW を用いる場合はそれぞれバイト、ワード・タイプに直接指定されます。

デスティネーション・ブロックは、常にセグメント・レジスタ DS1 で指されるセグメント内にローケートされる必要があり、セグメント・オーバーライドはできません。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

- MOV AW, 5555H  
MOV BW, 1000H  
MOV IY, BW  
REPC CMPM WORD PTR[IY]
- REPNC CMPMW
- REPZ CMPMB

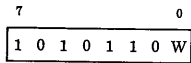


15.5.4 LDM/LDMB/LDMW (Load Multiple/Load Multiple Byte/Load Multiple Word)

① 記述形式

(repeat) LDM [Seg-spec:]src-block  
(repeat) LDMB (オペランドなし)  
(repeat) LDMW (オペランドなし)

② 命令語形式



③ バイト数

1

④ クロック数

|     | バ イ ト 処 理                             |                                       | ワ ー ド 処 理                                             |                                                       |
|-----|---------------------------------------|---------------------------------------|-------------------------------------------------------|-------------------------------------------------------|
|     | 内蔵RAM<br>アクセス許可                       | 内蔵RAM<br>アクセス禁止                       | 内蔵RAM<br>アクセス許可                                       | 内蔵RAM<br>アクセス禁止                                       |
| V25 | $12 \pm T$<br>$16 + (10 + T) \cdot n$ | $12 \pm T$<br>$16 + (10 + T) \cdot n$ | $14 \pm 2 \cdot T$<br>$16 + (12 + 2 \cdot T) \cdot n$ | $14 \pm 2 \cdot T$<br>$16 + (12 + 2 \cdot T) \cdot n$ |
| V35 | $13 \pm T$<br>$16 + (11 + T) \cdot n$ | $13 \pm T$<br>$16 + (11 + T) \cdot n$ | $13 \pm T$<br>$16 + (11 + T) \cdot n$                 | $13 \pm T$<br>$16 + (11 + T) \cdot n$                 |

$n \geq 1$

⑤ 16ビット・ワード転送回数

くり返す場合 1 / rep  
1回の場合 1

⑥ 機 能

W=0のとき AL←(IX)  
DIR=0: IX←IX+1  
DIR=1: IX←IX-1  
W=1のとき AW←(IX+1, IX)  
DIR=0: IX←IX+2  
DIR=1: IX←IX-2

IXでアドレスされるブロックをバイトまたはワード単位にアキュムレータ(AL/AW)にくり返し転送します。

IXは次のバイト／ワード処理のために1バイト／ワード・データが処理されるごとに自動的にインクリメント(+1/+2)またはデクリメント(-1/-2)されます。ブロックの方向は、方向フラグ(DIR)の状態によって決定されます。

バイトかワードかの指定は、LDMを用いる場合はオペランドの属性によって行われ、

LDMBまたはLDMWを用いる場合はそれぞれバイト、ワード・タイプに直接指定されます。

ソース・ブロックは、ディフォルト・セグメント・レジスタはDS0となっていますが、セグメント・オーバーライド可能で、任意のセグメント・レジスタで指されるセグメント内にローケートできます。

⑦ フラグの動作

なし

⑧ 記述例

```
REP LDM DS1:BYTE_VAR;DS1セグメント
REP LDMB                ;DS0セグメント
```

## 15.5.5 STM/STMB/STMW(Store Multiple/Store Multiple Byte/Store Multiple Word)

### ① 記述形式

(repeat) STM [DS1-spec:] dst-block

(repeat) STMB (オペランドなし)

(repeat) STMW (オペランドなし)

### ② 命令語形式

|                 |   |
|-----------------|---|
| 7               | 0 |
| 1 0 1 0 1 0 1 W |   |

### ③ バイト数

1

### ④ クロック数

|     | バ イ ト 処 理                  |                               | ワ ー ド 処 理                                        |                                       |
|-----|----------------------------|-------------------------------|--------------------------------------------------|---------------------------------------|
|     | 内蔵RAM<br>アクセス許可            | 内蔵RAM<br>アクセス禁止               | 内蔵RAM<br>アクセス許可                                  | 内蔵RAM<br>アクセス禁止                       |
| V25 | $\frac{12+T}{rep} \cdot n$ | $\frac{10}{16+(6+T) \cdot n}$ | $\frac{14+2 \cdot T}{16+(10+2 \cdot T) \cdot n}$ | $\frac{10}{16+(6+2 \cdot T) \cdot n}$ |
| V35 | $\frac{13+T}{rep} \cdot n$ | $\frac{10}{16+(7+T) \cdot n}$ | $\frac{13+T}{16+(9+T) \cdot n}$                  | $\frac{10}{16+(5+T) \cdot n}$         |

$n \geq 1$

### ⑤ 16ビット・ワード転送回数

くり返す場合 1 / rep

1回の場合 1

### ⑥ 機 能

W=0のとき (IY) ← AL

DIR=0: IY ← IY+1

DIR=1: IY ← IY-1

W=1のとき (IY+1, IY) ← AW

DIR=0: IY ← IY+2

DIR=1: IY ← IY-2

AL/AWをIYでアドレスされるブロックにバイト/ワード・データ単位にくり返し転送します。

IYは次のバイト/ワード処理のために1バイト/ワード・データが処理されるごとに自動的にインクリメント(+1/+2)またはデクリメント(-1/-2)されます。ブロックの方向は、方向フラグ(DIR)の状態によって決定されます。

バイトかワードかの指定は、STMを用いる場合はオペランドの属性によって、STMBまたはSTMWを用いる場合は、それぞれバイト、ワード・タイプに直接指定されます。

デスティネーション・ブロックは、常にセグメント・レジスタDS1で指されるセグメント内にローケートされる必要があり、セグメント・オーバーライドはできません。

⑦ フラグの動作

なし

⑧ 記述例

```
REP STM DS1:WORD_VAR      ; DS1 セグメント
REP STMB                   ; DS1 セグメント
```

# 15.6 ビット・フィールド操作命令

## 15.6.1 INS (Insert Bit Field)

### (1) レジスタ

#### ① 記述形式

INS reg8, reg8'

#### ② 命令語形式

|   |  |  |  |   |  |  |   |   |  |  |  |   |  |  |  |   |   |   |   |   |  |  |  |   |   |  |  |   |  |  |  |   |  |  |  |   |  |  |  |   |  |   |  |      |  |     |  |
|---|--|--|--|---|--|--|---|---|--|--|--|---|--|--|--|---|---|---|---|---|--|--|--|---|---|--|--|---|--|--|--|---|--|--|--|---|--|--|--|---|--|---|--|------|--|-----|--|
| 7 |  |  |  |   |  |  | 0 | 7 |  |  |  |   |  |  |  |   | 0 | 7 | 6 | 5 |  |  |  | 3 | 2 |  |  | 0 |  |  |  |   |  |  |  |   |  |  |  |   |  |   |  |      |  |     |  |
| 0 |  |  |  | 0 |  |  |   | 0 |  |  |  | 1 |  |  |  | 1 |   |   |   | 1 |  |  |  | 1 |   |  |  | 0 |  |  |  | 0 |  |  |  | 1 |  |  |  | 1 |  | 1 |  | reg' |  | reg |  |

#### ③ バイト数

3

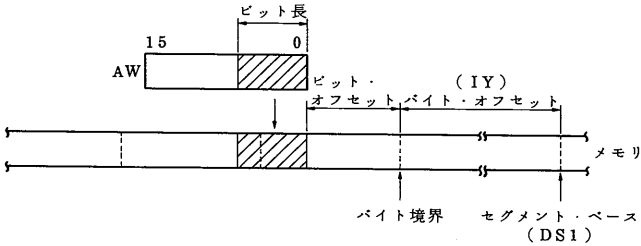
#### ④ クロック数

|     | バ イ ト 処 理              |                 | ワ ー ド 処 理       |                 |
|-----|------------------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可        | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 63～155 (ビット長によって異なります) |                 |                 |                 |
| V35 | —                      | —               | 63～155          | 63～155          |

#### ⑤ 16ビット・ワード転送回数

2または4

#### ⑥ 機 能



AWレジスタの16ビット・データのうち、第2オペランドの8ビット・レジスタで指定される長さの下位ビット・データを、セグメント・レジスタDS1とインデックス・レジスタIYでアドレスされるバイト・オフセットおよび第1オペランドの8ビット・レジスタで指定されるビット・オフセットによって決定されるメモリ領域へ転送します。

転送終了後、IYおよび第1オペランドで指定された8ビット・レジスタは、次のビット・フィールドを示すために自動的に次の如く更新されます。

```
reg8 (第1オペランド) ← reg8 (第1オペランド) + reg8' (第2オペランド)
+ 1
if reg8 (第1オペランド) > 15 then
{
    reg8 (第1オペランド) ← reg8 (第1オペランド) - 16
    IY ← IY + 2
}
```

ビット・オフセット(最長15ビット)を指定する第1オペランドの8ビット・レジスタの値は、0-15のみ有効です。また、ビット長(最長16ビット)を指定する第2オペランドの8ビット・レジスタの値は、0-15のみが有効で、0が1ビット長を、15が16ビット長を指定します。

ビット・フィールド・データは、メモリのバイト境界にまたがることができます。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

#### ⑧ 記述例

INS DL,CL

#### ⑨ 注意

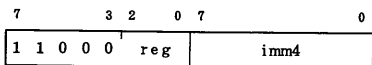
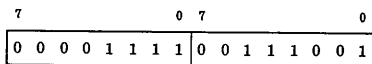
第1,第2オペランドとして使用される8ビット・レジスタの上位4ビットは0にしてください。

② イミディエト・データ

① 記述形式

INS reg8, imm4

② 命令語形式



③ バイト数

4

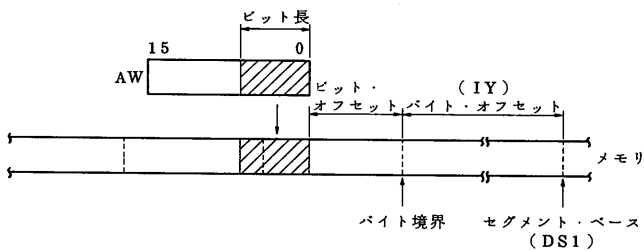
④ クロック数

|     | バ イ ト 処 理              |                 | ワ ー ド 処 理       |                 |
|-----|------------------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可        | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 64～156 (ビット長によって異なります) |                 |                 |                 |
| V35 | —                      | —               | 64～156          | 64～156          |

⑤ 16ビット・ワード転送回数

2または4

⑥ 機 能



AWレジスタの16ビット・データのうち、第2オペランドの4ビット・イミディエ  
ト・データで指定される長さの下位ビット・データを、セグメント・レジスタDS1とイ  
ンデクス・レジスタIXでアドレスされるバイト・オフセットおよび第1オペランドの8  
ビット・レジスタで指定されるビット・オフセットによって決定されるメモリ領域へ転送  
します。

転送終了後、IXおよび第1オペランドで指定された8ビット・レジスタは、次のビッ  
ト・フィールドを示すために自動的に次の如く更新されます。

```
reg8 ← reg8 + imm4 + 1
if reg8 > 15 then
{
    reg8 ← reg8 - 16
    IX ← IX + 2
}
```

ビット・オフセット(最長15ビット)を指定する第1オペランドの8ビット・レジス  
タの値は、0-15のみ有効です。また、ビット長(最長16ビット)を指定する第2オ  
ペランドのイミディエト・データ値は、0-15のみが有効で、0が1ビット長を、  
15が16ビット長を指定します。

ビット・フィールド・データは、メモリのバイト境界にまたがることができます。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

#### ⑧ 記述例

INS DL, 12

#### ⑨ 注意

第1オペランドとして使用される8ビット・レジスタの上位4ビットは0にして下さい。



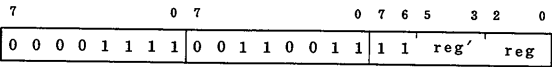
15.6.2 EXT(Extract Bit Field)

(1) レジスタ

① 記述形式

EXT reg8,reg8'

② 命令語形式



③ バイト数

3

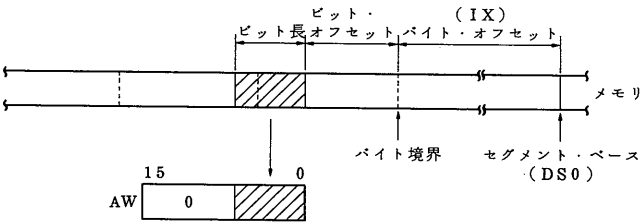
④ クロック数

|     | バ イ ト 処 理              |                 | ワ ー ド 処 理       |                 |
|-----|------------------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可        | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 41~121 (ビット長によって異なります) |                 |                 |                 |
| V35 | —                      | —               | 41~121          | 41~121          |

⑤ 16ビット・ワード転送回数

1または2

⑥ 機 能



セグメント・レジスタDS0とインデクス・レジスタIXでアドレスされるバイト・オフセットおよび第1オペランドの8ビット・レジスタで指定されるビット・オフセットによって決定されるメモリ領域から、第2オペランドの8ビット・レジスタによって指定されるビット長のビット・フィールド・データをAWレジスタへロードします。このときAWの余りの上位ビットには0がロードされます。

転送終了後、IXおよび第1オペランドで指定された8ビット・レジスタは、次のビット・フィールドを示すために自動的に次の如く更新されます。

```

if reg8 (第1オペランド) > 15 then
{
    reg8 (第1オペランド) ← reg8 (第1オペランド) - 16
    IX ← IX + 2
}

```

ビット・オフセット（最長15ビット）を指定する第1オペランドの8ビット・レジスタの値は0-15のみ有効です。また、ビット長（最長16ビット）を指定する第2オペランドの8ビット・レジスタの値は、0-15のみが有効で、0が1ビット長を、15が16ビット長を指定します。

ビット・フィールド・データは、メモリのバイト境界にまたがることができます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

⑧ 記述例

```
EXT CL,DL
```

⑨ 注 意

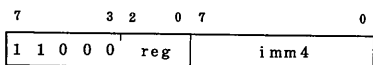
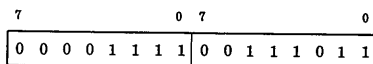
第1，第2オペランドとして使用される8ビット・レジスタの上位4ビットは0にしてください。

(2) イミディエイト・データ

① 記述形式

EXT reg8, imm4

② 命令語形式



③ バイト数

4

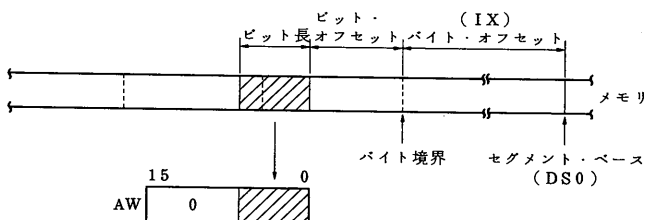
④ クロック数

|     | バイト処理                 |                 | ワード処理           |                 |
|-----|-----------------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可       | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 42~122 (ビット長により異なります) |                 |                 |                 |
| V35 | —                     | —               | 42~122          | 42~122          |

⑤ 16ビット・ワード転送回数

1または2

⑥ 機能



セグメント・レジスタ DS 0 とインデックス・レジスタ IX でアドレスされるバイト・オフセットおよび第 1 オペランドの 8 ビット・レジスタで指定されるビット・オフセットによって決定されるメモリ領域から、第 2 オペランドの 4 ビット・イミディエト・データによって指定されるビット長のビット・フィールド・データを AW レジスタへロードします。このとき AW の余りの上位ビットには 0 がロードされます。

転送終了後、IX および第 1 オペランドで指定された 8 ビット・レジスタは、次のビット・フィールドを示すために自動的に次の如く更新されます。

```
reg8 ← reg8 + imm4 + 1
if reg8 > 15 then
{
    reg8 ← reg8 - 16
    IX ← IX + 2
}
```

ビット・オフセット（最長 15 ビット）を指定する第 1 オペランドの 8 ビット・レジスタの値は 0 - 15 のみ有効です。また、ビット長（最長 16 ビット）を指定する第 2 オペランドのイミディエト・データ値は、0 - 15 のみが有効で、0 が 1 ビット長を、1 が 16 ビット長を指定します。

ビット・フィールド・データは、メモリのバイト境界にまたがることができます。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

#### ⑧ 記述例

EXT CL, 8

#### ⑨ 注意

第 1 オペランドとして使用される 8 ビット・レジスタの上位 4 ビットは 0 にして下さい。

## 15.7 入出力命令

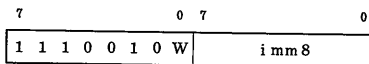
### 15.7.1 IN (Input)

(1) 直接指定 I/O デバイス

① 記述形式

IN acc, imm8

② 命令語形式



③ バイト数

2

④ クロック数

$\overline{IBRK} = 1$  のとき

|     | バ イ ト 処 理        |                  | ワ ー ド 処 理        |                  |
|-----|------------------|------------------|------------------|------------------|
|     | 内蔵 RAM<br>アクセス許可 | 内蔵 RAM<br>アクセス禁止 | 内蔵 RAM<br>アクセス許可 | 内蔵 RAM<br>アクセス禁止 |
| V25 | 14+T             | 14+T             | 16+2・T           | 16+2・T           |
| V35 | 15+T             | 15+T             | 15+T             | 15+T             |

⑤ 16ビット・ワード転送回数

$\overline{IBRK} = 1$  のとき 1

$\overline{IBRK} = 0$  のとき 5

## ⑥ 機能

$\overline{\text{IBRK}}=1$  のとき

$W=0$  のとき  $AL \leftarrow (\text{imm}8)$

$W=1$  のとき  $AW \leftarrow (\text{imm}8+1, \text{imm}8)$

$\overline{\text{IBRK}}=0$  のとき

$(SP-1, SP-2) \leftarrow PSW$

$(SP-3, SP-4) \leftarrow PS$

$(SP-5, SP-6) \leftarrow PC-x$ 注

$IE \leftarrow 0$

$BRK \leftarrow 0$

$\overline{\text{IBRK}} \leftarrow 1$

$PC \leftarrow (04DH, 04CH)$

$PS \leftarrow (04FH, 04EH)$

$\overline{\text{IBRK}}=1$  のとき第1オペランドで指定されるアキュムレータ ( $AL/AW$ ) に、第2オペランドで指定される I/O デバイスの内容を入力します。

$\overline{\text{IBRK}}=0$  のとき、 $PSW, PS, PC-x$ 注 をスタックに退避し、 $IE$  と  $BRK$  フラグをリセット (0) し、 $\overline{\text{IBRK}}$  をセット (1) します。

次に割り込みベクタ・テーブルのベクタ19の下位2バイトを  $PC$  に、上位2バイトを  $PS$  にロードします。

この機能は、ソフトウェアの移植を容易にするために用意された機能です (4.9.2 参照)。

注  $x$  は命令のバイト数+プリフィックスの数

## ⑦ フラグの動作

$\overline{\text{IBRK}}=1$  のとき

なし

$\overline{\text{IBRK}}=0$  のとき

| IE | BRK | $\overline{\text{IBRK}}$ |
|----|-----|--------------------------|
| 0  | 0   | 1                        |

## ⑧ 記述例

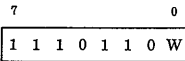
- IN AL, 0DAH
- IN AW, 20H

② DW間接指定 I/Oデバイス

① 記述形式

IN acc, DW

② 命令語形式



③ バイト数

1

④ クロック数

$\overline{\text{IBRK}} = 1$  のとき

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 13+T            | 13+T            | 15+2・T          | 15+2・T          |
| V35 | 14+T            | 14+T            | 14+T            | 14+T            |

⑤ 16ビット・ワード転送回数

$\overline{\text{IBRK}} = 1$  のとき 1

$\overline{\text{IBRK}} = 0$  のとき 5

## ⑥ 機能

$\overline{I}BRK=1$  のとき

$W=0$  のとき  $AL \leftarrow (DW)$

$W=1$  のとき  $AW \leftarrow (DW+1, DW)$

$\overline{I}BRK=0$  のとき

$(SP-1, SP-2) \leftarrow PSW$

$(SP-3, SP-4) \leftarrow PS$

$(SP-5, SP-6) \leftarrow PC-x$ 注

$IE \leftarrow 0$

$BRK \leftarrow 0$

$\overline{I}BRK \leftarrow 1$

$PC \leftarrow (04DH, 04CH)$

$PS \leftarrow (04FH, 04EH)$

$\overline{I}BRK=1$  のとき、第1オペランドで指定されるアキュムレータ ( $AL/AW$ ) に、レジスタ  $DW$  で指定される  $I/O$  デバイスの内容を入力します。

$\overline{I}BRK=0$  のとき、 $PSW, PS, PC-x$ 注をスタックに退避し、 $IE$  と  $BRK$  フラグをリセット (0) し、 $\overline{I}BRK$  をセット (1) します。

次に割り込みベクタ・テーブルのベクタ19の下位2バイトを  $PC$  に、上位2バイトを  $PS$  にロードします。

この機能は、ソフトウェアの移植を容易にするために用意された機能です (4.9.2 参照)。

注  $x$  は命令のバイト数+プリフィクスの数

## ⑦ フラグの動作

$\overline{I}BRK=1$  のとき

なし

$\overline{I}BRK=0$  のとき

| $IE$ | $BRK$ | $\overline{I}BRK$ |
|------|-------|-------------------|
| 0    | 0     | 1                 |

## ⑧ 記述例

- ・ポート・アドレス  $0DAH$  の内容を  $AL$  レジスタに転送する。

`MOV DW, 0DAH`

`IN AL, DW`



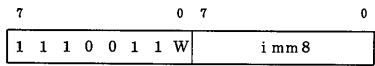
15.7.2 OUT(Output)

(1) 直接指定 I/O デバイス

① 記述形式

OUT imm8, acc

② 命令語形式



③ バイト数

2

④ クロック数

$\overline{IBRK} = 1$  のとき

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $10+T$          | $10+T$          | $10+2 \cdot T$  | $10+2 \cdot T$  |
| V35 | $11+T$          | $11+T$          | $9+T$           | $9+T$           |

⑤ 16ビット・ワード転送回数

$\overline{IBRK} = 1$  のとき 1

$\overline{IBRK} = 0$  のとき 5

## ⑥ 機能

$\overline{\text{BRK}} = 1$  のとき

$W = 0$  のとき (imm8) ← AL

$W = 1$  のとき (imm8+1, imm8) ← AW

$\overline{\text{BRK}} = 0$  のとき

(SP-1, SP-2) ← PSW

(SP-3, SP-4) ← PS

(SP-5, SP-6) ← PC-x<sup>注</sup>

IE ← 0

BRK ← 0

$\overline{\text{BRK}} \leftarrow 1$

PC ← (04DH, 04CH)

PS ← (04FH, 04EH)

$\overline{\text{BRK}} = 1$  のとき、第1オペランドで指定されるI/Oデバイスに、第2オペランドで指定されるアキュムレータ(AL/AW)の内容を出力します。

$\overline{\text{BRK}} = 0$  のとき、PSW, PS, PC-x<sup>注</sup>をスタックに退避し、IEとBRKフラグをリセット(0)し、 $\overline{\text{BRK}}$ をセット(1)します。

次に割り込みベクタ・テーブルのベクタ19の下位2バイトをPCに、上位2バイトをPSにロードします。

この機能は、ソフトウェアの移植を容易にするために用意された機能です(4.9.2参照)。

注 xは命令のバイト数+プリフィクスの数

## ⑦ フラグの動作

$\overline{\text{BRK}} = 1$  のとき

なし

$\overline{\text{BRK}} = 0$  のとき

| IE | BRK | $\overline{\text{BRK}}$ |
|----|-----|-------------------------|
| 0  | 0   | 1                       |

## ⑧ 記述例

• MOV AW, 0FFFFH

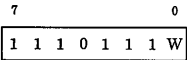
OUT 0DBH, AW

(2) DW間接指定 I/Oデバイス

① 記述形式

OUT DW, acc

② 命令語形式



③ バイト数

1

④ クロック数

$\overline{IBRK} = 1$  のとき

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 9+T             | 9+T             | 9+2・T           | 9+2・T           |
| V35 | 10+T            | 10+T            | 8+T             | 8+T             |

⑤ 16ビット・ワード転送回数

$\overline{IBRK} = 1$  のとき 1

$\overline{IBRK} = 0$  のとき 5

## ⑥ 機能

$\overline{IBRK} = 1$  のとき

$W = 0$  のとき  $(DW) \leftarrow AL$

$W = 1$  のとき  $(DW + 1, DW) \leftarrow AW$

$\overline{IBRK} = 0$  のとき

$(SP - 1, SP - 2) \leftarrow PSW$

$(SP - 3, SP - 4) \leftarrow PS$

$(SP - 5, SP - 6) \leftarrow PC - x$ <sup>注</sup>

$IE \leftarrow 0$

$BRK \leftarrow 0$

$\overline{IBRK} \leftarrow 1$

$PC \leftarrow (04DH, 04CH)$

$PS \leftarrow (04FH, 04EH)$

$\overline{IBRK} = 1$  のときレジスタ  $DW$  の内容で指定される  $I/O$  デバイスに、第 2 オペランドで指定されるアキュムレータ ( $AL/AW$ ) の内容を出力します。

$\overline{IBRK} = 0$  のとき、 $PSW, PS, PC - x$ <sup>注</sup> をスタックに退避し、 $IE$  と  $BRK$  フラグをリセット ( $0$ ) し、 $\overline{IBRK}$  をセット ( $1$ ) します。

次に割り込みベクタ・テーブルのベクタ  $19$  の下位 2 バイトを  $PC$  に、上位 2 バイトを  $PS$  にロードします。

この機能は、ソフトウェアの移植を容易にするために用意された機能です (4.9.2 参照)。

注  $x$  は命令のバイト数 + プリフィックスの数

## ⑦ フラグの動作

$\overline{IBRK} = 1$  のとき

なし

$\overline{IBRK} = 0$  のとき

| IE | BRK | $\overline{IBRK}$ |
|----|-----|-------------------|
| 0  | 0   | 1                 |

## ⑧ 記述例

- ・ポート・アドレス  $0D8H$  に  $AL$  レジスタの内容を転送する。

```
MOV DW, 0D8H
```

```
OUT DW, AL
```

## 15.8 プリミティブ入出力命令

### 15.8.1 INM(Input Multiple)

① 記述形式

(repeat) INM [DS1-spec:] dst-block, DW

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 0 | 1 |
| 1 | 0 |
| 1 | 1 |
| 0 | 0 |
| W |   |

③ バイト数

1

④ クロック数

$\overline{\text{IBRK}} = 1$  のとき

|     | バ イ ト 処 理                     |                               | ワ ー ド 処 理                     |                               |
|-----|-------------------------------|-------------------------------|-------------------------------|-------------------------------|
|     | 内蔵RAM<br>アクセス許可               | 内蔵RAM<br>アクセス禁止               | 内蔵RAM<br>アクセス許可               | 内蔵RAM<br>アクセス禁止               |
| V25 | $\frac{19+2 \cdot T}{(rep.)}$ | $\frac{17+2 \cdot T}{(rep.)}$ | $\frac{21+4 \cdot T}{(rep.)}$ | $\frac{17+4 \cdot T}{(rep.)}$ |
| V35 | $\frac{21+2 \cdot T}{(rep.)}$ | $\frac{19+2 \cdot T}{(rep.)}$ | $\frac{19+2 \cdot T}{(rep.)}$ | $\frac{15+2 \cdot T}{(rep.)}$ |
|     | $18+(13+2 \cdot T) \cdot n$   | $18+(11+2 \cdot T) \cdot n$   | $18+(15+4 \cdot T) \cdot n$   | $18+(11+4 \cdot T) \cdot n$   |
|     | $18+(15+2 \cdot T) \cdot n$   | $18+(13+2 \cdot T) \cdot n$   | $18+(13+2 \cdot T) \cdot n$   | $18+(9+2 \cdot T) \cdot n$    |

$n \geq 1$

⑤ 16ビット・ワード転送回数

$\overline{\text{IBRK}} = 1$  のとき

くり返す場合  $2 / rep$

1 回の場合 2

$\overline{\text{IBRK}} = 0$  のとき 5

# ⑥ 機能

$\overline{IBRK}=1$  のとき

$W=0$  のとき  $(IY) \leftarrow (DW)$

$DIR=0: IY \leftarrow IY+1$

$DIR=1: IY \leftarrow IY-1$

$W=1$  のとき  $(IY+1, IY) \leftarrow (DW+1, DW)$

$DIR=0: IY \leftarrow IY+2$

$DIR=1: IY \leftarrow IY-2$

$\overline{IBRK}=0$  のとき

$(SP-1, SP-2) \leftarrow PSW$

$(SP-3, SP-4) \leftarrow PS$

$(SP-5, SP-6) \leftarrow PC-x$  注

$IE \leftarrow 0$

$BRK \leftarrow 0$

$\overline{IBRK} \leftarrow 1$

$PC \leftarrow (04DH, 04CH)$

$PS \leftarrow (04FH, 04EH)$

$\overline{IBRK}=1$  のとき、DWでアドレスされるI/Oデバイスの内容を、IYでアドレスされるメモリに転送します。くり返し転送回数は、ベアで使用されるリビート・プリフィクスのREP命令によって制御されます。くり返し転送の際、DWの内容(I/Oデバイスのアドレス)は固定ですが、IYは次のバイト/ワード転送のために1バイト/ワード・データが転送されるごとに自動的にインクリメント(+1/+2)またはデクリメント(-1/-2)されます。ブロックの方向は、方向フラグ(DIR)の状態によって決定されます。

バイトかワードかの指定は、オペランドの属性によって行われます。

INM命令は、リビート・プリフィクスのREPと共に使用されます。

デスティネーション・ブロックは、常にセグメント・レジスタDS1で指されるセグメント内にローケートされる必要があり、セグメント・オーバーライドはできません。

$\overline{IBRK}=0$  のとき、PSW、PS、PC-x<sup>注</sup>をスタックに退避し、IEとBRKフラグをリセット(0)し、 $\overline{IBRK}$ をセット(1)します。

次に割り込みベクタ・テーブルのベクタ19の下位2バイトをPCに、上位2バイトをPSにロードします。

この機能は、ソフトウェアの移植を容易にするために用意された機能です(4.9.2参照)。

注 xは命令のバイト数+プリフィクスの数

⑦ フラグの動作

$\overline{IBRK} = 1$  のとき

なし

$\overline{IBRK} = 0$  のとき

| IE | BRK | $\overline{IBRK}$ |
|----|-----|-------------------|
| 0  | 0   | 1                 |

⑧ 記述例

- ・メモリ・ワーク・エリアにポート・アドレス 0DAH の内容 (BYTE DATA) をロードする。

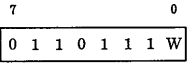
```
MOV AW, 0
MOV DS1, AW
MOV IY, 50H
MOV DW, 0DAH
INM DS1:BYTE PTR[IY], DW
```

- ・メモリ 0:0H~0:FFH にポート・アドレス 0DAH の内容 (BYTE DATA) をロードする。

```
MOV AW, 0
MOV DS1, AW
MOV IY, 0
MOV DW, 0DAH
MOV CW, 0FFH
REP INM DS1:BYTE PTR[IY], DW
```

15.8.2 OUTM(Output Multiple)

- ① 記述形式  
(repeat) OUTM DW, [Seg-spec:]src-block
- ② 命令語形式



- ③ バイト数  
1
- ④ クロック数

IBRK = 1 のとき

|     | バ イ ト 処 理                                                    |                                                              | ワ ー ド 処 理                                                    |                                                              |
|-----|--------------------------------------------------------------|--------------------------------------------------------------|--------------------------------------------------------------|--------------------------------------------------------------|
|     | 内蔵RAM<br>アクセス許可                                              | 内蔵RAM<br>アクセス禁止                                              | 内蔵RAM<br>アクセス許可                                              | 内蔵RAM<br>アクセス禁止                                              |
| V25 | $\frac{19+2 \cdot T}{(rep.)}$<br>$18+(13+2 \cdot T) \cdot n$ | $\frac{17+2 \cdot T}{(rep.)}$<br>$18+(11+2 \cdot T) \cdot n$ | $\frac{21+4 \cdot T}{(rep.)}$<br>$18+(15+4 \cdot T) \cdot n$ | $\frac{17+4 \cdot T}{(rep.)}$<br>$18+(11+4 \cdot T) \cdot n$ |
| V35 | $\frac{21+2 \cdot T}{(rep.)}$<br>$18+(15+2 \cdot T) \cdot n$ | $\frac{19+2 \cdot T}{(rep.)}$<br>$18+(13+2 \cdot T) \cdot n$ | $\frac{19+2 \cdot T}{(rep.)}$<br>$18+(13+2 \cdot T) \cdot n$ | $\frac{15+2 \cdot T}{(rep.)}$<br>$18+(9+2 \cdot T) \cdot n$  |

$n \geq 1$

- ⑤ 16ビット・ワード転送回数

IBRK = 1 のとき  
くり返す場合 2 / rep  
1 回の場合 2  
IBRK = 0 のとき 5



# ⑥ 機能

$\overline{IBRK}=1$  のとき

$W=0$  のとき  $(DW) \leftarrow (IX)$

$DIR=0: IX \leftarrow IX+1$

$DIR=1: IX \leftarrow IX-1$

$W=1$  のとき  $(DW+1, DW) \leftarrow (IX+1, IX)$

$DIR=0: IX \leftarrow IX+2$

$DIR=1: IX \leftarrow IX-2$

$\overline{IBRK}=0$  のとき

$(SP-1, SP-2) \leftarrow PSW$

$(SP-3, SP-4) \leftarrow PS$

$(SP-5, SP-6) \leftarrow PC-x$  注

$IE \leftarrow 0$

$BRK \leftarrow 0$

$\overline{IBRK} \leftarrow 1$

$PC \leftarrow (04DH, 04CH)$

$PS \leftarrow (04FH, 04EH)$

$\overline{IBRK}=1$  のとき、 $IX$  でアドレスされるメモリの内容を、 $DW$  でアドレスされる  $I/O$  デバイスに転送します。くり返し転送回数は、ベアで使用されるリピート・プリフィクスの  $REP$  命令によって制御されます。くり返し転送の際、 $DW$  の内容 ( $I/O$  デバイスのアドレス) は固定ですが、 $IX$  は次のバイト/ワード転送のために 1 バイト/ワード・データが転送されるごとに自動的にインクリメント (+1/+2) またはデクリメント (-1/-2) されます。ブロックの方向は、方向フラグの内容によって決定されます。

バイトかワードかの指定は、オペランドの属性によって行われます。

$OUTM$  命令は、リピート・プリフィクスの  $REP$  と共に使用されます。

ソース・ブロックは、デフォルト・セグメント・レジスタは  $DS0$  となっていますが、セグメント・オーバーライド可能で、任意のセグメント・レジスタで指されるセグメント内にローケートできます。

$\overline{IBRK}=0$  のとき、 $PSW, PS, PC-x$  注 をスタックに退避し、 $IE$  と  $BRK$  フラグをリセット (0) し、 $\overline{IBRK}$  をセット (1) します。

次に割り込みベクタ・テーブルのベクタ 19 の下位 2 バイトを  $PC$  に、上位 2 バイトを  $PS$  にロードします。

この機能は、ソフトウェアの移植を容易にするために用意された機能です (4.9.2 参照)。

注  $x$  は命令のバイト数+プリフィクスの数

⑦ フラグの動作

$\overline{IBRK} = 1$  のとき

なし

$\overline{IBRK} = 0$  のとき

| IE | BRK | $\overline{IBRK}$ |
|----|-----|-------------------|
| 0  | 0   | 1                 |

⑧ 記述例

- メモリ 0 : 50H の内容をポート・アドレス 0D8H (BYTE DATA) に転送する。

```
MOV AW, 0
MOV DS0, AW
MOV IX, 50H
MOV DW, 0D8H
OUTM DW, DS0:WORD PTR[IX]
```

- メモリ 0 : 0H~0FFH の内容をポート・アドレス 0D8H (BYTE DATA) に転送する。

```
MOV AW, 0
MOV DS0, AW
MOV IX, 0H
MOV DW, 0D8H
MOV CW, 0FFH
REP OUTM DW, DS0:PTR[IX]
```

15.9 加減算命令

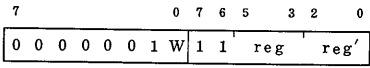
15.9.1 ADD (Add)

(1) レジスタ+レジスタをレジスタへ

① 記述形式

```
ADD reg, reg'
```

② 命令語形式



③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

```
reg ← reg + reg'
```

第1オペランドで指定される8／16ビット・レジスタの内容と第2オペランドで指定される8／16ビット・レジスタの内容を加算し、結果を第1オペランドで指定されるレジスタにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

- ・ DWとBWを加算して結果をBWへ転送する。

```
MOV  BW, 50H
```

```
MOV  DW, 100H
```

```
ADD  BW, DW
```

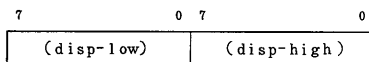
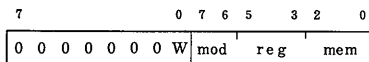
```
; BW=150Hになる。
```

② メモリ+レジスタをメモリへ

① 記述方式

ADD mem, reg

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理         |                 | ワ ー ド 処 理         |                  |
|-----|-------------------|-----------------|-------------------|------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止  |
| V25 | $EA+8+2 \cdot T$  | $EA+6+T$        | $EA+12+4 \cdot T$ | $EA+8+2 \cdot T$ |
| V35 | $EA+10+2 \cdot T$ | $EA+7+T$        | $EA+10+2 \cdot T$ | $EA+7+T$         |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

$(mem) \leftarrow (mem) + reg$

第1オペランドでアドレスされる8/16ビット・メモリの内容と第2オペランドで指定される8/16ビット・レジスタの内容を加算し、結果を第1オペランドでアドレスされるメモリにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

- メモリ 0 : 50H の内容 (WORD DATA) と DW の内容を加算して 0 : 50H へストアする.

```
MOV AX, 0
```

```
MOV DS, AX
```

```
MOV SI, 50H
```

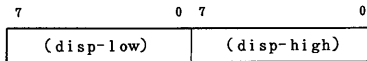
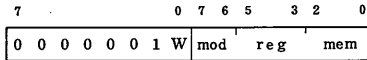
```
ADD DS:WORD PTR[SI], DW
```

③ レジスタ+メモリをレジスタへ

① 記述形式

ADD reg, mem

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+6+T          | EA+6+T          | EA+8+2・T        | EA+8+2・T        |
| V35 | EA+7+T          | EA+7+T          | EA+7+T          | EA+7+T          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

reg ← reg + (mem)

第1オペランドで指定される8 / 16ビット・レジスタの内容と第2オペランドでアドレスされる8 / 16ビット・メモリの内容を加算し、結果を第1オペランドで指定されるレジスタにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

- ・メモリ 0 : 50H の内容 (BYTE DATA) と DL の内容を加算して DL へストアする。

```
MOV AW, 0
```

```
MOV DS0, AW
```

```
MOV IX, 50H
```

```
ADD DL, DS0:BYTE PTR[IX]
```

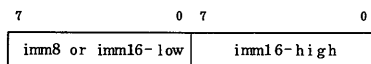
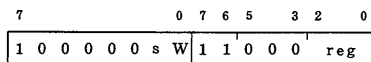


(4) レジスタ+イミディエト・データをレジスタへ

① 記述形式

ADD reg, imm

② 命令語形式



③ バイト数

3 / 4

④ クロック数

|     | バイト 処 理         |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg ← reg + imm

第1オペランドで指定される8 / 16ビット・レジスタの内容と第2オペランドで指定される8 / 16ビット・イミディエト・データを加算し、結果を第1オペランドで指定されるレジスタにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

④ 記述例

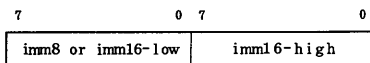
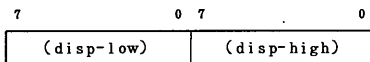
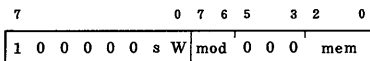
- ・ ADD BL, 10
- ・ ADD BW, 1000H

⑤ メモリ+イミディエト・データをメモリへ

① 記述形式

ADD mem, imm

② 命令語形式



③ バイト数

3 / 4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+9+2・T        | EA+7+2・T        | EA+14+4・T       | EA+10+4・T       |
| V35 | EA+11+2・T       | EA+9+2・T        | EA+12+2・T       | EA+8+2・T        |

⑤ 16ビット・ワード転送回数

2

⑥ 機能

(mem) ← (mem) + imm

第1オペランドでアドレスされる8/16ビット・メモリの内容と第2オペランドで指定される8/16ビット・イミディエト・データを加算し、結果を第1オペランドでアドレスされるメモリにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

- ・メモリ 0:50H の内容 (BYTE DATA) に 89H を加算し、0:50H へストアする。

```
MOV AW, 0
```

```
MOV DS1, AW
```

```
MOV IY, 50H
```

```
ADD DS1:BYTE PTR[IY], 80H
```

(6) アキュムレータ+イミディエト・データをアキュムレータへ

① 記述形式

ADD acc, imm

② 命令語形式

|                 |                   |            |   |
|-----------------|-------------------|------------|---|
| 7               | 0 7               | 0 7        | 0 |
| 0 0 0 0 0 1 0 W | imm8 or imm16-low | imm16-high |   |

③ バイト数

2 / 3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

W=0のとき AL←AL+imm8

W=1のとき AW←AW+imm16

第1オペランドで指定されるアキュムレータ(AL, AW)の内容と第2オペランドで指定される8/16ビット・イミディエト・データを加算し、結果を第1オペランドで指定されるアキュムレータにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

・ADD AL, 2

・ADD AW, 1000

# 15.9.2 ADDC (Add with Carry)

(1) レジスタ+レジスタをレジスタへ

① 記述形式

ADDC reg, reg'

② 命令語形式

|   |   |     |      |   |   |   |   |
|---|---|-----|------|---|---|---|---|
| 7 | 0 | 7   | 6    | 5 | 3 | 2 | 0 |
| 0 | 0 | 0   | 1    | 0 | 0 | 1 | W |
| 1 | 1 | reg | reg' |   |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$reg \leftarrow reg + reg' + CY$

第1オペランドで指定される8/16ビット・レジスタの内容と第2オペランドで指定される8/16ビット・レジスタの内容をキャリー・フラグの内容も含めて加算し、結果を第1オペランドで指定されるレジスタにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

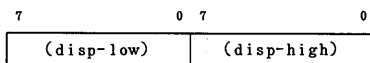
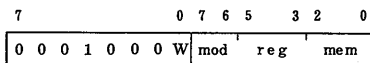
```
• SET1 CY      ; キャリー・フラグをセットする。  
XOR AW, AW     ; AW=0  
MOV BW, 0FFH; BW=0FFH  
ADDC AW, BW    ; AWの内容=100Hとなる。
```

② メモリ+レジスタをメモリへ

① 記述形式

ADDC mem, reg

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理         |                 | ワ ー ド 処 理         |                  |
|-----|-------------------|-----------------|-------------------|------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止  |
| V25 | $EA+8+2 \cdot T$  | $EA+6+T$        | $EA+12+4 \cdot T$ | $EA+8+2 \cdot T$ |
| V35 | $EA+10+2 \cdot T$ | $EA+7+T$        | $EA+10+2 \cdot T$ | $EA+7+T$         |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

$(mem) \leftarrow (mem) + reg + CY$

第1オペランドでアドレスされる8 / 16ビット・メモリの内容と第2オペランドで指定される8 / 16ビット・レジスタの内容をキャリー・フラグの内容も含めて加算し、結果を第1オペランドでアドレスされるメモリにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

・ADDC DS0:WORD PTR[1Y], DW

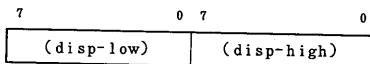
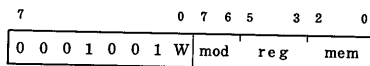


③ レジスタ+メモリをレジスタへ

① 記述形式

ADDC reg, mem

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+6+T          | EA+6+T          | EA+8+2・T        | EA+8+2・T        |
| V35 | EA+7+T          | EA+7+T          | EA+7+T          | EA+7+T          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

$reg \leftarrow reg + (mem) + CY$

第1オペランドで指定される8/16ビット・レジスタの内容と第2オペランドでアドレスされる8/16ビット・メモリの内容をキャリー・フラグの内容も含めて加算し、結果を第1オペランドで指定されるレジスタにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

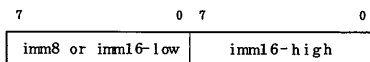
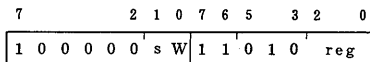
・ADDC DW, DS0:WORD PTR[IX]

(4) レジスタ+イミディエト・データをレジスタへ

① 記述形式

ADD C reg, imm

② 命令語形式



③ バイト数

3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$reg \leftarrow reg + imm + CY$

第1オペランドで指定される8 / 16ビット・レジスタの内容と第2オペランドで指定される8 / 16ビット・イミディエト・データをキャリー・フラグの内容も含めて加算し、結果を第1オペランドで指定されるレジスタにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

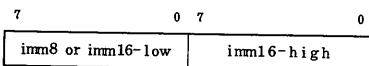
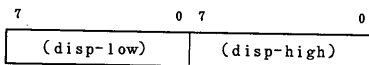
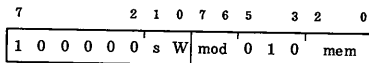
・ADD C BL, 5

(5) メモリ+イミディエト・データをメモリへ

① 記述形式

ADD C mem, imm

② 命令語形式



③ バイト数

3 / 4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+9+2・T        | EA+7+2・T        | EA+14+4・T       | EA+10+4・T       |
| V35 | EA+11+2・T       | EA+9+2・T        | EA+12+2・T       | EA+8+2・T        |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem) ← (mem) + imm + CY

第1オペランドでアドレスされる8 / 16ビット・メモリの内容と第2オペランドで指定される8 / 16ビット・イミディエト・データをキャリー・フラグの内容も含めて加算し、結果を第1オペランドでアドレスされるメモリにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

• `ADDC DS0:BYTE PTR[IY], 5`

(6) アキュムレータ+イミディエト・データをアキュムレータへ

① 記述形式

ADDC acc, imm

② 命令語形式

|   |                   |   |   |            |   |
|---|-------------------|---|---|------------|---|
| 7 | 0                 | 7 | 0 | 7          | 0 |
| 0 | 0                 | 0 | 1 | 0          | 1 |
| 0 | 0                 | 0 | 1 | 0          | 0 |
| W | imm8 or imm16-low |   |   | imm16-high |   |

③ バイト数

2 / 3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

W = 0 のとき  $AL \leftarrow AL + imm8 + CY$

W = 1 のとき  $AW \leftarrow AW + imm16 + CY$

第1オペランドで指定されるアキュムレータ (AL / AW) の内容と第2オペランドで指定される8 / 16ビット・イミディエト・データをキャリー・フラグの内容も含めて加算し、結果を第1オペランドで指定されるアキュムレータにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

・ADDC AL, 5

・ADDC AW, 256

### 15.9.3 SUB(Subtract)

(1) レジスタ-レジスタをレジスタへ

① 記述形式

SUB reg, reg'

② 命令語形式

|   |   |     |      |   |   |   |   |
|---|---|-----|------|---|---|---|---|
| 7 | 0 | 7   | 6    | 5 | 3 | 2 | 0 |
| 0 | 0 | 1   | 0    | 1 | 0 | 1 | W |
| 1 | 1 | reg | reg' |   |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg ← reg - reg'

第1オペランドで指定される8/16ビット・レジスタの内容から第2オペランドで指定される8/16ビット・レジスタの内容を減算し、結果を第1オペランドで指定されるレジスタにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

- SUB AL, BL
- SUB DW, CW

(2) メモリーレジスタをメモリへ

① 記述形式

SUB mem, reg

② 命令語形式

|     |   |   |   |     |   |     |   |
|-----|---|---|---|-----|---|-----|---|
| 7   | 0 | 7 | 6 | 5   | 3 | 2   | 0 |
| 0   | 0 | 1 | 0 | 1   | 0 | 0   | W |
| mod |   |   |   | reg |   | mem |   |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+8+2・T        | EA+6+T          | EA+12+4・T       | EA+8+2・T        |
| V35 | EA+10+2・T       | EA+7+T          | EA+10+2・T       | EA+7+T          |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem) ← (mem) - reg

第1オペランドでアドレスされる8/16ビット・メモリの内容から第2オペランドで指定される8/16ビット・レジスタの内容を減算し、結果を第1オペランドでアドレスされるメモリにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

- ・メモリ 0 : 50H の内容 (BYTE DATA) から DL の内容を減算して 0 : 50H ヘストアする。

```
MOV AW, 0
```

```
MOV DS1, AW
```

```
MOV IY, 50H
```

```
SUB DS1:BYTE PTR[IY], DL
```

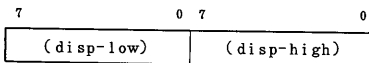
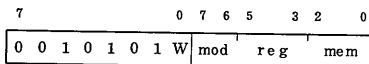


### ③ レジスタ・メモリをレジスタへ

#### ① 記述形式

SUB reg, mem

#### ② 命令語形式



#### ③ バイト数

2 / 3 / 4

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+6+T          | EA+6+T          | EA+8+2・T        | EA+8+2・T        |
| V35 | EA+7+T          | EA+7+T          | EA+7+T          | EA+7+T          |

#### ⑤ 16ビット・ワード転送回数

1

#### ⑥ 機 能

reg ← reg - (mem)

第1オペランドで指定される8 / 16ビット・レジスタから第2オペランドでアドレスされる8 / 16ビット・メモリの内容を減算し、結果を第1オペランドで指定されるレジスタにストアします。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

- レジスタDLの内容からメモリ0:50Hの内容を減算してDLへストアする.

```
MOV AW, 0
```

```
MOV DS0, AW
```

```
MOV IX, 50H
```

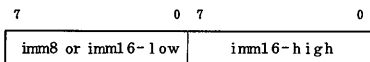
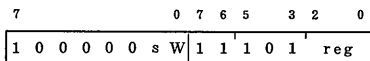
```
SUB DL, DS0:BYTE PTR[IX]
```

(4) レジスタ・イミディエト・データをレジスタへ

① 記述形式

SUB reg, imm

② 命令語形式



③ バイト数

3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg ← reg - imm

第1オペランドで指定される8 / 16ビット・レジスタの内容から第2オペランドで指定される8 / 16ビット・イミディエト・データを減算し、結果を第1オペランドで指定されるレジスタにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

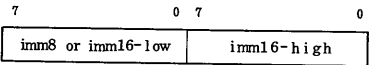
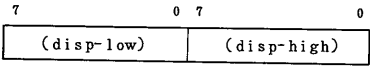
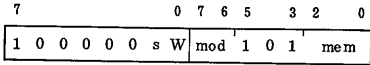
・ SUB BW, 2 ; BWの内容から2を減算する。

(5) メモリーイミディエト・データをメモリへ

① 記述形式

SUB mem, imm

② 命令語形式



③ バイト数

3 / 4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+9+2・T        | EA+7+2・T        | EA+14+4・T       | EA+10+4・T       |
| V35 | EA+11+2・T       | EA+9+2・T        | EA+12+2・T       | EA+8+2・T        |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem) ← (mem) - imm

第1オペランドでアドレスされる8 / 16ビット・メモリの内容から第2オペランドで指定される8 / 16ビット・イミディエト・データを減算し、結果を第1オペランドでアドレスされるメモリにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

- ・メモリ 0 : 50H の内容 (BYTE DATA) から 50H を減算して 0 : 50H へ

```
MOV AW, 0
```

```
MOV DS1, AW
```

```
MOV IY, 50H
```

```
SUB DS1:BYTE PTR[IY], 50H
```

(6) アキュムレータ-イミディエト・データをアキュムレータへ

① 記述形式

SUB acc, imm

② 命令語形式

|                 |                   |            |   |
|-----------------|-------------------|------------|---|
| 7               | 0 7               | 0 7        | 0 |
| 0 0 1 0 1 1 0 W | imm8 or imm16-low | imm16-high |   |

③ バイト数

2 / 3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

W=0のとき AL←AL-imm8

W=1のとき AW←AW-imm16

第1オペランドで指定されるアキュムレータ(AL, AW)の内容から第2オペランドで指定される8/16ビット・イミディエト・データを減算し、結果を第1オペランドで指定されるアキュムレータにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

・ SUB AW, 2

15.9.4 SUBC(Subtract with Carry)

(1) レジスタレジスタをレジスタへ

① 記述形式

SUBC reg, reg'

② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |     |  |  |   |      |  |   |
|---|---|---|---|---|---|---|---|---|---|---|---|-----|--|--|---|------|--|---|
| 7 |   |   |   |   |   |   |   | 0 | 7 | 6 | 5 |     |  |  | 3 | 2    |  | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | W |   | 1 | 1 |   | reg |  |  |   | reg' |  |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg←reg-reg'-CY

第1オペランドで指定される8／16ビット・レジスタの内容から第2オペランドで指定される8／16ビット・レジスタの内容をキャリー・フラグの内容も含めて減算します。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

・SUBC BW, CW





(3) レジスタ・メモリをレジスタへ

① 記述形式

SUBC reg, mem

② 命令語形式

|     |   |   |     |   |   |     |   |
|-----|---|---|-----|---|---|-----|---|
| 7   | 0 | 7 | 6   | 5 | 3 | 2   | 0 |
| 0   | 0 | 0 | 1   | 1 | 0 | 1   | W |
| mod |   |   | reg |   |   | mem |   |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+6+T          | EA+6+T          | EA+8+2・T        | EA+8+2・T        |
| V35 | EA+7+T          | EA+7+T          | EA+7+T          | EA+7+T          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

reg ← reg - (mem) - CY

第1オペランドで指定される8/16ビット・レジスタの内容から第2オペランドで指定される8/16ビット・メモリの内容をキャリー・フラグの内容も含めて減算し、結果を第1オペランドで指定されるレジスタにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

・ SUBC DL, BYTE PTR[IX]

(4) レジスタ・イミディエト・データをレジスタへ

① 記述形式

SUBC reg, imm

② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |   |  |   |   |     |
|---|---|---|---|---|---|---|---|---|---|---|---|---|--|---|---|-----|
| 7 |   |   |   |   |   |   | 0 | 7 | 6 | 5 |   |   |  | 3 | 2 | 0   |
| 1 | 0 | 0 | 0 | 0 | 0 | s | W | 1 | 1 | 0 | 1 | 1 |  |   |   | reg |

|                   |  |  |  |  |  |  |   |            |  |  |  |  |  |  |  |   |
|-------------------|--|--|--|--|--|--|---|------------|--|--|--|--|--|--|--|---|
| 7                 |  |  |  |  |  |  | 0 | 7          |  |  |  |  |  |  |  | 0 |
| imm8 or imm16-low |  |  |  |  |  |  |   | imm16-high |  |  |  |  |  |  |  |   |

③ バイト数

3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg ← reg - imm - CY

第1オペランドで指定される8 / 16ビット・レジスタの内容から第2オペランドで指定される8 / 16ビット・イミディエト・データの内容をキャリア・フラグの内容も含めて減算し、結果を第1オペランドで指定されるレジスタにストアします。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| × | × | × | ×  | × | ×  |

⑧ 記述例

・SUBC DW, 2

(5) メモリーイミディエト・データをメモリへ

① 記述形式

SUBC mem, imm

② 命令語形式

|   |   |   |   |   |   |     |               |
|---|---|---|---|---|---|-----|---------------|
| 7 | 0 | 7 | 6 | 5 | 3 | 2   | 0             |
| 1 | 0 | 0 | 0 | 0 | 0 | s W | mod 0 1 1 mem |

|            |             |   |   |
|------------|-------------|---|---|
| 7          | 0           | 7 | 0 |
| (disp-low) | (disp-high) |   |   |

|                   |            |   |   |
|-------------------|------------|---|---|
| 7                 | 0          | 7 | 0 |
| imm8 or imm16-low | imm16-high |   |   |

③ バイト数

3 / 4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+9+2・T        | EA+7+2・T        | EA+14+4・T       | EA+10+4・T       |
| V35 | EA+11+2・T       | EA+9+2・T        | EA+12+2・T       | EA+8+2・T        |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem) ← (mem) - imm - CY

第1オペランドでアドレスされる8/16ビット・メモリの内容から第2オペランドで指定される8/16ビット・イミディエト・データの内容をキャリー・フラグの内容も含めて減算し、結果を第1オペランドでアドレスされるメモリにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

・SUBC DS0:WORD PTR[IY], 800H

(6) アキュムレータ-イミディエト・データをアキュムレータへ

① 記述形式

SUBC acc,imm

② 命令語形式

|   |                   |   |   |            |   |
|---|-------------------|---|---|------------|---|
| 7 | 0                 | 7 | 0 | 7          | 0 |
| 0 | 0                 | 0 | 1 | 1          | 0 |
| W | imm8 or imm16-low |   |   | imm16-high |   |

③ バイト数

2 / 3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

W=0のとき AL←AL-imm8-CY

W=1のとき AW←AW-imm16-CY

第1オペランドで指定されるアキュムレータ (AL/AW) の内容から第2オペランドで指定される8 / 16ビット・イミディエト・データをキャリー・フラグの内容も含めて減算し、結果を第1オペランドで指定されるアキュムレータにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

・SUBC AW,5000

# 15.10 BCD 演算命令

## 15.10.1 ADD4S (Add Nibble String)

### ① 記述形式

ADD4S [DS1-spec:] dst-string, [Seg-spec:] src-string

ADD4S (オペランドなし)

### ② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 |

### ③ バイト数

2

### ④ クロック数

|     | バ イ ト 処 理                 |                           | ワ ー ド 処 理       |                 |
|-----|---------------------------|---------------------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可           | 内蔵RAM<br>アクセス禁止           | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $22+(27+3\cdot T)\cdot n$ | $22+(25+3T)\cdot n$       | —               | —               |
| V35 | $22+(30+3\cdot T)\cdot n$ | $22+(28+3\cdot T)\cdot n$ | —               | —               |

n:BCDけた数の $\frac{1}{2}$

### ⑤ 16ビット・ワード転送回数

なし

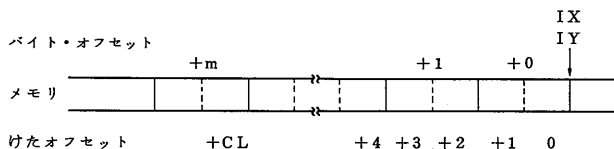
### ⑥ 機 能

BCDストリング(IY,CL)←BCDストリング(IY,CL)  
+BCDストリング(IX,CL)

IXでアドレスされるバクトBCDストリングとIYでアドレスされるバクトBCDストリングを加算し、結果をIYでアドレスされるストリングにストアします。ストリング長(BCDけた数)は、CL(CLの内容がdならばdけた)によって決定され1-254けたまで可能です。

デスティネーション・ストリングは、常にセグメント・レジスタDS1で指されるセグメント内にローケートされる必要があり、セグメント・オーバライドはできません。一方、ソース・ストリングは、デフォルト・セグメント・レジスタはDS0となっていますが、セグメント・オーバライド可能で、任意のセグメント・レジスタで指されるセグメント内にローケートできます。

パックトBCDストリングのフォーマットを次に示します。



# ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | × | U  | U | ×  |

# ⑧ 記述例

```

・MOV IX, OFFSET VAR-1
MOV IY, OFFSET VAR-2
MOV CL, 4
ADD4S

```

# ⑨ 注意

BCDストリング命令は常に偶数桁単位で動作します。このため桁数として偶数を指定したときは演算結果、および各フラグは正しく動きますが、桁数として奇数を指定した場合は奇数+1の偶数桁演算を実行し、演算結果、および各フラグは偶数桁の演算結果を示しますので、桁数として奇数を指定する場合は次のようにして下さい。

桁数が奇数のときのBCD加算命令は、最上位バイトの上位4ビットを“0”にしてから実行して下さい。この結果、キャリーは最上位バイトのビット4に示され、フラグには反映されません。

15.10.2 SUB4S(Subtract Nibble String)

① 記述形式

SUB4S (DS1-spec:)dst-string,(Seg-spec:)src-string

SUB4S (オペランドなし)

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理                 |                           | ワ ー ド 処 理       |                 |
|-----|---------------------------|---------------------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可           | 内蔵RAM<br>アクセス禁止           | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $22+(27+3\cdot T)\cdot n$ | $22+(25+3\cdot T)\cdot n$ | —               | —               |
| V35 | $22+(30+3\cdot T)\cdot n$ | $22+(28+3\cdot T)\cdot n$ |                 |                 |

n:BCDけた数の1/2

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

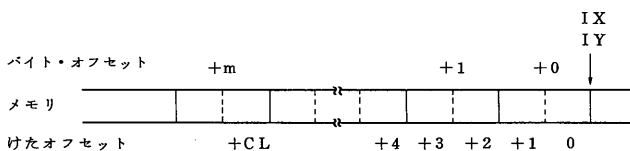
BCDストリング(IY,CL)←BCDストリング(IY,CL)  
+BCDストリング(IX,CL)

IYでアドレスされるバクトBCDストリングからIXでアドレスされるバクトBCDストリングを減算し、結果をIYでアドレスされるストリングにストアします。ストリング長(BCDけた数)は、CL(CLの内容がdならばdけた)によって決定され、1-254けたまで可能です。



デスティネーション・ストリングは、常にセグメント・レジスタDS1で指されるセグメント内にローケートされる必要があります、セグメント・オーバライドはできません。一方、ソース・ストリングは、デフォルト・セグメント・レジスタはDS0となっていますが、セグメント・オーバライド可能で、任意のセグメント・レジスタで指されるセグメント内にローケートできます。

バックトBCDストリングのフォーマットを次に示します。



#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | × | U  | U | ×  |

#### ⑧ 記述例

```

・MOV IX, OFFSET VAR-1
MOV IY, OFFSET VAR-2
MOV CL, 4
SUB 4S

```

#### ⑨ 注意

BCDストリング命令は常に偶数桁単位で動作します。このため桁数として偶数を指定したときは演算結果、および各フラグは正しく動きますが、桁数として奇数を指定した場合は奇数+1の偶数桁演算を実行し、演算結果、および各フラグは偶数桁の演算結果を示しますので、桁数として奇数を指定する場合は次のようにして下さい。

桁数が奇数のときのBCD減算命令は、最上位バイトの上位4ビットを“0”にしてから実行して下さい。この結果エラーが生じた場合は最上位バイトの上位4ビットは“9”になります。

15.10.3 CMP4S (Compare Nibble String)

① 記述形式

CMP4S [DS1-spec:]dst-string,[Seg-spec:]src-string

CMP4S (オペランドなし)

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理                 |                           | ワ ー ド 処 理       |                 |
|-----|---------------------------|---------------------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可           | 内蔵RAM<br>アクセス禁止           | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $22+(23+2\cdot T)\cdot n$ | $22+(23+2\cdot T)\cdot n$ | —               | —               |
| V35 | $22+(25+2\cdot T)\cdot n$ | $22+(25+2\cdot T)\cdot n$ |                 |                 |

n : BCDけた数の1/2

⑤ 16ビット・ワード転送回数

なし

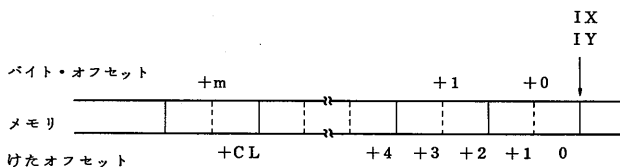
⑥ 機 能

BCDストリング(IY,CL)−BCDストリング(IX,CL)

IYでアドレスされるバケットBCDストリングからIXでアドレスされるバケットBCDストリングを減算し、結果はストアされずフラグのみ影響を受けます。ストリング長(BCDけた数)は、CL(CLの内容がdならばdけた)によって決定され、1-254けたまで可能です。

デスティネーション・ストリングは、常にセグメント・レジスタDS1で指されるセグメント内にローケートされる必要があり、セグメント・オーバライドはできません。一方、ソース・ストリングは、デフォルト・セグメント・レジスタはDS0となっていますが、セグメント・オーバライド可能で、任意のセグメント・レジスタで指されるセグメント内にローケートできます。

バックトBCDストリングのフォーマットを次に示します。



#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | × | U  | U | ×  |

#### ⑧ 記述例

```

・MOV IX, OFFSET VAR-1
MOV IY, OFFSET VAR-2
MOV CL, 4
CMP 4S

```

#### ⑨ 注 意

BCDストリング命令は常に偶数桁単位で動作します。このため桁数として偶数を指定したときは演算結果、および各フラグは正しく動きますが、桁数として奇数を指定した場合は奇数+1の偶数桁演算を実行し、演算結果、および各フラグは偶数桁の演算結果を示しますので、桁数として奇数を指定する場合は次のようにして下さい。

桁数が奇数のときのBCD比較命令は、最上位バイトの上位4ビットを“0”にしてから実行して下さい。

# 15.10.4 ROL4 (Rotate Left Nibble)

(1) 8ビット・レジスタ

① 記述形式

ROL4 reg8

② 命令語形式

|   |   |   |   |   |   |   |     |
|---|---|---|---|---|---|---|-----|
| 7 | 0 | 7 | 0 | 7 | 3 | 2 | 0   |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1   |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0   |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | reg |

③ バイト数

3

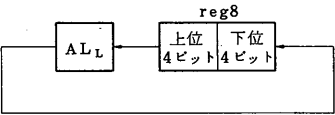
④ クロック数

|     | バイト 処 理         |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 17              | 17              | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



オペランドで指定される8ビット・レジスタのバイト・データを2けたのバクトBCDとして扱い、ALレジスタの下位4ビット（AL<sub>L</sub>）を介して、1けた分左に回転します。この命令の結果、ALの上位4ビットは保証されません。

⑦ フラグの動作

なし

⑧ 記述例

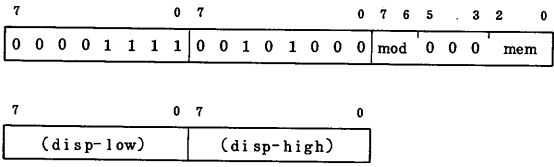
・MOV BL 24H  
ROL4 BL

② 8ビット・メモリ

① 記述形式

ROL4 mem8

② 命令語形式



③ バイト数

3 / 4 / 5

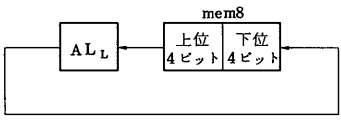
④ クロック数

|     | バ イ ト 処 理         |                   | ワ ー ド 処 理       |                 |
|-----|-------------------|-------------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $EA+18+2 \cdot T$ | $EA+16+2 \cdot T$ | —               | —               |
| V35 | $EA+20+2 \cdot T$ | $EA+18+2 \cdot T$ | —               | —               |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



オペランドでアドレスされる8ビット・メモリのバイト・データを2けたのバケットBCDとして扱い、ALレジスタの下位4ビット(AL<sub>L</sub>)を介して、1けた分左に回転します。

この命令の結果、ALの上位4ビットは保証されません。

⑦ フラグの動作

なし

⑧ 記述例

・ROL4 BYTE PTR[IX]

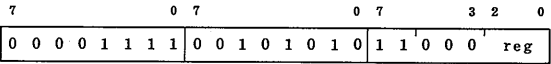
15.10.5 ROR4 (Rotate Right Nibble)

(1) 8ビット・レジスタ

① 記述形式

ROR4 reg8

② 命令語形式



③ バイト数

3

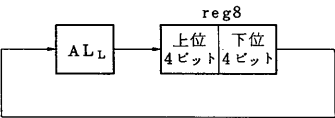
④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 21              | 21              | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



オペランドで指定される8ビット・レジスタのバイト・データを2けたのバケットBCDとして扱い、ALレジスタの下位4ビット(ALL)を介して、1けた分右に回転します。

この命令の結果、ALの上位4ビットは保証されません。

⑦ フラグの動作

なし

⑧ 記述例

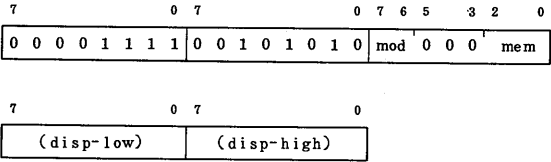
• MOV AL, 24H  
ROR4 AL

② 8ビット・メモリ

① 記述形式

ROR4 mem8

② 命令語形式



③ バイト数

3 / 4 / 5

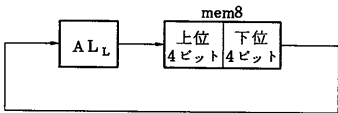
④ クロック数

|     | バ イ ト 処 理       |                 | ソ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+24+2・T       | EA+22+2・T       | —               | —               |
| V35 | EA+26+2・T       | EA+24+2・T       | —               | —               |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



オペランドでアドレスされる8ビット・メモリのバイト・データを2けたのバケットBCDとして扱い、ALレジスタの下位4ビット(AL<sub>L</sub>)を介して、1けた分右に回転します。

この命令の結果、ALの上位4ビットは保証されません。

⑦ フラグの動作

なし

⑧ 記述例

・ROR4 BYTE PTR[IX] ]

## 15.11 増減命令

### 15.11.1 INC (Increment)

(1) 8ビット・レジスタ

① 記述形式

INC reg8

② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |     |  |   |   |  |  |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|-----|--|---|---|--|--|---|
| 7 |   |   |   |   |   |   |   | 0 | 7 | 6 | 5 |   |   |     |  | 3 | 2 |  |  | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | reg |  |   |   |  |  |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg ← reg8 + 1

オペランドで指定される8ビット・レジスタの内容をインクリメント(+1)します。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × |    |

⑧ 記述例

・INC AL



(2) メモリ

① 記述形式

INC mem

② 命令語形式

|   |   |   |   |   |   |   |   |   |     |   |   |   |     |   |   |
|---|---|---|---|---|---|---|---|---|-----|---|---|---|-----|---|---|
| 7 |   |   |   |   |   |   |   | 0 | 7   | 6 | 5 |   | 3   | 2 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | W | mod | 0 | 0 | 0 | mem |   |   |

|            |  |  |  |  |  |  |  |             |   |  |  |  |  |  |   |
|------------|--|--|--|--|--|--|--|-------------|---|--|--|--|--|--|---|
| 7          |  |  |  |  |  |  |  | 0           | 7 |  |  |  |  |  | 0 |
| (disp-low) |  |  |  |  |  |  |  | (disp-high) |   |  |  |  |  |  |   |

③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理         |                   | ワ ー ド 処 理         |                   |
|-----|-------------------|-------------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | $EA+11+2 \cdot T$ | $EA+9+2 \cdot T$  | $EA+15+4 \cdot T$ | $EA+11+4 \cdot T$ |
| V35 | $EA+13+2 \cdot T$ | $EA+11+2 \cdot T$ | $EA+13+2 \cdot T$ | $EA+9+2 \cdot T$  |

⑤ 16ビット・ワード転送

2

⑥ 機 能

$(mem) \leftarrow (mem) + 1$

オペランドでアドレスされる8 / 16ビット・メモリの内容をインクリメント(+1)します。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × |    |

⑧ 記述例

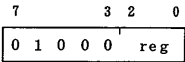
・ INC DATA1 ; DATA1 = 変数

③ 16ビット・レジスタ

① 記述形式

INC reg16

② 命令語形式



③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16←reg16+1

オペランドで指定される16ビット・レジスタの内容をインクリメント(+1)します。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × |    |

⑧ 記述例

- INC DW
- INC BP
- INC SP

15.11.2 DEC (Decrement)

(1) 8ビット・レジスタ

① 記述形式

DEC reg8

② 命令語形式

|   |   |   |   |   |   |   |     |
|---|---|---|---|---|---|---|-----|
| 7 | 0 | 7 | 6 | 5 | 3 | 2 | 0   |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1   |
|   |   |   |   |   |   |   | reg |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg8 ← reg8 - 1

オペランドで指定される8ビット・レジスタの内容をデクリメント（-1）します。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| × | × | × | ×  | × |    |

⑧ 記述例

- DEC CL
- DEC BL

② メモリ

① 記述形式

DEC mem

② 命令語形式

|   |   |   |   |   |   |   |               |
|---|---|---|---|---|---|---|---------------|
| 7 | 0 | 7 | 6 | 5 | 3 | 2 | 0             |
| 1 | 1 | 1 | 1 | 1 | 1 | W | mod 0 0 1 mem |

|            |             |   |   |
|------------|-------------|---|---|
| 7          | 0           | 7 | 0 |
| (disp-low) | (disp-high) |   |   |

③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理         |                   | ワ ー ド 処 理         |                   |
|-----|-------------------|-------------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | $EA+11+2 \cdot T$ | $EA+9+2 \cdot T$  | $EA+15+4 \cdot T$ | $EA+11+4 \cdot T$ |
| V35 | $EA+13+2 \cdot T$ | $EA+11+2 \cdot T$ | $EA+13+2 \cdot T$ | $EA+9+2 \cdot T$  |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

$(mem) \leftarrow (mem) - 1$

オペランドでアドレスされる8 / 16ビット・メモリの内容をデクリメント(-1)します。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × |    |

⑧ 記述例

・DEC DATA ; DATA = 変数

③ 16ビット・レジスタ

① 記述形式

DEC reg16

② 命令語形式

|     |   |   |     |
|-----|---|---|-----|
| 7   | 3 | 2 | 0   |
| 0   | 1 | 0 | 0 1 |
| reg |   |   |     |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16 ← reg16 - 1

オペランドで指定される16ビット・レジスタの内容をデクリメント(-1)します。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × |    |

⑧ 記述例

- DEC BW
- DEC BP
- DEC IX
- DEC IY

## 15.12 乘算命令

### 15.12.1 MULU (Multiply Unsigned)

### (1) 8ビット・レジスタ

### ① 記述形式

M U L U r e g 8

## ② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |   |  |     |
|---|---|---|---|---|---|---|---|---|---|---|---|---|--|-----|
| 7 |   |   |   |   | 0 | 7 | 6 | 5 |   |   | 3 | 2 |  | 0   |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 |   |  | reg |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理        |                  | ワ ー ド 処 理        |                  |
|-----|------------------|------------------|------------------|------------------|
|     | 内蔵 RAM<br>アクセス許可 | 内蔵 RAM<br>アクセス禁止 | 内蔵 RAM<br>アクセス許可 | 内蔵 RAM<br>アクセス禁止 |
| V25 | 24               | 24               | —                | —                |
| V35 |                  |                  |                  |                  |

## ⑤ 16ビット・ワード転送回数

なし

### ⑥ 機能

$$A W \leftarrow A L \times \text{reg8}$$
$$A H = 0 \text{ のとき } \quad C Y \leftarrow 0, \quad V \leftarrow 0$$

$AH \neq 0$  のとき  $CY \leftarrow 1, V \leftarrow 1$

レジスタ AL の内容とオペランドで指定される 8 ビット・レジスタの内容との符号なし乗算を行い、倍長結果をレジスタ AL と AH にストアします。結果の上位半分 (AH) がゼロでないとき、キャリー・フラグとオーバフロー・フラグがセットされます。AH は拡張レジスタです。

### ⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| × | U | U | U  | U | ×  |

⑧ 記述例

- ・ALの内容とCLの内容を乗算する.

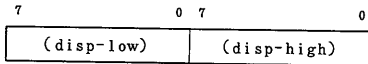
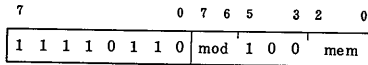
MULU CL

(2) 8ビット・メモリ

① 記述形式

MULU mem8

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+26+T         | EA+26+T         | —               | —               |
| V35 | EA+27+T         | EA+27+T         | —               | —               |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

$AW \leftarrow AL \times (mem8)$

AH=0のとき CY←0, V←0

AH≠0のとき CY←1, V←1

レジスタALの内容とオペランドでアドレスされる8ビット・メモリの内容との符号なし乗算を行い、倍長結果をレジスタALとAHにストアします。結果の上位半分(AH)がゼロでないとき、キャリー・フラグとオーバフロー・フラグがセットされます。AHは拡張レジスタです。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | U | U | U  | U | ×  |



⑧ 記述例

• M U L U   B Y T E   P T R [ I X ]

### ③ 16ビット・レジスタ

#### ① 記述形式

MULU reg16

#### ② 命令語形式

|   |   |   |   |   |     |   |   |
|---|---|---|---|---|-----|---|---|
| 7 | 0 | 7 | 6 | 5 | 3   | 2 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1   | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | reg |   |   |

#### ③ バイト数

2

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 32              | 32              |
| V35 |                 |                 |                 |                 |

#### ⑤ 16ビット・ワード転送回数

なし

#### ⑥ 機 能

DW, AW ← AW × reg16

DW = 0 のとき CY ← 0, V ← 0

DW ≠ 0 のとき CY ← 1, V ← 1

レジスタAWの内容とオペランドで指定される16ビット・レジスタの内容との符号なし乗算を行い、倍長結果をレジスタAWとDWにストアします。結果の上位半分(DW)がゼロでないとき、キャリー・フラグとオーバーフロー・フラグがセットされます。

DWは拡張レジスタです。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | U | U | U  | U | ×  |

#### ⑧ 記述例

• MULU BW

(4) 16ビット・メモリ

① 記述形式

MULU mem16

② 命令語形式

|   |   |   |   |   |   |   |   |     |   |   |   |     |  |  |  |   |   |  |   |
|---|---|---|---|---|---|---|---|-----|---|---|---|-----|--|--|--|---|---|--|---|
| 7 |   |   |   |   |   |   |   | 0   | 7 | 6 | 5 |     |  |  |  | 3 | 2 |  | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | mod | 1 | 0 | 0 | mem |  |  |  |   |   |  |   |

|            |  |  |  |  |  |  |  |             |   |  |  |  |  |  |  |  |  |  |   |
|------------|--|--|--|--|--|--|--|-------------|---|--|--|--|--|--|--|--|--|--|---|
| 7          |  |  |  |  |  |  |  | 0           | 7 |  |  |  |  |  |  |  |  |  | 0 |
| (disp-low) |  |  |  |  |  |  |  | (disp-high) |   |  |  |  |  |  |  |  |  |  |   |

③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+34+2・T       | EA+34+2・T       |
| V35 |                 |                 | EA+33+T         | EA+33+T         |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

DW, AW ← AW × (mem16)

DW = 0 のとき CY ← 0, V ← 0

DW ≠ 0 のとき CY ← 1, V ← 1

レジスタAWとオペランドでアドレスされる16ビット・メモリとの符号なし乗算を行い、倍長結果をレジスタAWとDWにストアします。結果の上位半分DWがゼロでなく、キャリー・フラグとオーバフロー・フラグがセットされます。DWは拡張レジスタです。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | U | U | U  | U | ×  |

⑧ 記述例

• MULU WORD PTR[IX]

## 15.12.2 MUL (Multiply Signed)

### (1) 8ビット・レジスタ

#### ① 記述形式

MUL reg8

#### ② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |     |   |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|-----|---|---|
| 7 |   |   |   |   |   |   |   | 0 | 7 | 6 | 5 |   |   |   |   | 3   | 2 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | reg |   |   |

#### ③ バイト数

2

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 31~40           | 31~40           | —               | —               |
| V35 |                 |                 |                 |                 |

### ⑤ 16ビット・ワード転送回数

なし

### ⑥ 機 能

$AW \leftarrow AL \times reg8$

AH=ALのサイン拡張のとき  $CY \leftarrow 0, V \leftarrow 0$

AH $\neq$ ALのサイン拡張のとき  $CY \leftarrow 1, V \leftarrow 1$

レジスタALとオペランドで指定される8ビット・レジスタとの符号付き乗算を行い、倍長結果をレジスタALとAHにストアします。結果の上位半分AHが下位半分ALの符号拡張でないとき、キャリー・フラグとオーバーフロー・フラグがセットされます。AHは拡張レジスタです。

### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | U | U | U  | U | ×  |

⑧ 記述例

- ・ AL と 0FH を乗算する.

```
MOV CL, 0FH
```

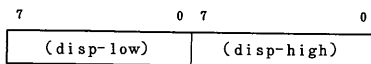
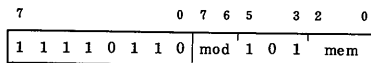
```
MUL CL
```

② 8ビット・メモリ

① 記述形式

MUL mem8

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理           |                     | ワ ー ド 処 理       |                 |
|-----|---------------------|---------------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可     | 内蔵RAM<br>アクセス禁止     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+33+T<br>~EA+42+T | EA+33+T<br>~EA+42+T | —               | —               |
| V35 | EA+34+T<br>~EA+43+T | EA+34+T<br>~EA+43+T |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$AW \leftarrow AL \times (mem8)$

AH = ALのサイン拡張のとき CY ← 0, V ← 0

AH ≠ ALのサイン拡張のとき CY ← 1, V ← 1

レジスタALとオペランドでアドレスされる8ビット・メモリとの符号付き乗算を行い、倍長結果をレジスタALとAHにストアします。結果の上位半分AHが下位半分のALの符号拡張でないとき、キャリー・フラグとオーバフロー・フラグがセットされます。AHは拡張レジスタです。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | U | U | U  | U | ×  |

⑧ 記述例

- ・ ALとメモリ 0:50Hの内容 (BYTE DATA)を乗算する。

```
MOV  BW, 0
MOV  DS, BW
MOV  IX, 50H
MUL  BYTE PTR[IX]
```



(3) 16ビット・レジスタ

① 記述形式

MUL reg16

② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |   |     |  |  |   |   |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|-----|--|--|---|---|---|
| 7 |   |   |   |   |   |   |   | 0 | 7 | 6 | 5 |   |     |  |  | 3 | 2 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | reg |  |  |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 39～48           | 39～48           |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$DW, AW \leftarrow AW \times reg16$

$DW = AW$  のサイン拡張のとき  $CY \leftarrow 0, V \leftarrow 0$

$DW \neq AW$  のサイン拡張のとき  $CY \leftarrow 1, V \leftarrow 1$

レジスタAWとオペランドで指定される16ビット・レジスタとの符号付き乗算を行い、倍長結果をレジスタAWとDWにストアします。結果の上位半分DWが下位半分AWの符号拡張でないとき、キャリー・フラグとオーバーフロー・フラグがセットされます。DWは拡張レジスタです。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | U | U | U  | U | ×  |

⑧ 記述例

- ・ AWの値と100Hを乗算する。

```
MOV  CW, 100H
```

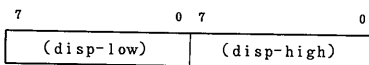
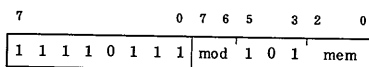
```
MUL  CW
```

(4) 16ビット・メモリ

① 記述形式

MUL mem16

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理               |                         |
|-----|-----------------|-----------------|-------------------------|-------------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可         | 内蔵RAM<br>アクセス禁止         |
| V25 | —               | —               | EA+43+2・T<br>~EA+52+2・T | EA+43+2・T<br>~EA+52+2・T |
| V35 | —               | —               | EA+42+T<br>~EA+51+T     | EA+42+T<br>~EA+51+T     |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

DW ← AW × (mem16)

DW = AWのサイン拡張のとき CY ← 0, V ← 0

DW ≠ AWのサイン拡張のとき CY ← 1, V ← 1

レジスタAWとオペランドでアドレスされる16ビット・メモリとの符号付き乗算を行い、倍長結果をレジスタAWとDWにストアします。結果の上位半分DWが下位半分AWの符号拡張でないとき、キャリー・フラグとオーバフロー・フラグがセットされます。

DWは拡張レジスタです。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | U | U | U  | U | ×  |

⑧ 記述例

- AWとメモリ 0:50Hの内容 (WORD DATA) を乗算する。

```
MOV  BW, 0
MOV  DS 0, BW
MOV  IX, 50H
MUL  WORD PTR[IX]
```

(5) 16ビット・レジスタ×8ビット・イミディエト・データを16ビット・レジスタへ

① 記述形式

MUL reg16, reg16', imm8

MUL reg16, imm8

② 命令語形式

|     |   |   |   |      |   |   |   |      |   |
|-----|---|---|---|------|---|---|---|------|---|
| 7   | 0 | 7 | 6 | 5    | 3 | 2 | 0 | 7    | 0 |
| 0   | 1 | 1 | 0 | 1    | 0 | 1 | 1 | 1    | 1 |
| reg |   |   |   | reg' |   |   |   | imm8 |   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 39～49           | 39～49           |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16 ← reg16' × imm8

積 ≤ 16ビット : CY ← 0, V ← 0

積 > 16ビット : CY ← 1, V ← 1

第2オペランド(2オペランド記述のときは第1オペランド)で指定される16ビット・レジスタと第3オペランド(2オペランド記述のときは第2オペランド)で指定される8ビット・イミディエト・データとの符号付き乗算を行い、結果を第1オペランドで指定される16ビット・レジスタにストアします。

ソース・レジスタとデスティネーション・レジスタが同じで良い場合は、2オペランド記述が可能です。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | U | U | U  | U | ×  |

⑧ 記述例

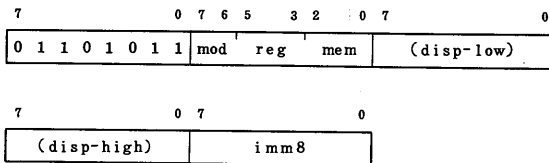
- MUL DW, CW, 8 ; CW×8をDWへ
- MUL DW, 2 ; DW×2をDWへ

⑥ 16ビット・メモリ×8ビット・イミューディエト・データを16ビット・レジスタへ

① 記述形式

MUL reg16, mem16, imm8

② 命令語形式



③ バイト数

3 / 4 / 5

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理               |                         |
|-----|-----------------|-----------------|-------------------------|-------------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可         | 内蔵RAM<br>アクセス禁止         |
| V25 | —               | —               | EA+43+2・T<br>~EA+53+2・T | EA+43+2・T<br>~EA+53+2・T |
| V35 | —               | —               | EA+42+T<br>~EA+52+T     | EA+42+T<br>~EA+52+T     |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

reg16 ← (mem16) × imm8

積 ≤ 16ビット : CY ← 0, V ← 0

積 > 16ビット : CY ← 1, V ← 1

第2オペランドでアドレスされる16ビット・メモリと第3オペランドで指定される8ビット・イミューディエト・データとの符号付き乗算を行い、結果を第1オペランドで指定される16ビット・レジスタにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | U | U | U  | U | ×  |

⑧ 記述例

- ・メモリ 0:50H の内容 (WORD DATA) と 16 を乗算して DWへストアする.

```
MOV AW, 0
```

```
MOV DS0, AW
```

```
MOV IX, 50H
```

```
MUL DW DS0:WORD PTR[IX], 16
```



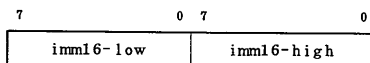
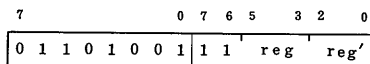
(7) 16ビット・レジスタ×16ビット・イミディエト・データを16ビット・レジスタへ

① 記述形式

MUL reg16, reg16', imm16

MUL reg16, imm16

② 命令語形式



③ バイト数

4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 40～50           | 40～50           |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16 ← reg16' × imm16

積 ≤ 16ビット : CY ← 0, V ← 0

積 > 16ビット : CY ← 1, V ← 1

第2オペランド(2オペランド記述のときは第1オペランド)で指定される16ビット・レジスタと第3オペランド(2オペランド記述のときは第2オペランド)で指定される16ビット・イミディエト・データとの符号付き乗算を行い、結果を第1オペランドで指定される16ビット・レジスタにストアします。

ソース・レジスタとデスティネーション・レジスタが同じで良い場合は、2オペランド記述が可能です。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | U | U | U  | U | ×  |

⑧ 記述例

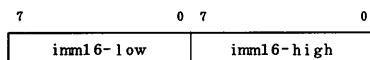
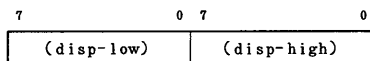
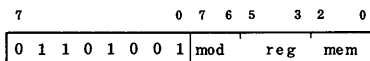
- MUL DW, CW, 300 ; CW×300 をDWへ
- MUL DW, 100H ; CW×100HをDWへ

(8) 16ビット・メモリ×16ビット・イミディエト・データを16ビット・レジスタへ

① 記述形式

MUL reg16, mem16, imm16

② 命令語形式



③ バイト数

4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理                                   |                                             |
|-----|-----------------|-----------------|---------------------------------------------|---------------------------------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可                             | 内蔵RAM<br>アクセス禁止                             |
| V25 | —               | —               | $EA+44+2 \cdot T$<br>$\sim EA+54+2 \cdot T$ | $EA+44+2 \cdot T$<br>$\sim EA+54+2 \cdot T$ |
| V35 | —               | —               | $EA+43+T$<br>$\sim EA+53+T$                 | $EA+43+T$<br>$\sim EA+53+T$                 |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

reg16 ← (mem16) × imm16

積 ≤ 16ビット : CY ← 0, V ← 0

積 > 16ビット : CY ← 1, V ← 1

第2オペランドでアドレスされる16ビット・メモリと第3オペランドの16ビット・イミディエト・データとの符号付き乗算を行い、結果を第1オペランドで指定される16ビット・レジスタにストアします。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | U | U | U  | U | ×  |

⑧ 記述例

- ・メモリ 0:50Hの内容(WORD DATA)と100Hを乗算してDWへストアする。

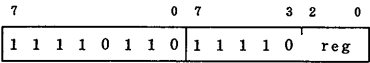
```
MOV AW, 0
MOV DS0, AW
MOV IX, 50H
MUL DW, DS0:WORD PTR[IX], 100H
```

15.13 除算命令

15.13.1 DIVU(Divide Unsigned)

(1) 8ビット・レジスタ

- ① 記述形式  
DIVU reg8
- ② 命令語形式



- ③ バイト数  
2
- ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 31              | 31              | —               | —               |
| V35 |                 |                 |                 |                 |

- ⑤ 16ビット・ワード転送回数  
なし

⑥ 機 能

```
temp ← AW
temp ÷ reg8 ≤ FFH のとき
    AH ← temp % reg8
    AL ← temp ÷ reg8

temp ÷ reg8 > FFH のとき
    (SP-1, SP-2) ← PSW
    (SP-3, SP-4) ← PS
    (SP-5, SP-6) ← PC
    SP ← SP-6
    IE ← 0
    BRK ← 0
    PS ← (003H, 002H)
    PC ← (001H, 000H)
```

16ビット・レジスタAWをオペランドで指定される8ビット・レジスタで割り(符号なし除算)、商をレジスタALにストアし、剰余をレジスタAHにストアします。商がデスティネーション・レジスタALの容量FFHを越えた場合は、ベクタ0割り込みが発生され、商と剰余は不定となります。このことは、特に0で割ったときに起こります。

整数でない商は整数に切り縮められます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

⑧ 記述例

- ・ 5 ÷ 3 の除算をする。

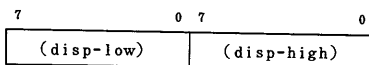
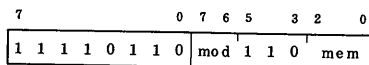
```
MOV AW, 5
MOV DL, 3
DIVU DL
; AH=2 AL=1
```

## (2) 8ビット・メモリ

### ① 記述形式

DIVU mem8

### ② 命令語形式



### ③ バイト数

2 / 3 / 4

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+33+T         | EA+33+T         | —               | —               |
| V35 | EA+34+T         | EA+34+T         |                 |                 |

### ⑤ 16ビット・ワード転送回数

なし

## ⑥ 機能

temp ← AW

temp ÷ (mem8) ≤ FFH のとき

AH ← temp % (mem8)

AL ← temp ÷ (mem8)

temp ÷ (mem8) > FFH のとき

(SP-1, SP-2) ← PSW

(SP-3, SP-4) ← PS

(SP-5, SP-6) ← PC

SP ← SP-6

IE ← 0

BRK ← 0

PS ← (003H, 002H)

PC ← (001H, 000H)

16ビット・レジスタAWをオペランドで指定される8ビット・メモリで割り(符号なし除算), 商をレジスタALにストアし, 剰余をレジスタAHにストアします。商がデスティネーション・レジスタALの容量FFHを越えた場合は, ベクタ0割り込みが発生され, 商と剰余は不定となります。このことは, 特に0で割ったときに起こります。

整数でない商は整数に切り縮められます。

## ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

## ⑧ 記述例

- AWの内容を0:50Hの内容(BYTE DATA)で割る。

MOV BW, 0

MOV DS0, BW

MOV IX, 50H

DIVU DS0:BYTE PTR[IX]

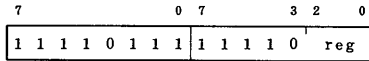


(3) 16ビット・レジスタ

① 記述形式

DIVU reg16

② 命令語形式



③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 39              | 39              |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

temp←DW,AW

temp÷reg16≤FFFFHのとき

DW←temp%reg16

AW←temp÷reg16

temp÷reg16>FFFFHのとき

(SP-1, SP-2)←PSW

(SP-3, SP-4)←PS

(SP-5, SP-6)←PC

SP←SP-6

IE←0

BRK←0

PS←(003H,002H)

PC←(001H,000H)

16ビット・レジスタDWとAWをオペランドで指定される16ビット・レジスタで割り(符号なし除算), 商をAWにストアし, 剰余をDWにストアします。商がデスティネーション・レジスタAWの容量FFFFHを越えた場合は, ベクタ0割り込みが発生され, 商と剰余は不定となります。このことは, 特に0で割ったときに起こります。  
整数でない商は整数に切り縮められます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

⑧ 記述例

- ・ 32ビット・データ1234:5678H÷0FFFFHの演算をする。

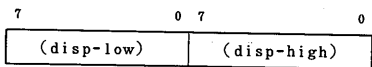
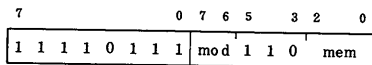
```
MOV DW, 1234H
MOV AW, 5678H
MOV CW, 3
DIVU CW
;AW=1234H DW=68ACH
```

(4) 16ビット・メモリ

### ① 記述形式

DIVU mem16

## ② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バイト処理           |                 | ワード処理           |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+43+2・T       | EA+43+2・T       |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

**1**

# ⑥ 機能

temp←DW, AW

temp÷(mem16)≤FFFFHのとき

DW←temp%(mem16)

AW←temp÷(mem16)

temp÷(mem16)>FFFFHのとき

(SP-1, SP-2)←PSW

(SP-3, SP-4)←PS

(SP-5, SP-6)←PC

SP←SP-6

IE←0

BRK←0

PS←(003H, 002H)

PC←(001H, 000H)

16ビット・レジスタDWとAWをオペランドで指定される16ビット・メモリで割り(符号なし除算), 商をAWにストアし, 剰余をDWにストアします。商がデスティネーション・レジスタAWの容量FFFFHを越えた場合は, ベクタ0割り込みが発生され, 商と剰余は不定となります。このことは, 特に0で割ったときに起こります。

整数でない商は整数に切り縮められます。

# ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

# ⑧ 記述例

・32ビット・データ1234:5678Hをメモリ0:50Hの内容(WORD DATA)で割る。

MOV BW, 0

MOV DS0, BW

MOV IX, 50H

MOV DW, 1234H

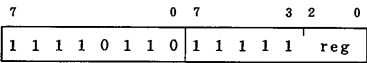
MOV AW, 5678H

DIVU DS0:WORD PTR[IX]

15.13.2 DIV(Divide Signed)

(1) 8ビット・レジスタ

- ① 記述形式  
DIV reg8
- ② 命令語形式



- ③ バイト数  
2
- ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 46~56           | 46~56           | —               | —               |
| V35 |                 |                 |                 |                 |

- ⑤ 16ビット・ワード転送回数  
なし

## ⑥ 機能

temp ← AW

temp ÷ reg8 > 0 で temp ÷ reg8 ≤ 7FH または

temp ÷ reg8 < 0 で temp ÷ reg8 > 0 - 7FH - 1 のとき

AH ← temp % reg8

AL ← temp ÷ reg8

temp ÷ reg8 > 0 で temp ÷ reg8 > 7FH または

temp ÷ reg8 < 0 で temp ÷ reg8 ≤ 0 - 7FH - 1 のとき

商と剰余は不定

(SP-1, SP-2) ← PSW

(SP-3, SP-4) ← PS

(SP-5, SP-6) ← PC

SP ← SP-6

IE ← 0

BRK ← 0

PS ← (003H, 002H)

PC ← (001H, 000H)

16ビット・レジスタAWをオペランドで指定される8ビット・レジスタで割り(符号付き除算), 商を8ビット・レジスタALにストアし, 剰余をレジスタAHにストアします。正の商の最大値は+127(7FH)で, 負の商の最小値は-127(81H)です。商が正で最大値を越えたとき, または商が負で最小値より小さくなったときは, 商と剰余は不定となり, ベクタ0割り込みが発生されます。このことは特に0で割ったときに起こります。

整数でない商は整数に切り縮められ, 剰余は被除数と同じ符号を持ちます。

## ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

## ⑧ 記述例

- ・AWの内容を2Hで割るとき

MOV DW, 2H

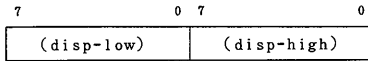
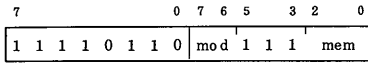
DIV DL

(2) 8ビット・メモリ

① 記述形式

DIV mem8

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理           |                     | ワ ー ド 処 理       |                 |
|-----|---------------------|---------------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可     | 内蔵RAM<br>アクセス禁止     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+48+T<br>~EA+58+T | EA+48+T<br>~EA+58+T | —               | —               |
| V35 | EA+49+T<br>~EA+59+T | EA+49+T<br>~EA+59+T |                 |                 |

⑤ 16ビット・ワード転送回数

なし

## ⑥ 機能

temp←AW

temp÷(mem8)>0でtemp÷(mem8)≤7FHまたは

temp÷(mem8)<0でtemp÷(mem8)>0-7FH-1のとき

AH←temp÷(mem8)

AL←temp÷(mem8)

temp÷(mem8)>0でtemp÷(mem8)>7FHまたは

temp÷(mem8)<0でtemp÷(mem8)≤0-7FH-1のとき

商と剰余は不定

(SP-1, SP-2)←PSW

(SP-3, SP-4)←PS

(SP-5, SP-6)←PC

SP←SP-6

IE←0

BRK←0

PS←(003H, 002H)

PC←(001H, 000H)

16ビット・レジスタAWをオペランドで指定される8ビット・メモリで割り(符号付き除算), 商を8ビット・レジスタALにストアし, 剰余をレジスタAHにストアします。正の商の最大値は+127(7FH)で, 負の商の最小値は-127(81H)です。商が正で最大値を越えたとき, または商が負で最小値より小さくなったときは, 商と剰余は不定となり, ベクタ0割り込みが発生されます。このことは特に0で割ったときに起こります。

整数でない商は整数に切り縮められ, 剰余は被除数と同じ符号を持ちます。

## ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

## ⑧ 記述例

- AWの値をメモリ0:50Hの内容(BYTE DATA)で割る。

MOV BW, 0

MOV DS0, BW

MOV IX, 50H

DIV DS0:BYTE PTR[IX]



(3) 16ビット・レジスタ

① 記述形式

DIV reg16

② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |     |   |  |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|-----|---|--|---|
| 7 |   |   |   |   |   |   | 0 | 7 |   |   |   |   |   |   | 3   | 2 |  | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | reg |   |  |   |

③ バイト数

2

④ クロック数

|     | バイト 処 理         |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 54~64           | 54~64           |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

temp←DW,AW

temp÷reg16>0でtemp÷reg16≤7FFFHまたは

temp÷reg16<0でtemp÷reg16>0-7FFFH-1のとき

DW←temp%reg16

AW←temp÷reg16

temp÷reg16>0でtemp÷reg16>7FFFHまたは

temp÷reg16<0でtemp÷reg16≤0-7FFFH-1のとき

商と剰余は不定

(SP-1, SP-2)←PSW

(SP-3, SP-4)←PS

(SP-5, SP-6)←PC

SP←SP-6

IE←0

BRK←0

PS←(003H, 002H)

PC←(001H, 000H)

16ビット・レジスタDWとAWをオペランドで指定される16ビット・レジスタで割り（符号付き除算）、商を16ビット・レジスタAWにストアし、剰余を16ビット・レジスタDWにストアします。正の商の最大値は+32,767（7FFFH）で、負の商の最小値は-32,767（8001H）です。商が正で最大値を越えたとき、または商が負で最小値より小さくなったときは、商と剰余は不定となり、ベクタ0割り込みが発生されます。このことは特に0で割ったときに起こります。

整数でない商は整数に切り縮められ、剰余は被除数と同じ符号を持ちます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

⑧ 記述例

• DIV BW

(4) 16ビット・メモリ

① 記述形式

DIV mem16

② 命令語形式

|     |   |   |   |   |   |   |     |
|-----|---|---|---|---|---|---|-----|
| 7   | 0 | 7 | 6 | 5 | 3 | 2 | 0   |
| 1   | 1 | 1 | 1 | 0 | 1 | 1 | 1   |
| mod |   |   |   | 1 | 1 | 1 | mem |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理                                   |                                             |
|-----|-----------------|-----------------|---------------------------------------------|---------------------------------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可                             | 内蔵RAM<br>アクセス禁止                             |
| V25 | —               | —               | $EA+58+2 \cdot T$<br>$\sim EA+68+2 \cdot T$ | $EA+58+2 \cdot T$<br>$\sim EA+68+2 \cdot T$ |
| V35 | —               | —               | $EA+57+T$<br>$\sim EA+67+T$                 | $EA+57+T$<br>$\sim EA+67+T$                 |

⑤ 16ビット・ワード転送回数

1

# ⑥ 機能

temp←DW, AW

temp÷(mem16)>0でtemp÷(mem16)≤7FFFHまたは

temp÷(mem16)<0でtemp÷(mem16)>0-7FFFH-1のとき

DW←temp%(mem16)

AW←temp÷(mem16)

temp÷(mem16)>0でtemp÷(mem16)>7FFFHまたは

temp÷(mem16)<0でtemp÷(mem16)≤0-7FFFH-1のとき

商と剰余は不定

(SP-1, SP-2)←PSW

(SP-3, SP-4)←PS

(SP-5, SP-6)←PC

SP←SP-6

IE←0

BRK←0

PS←(003H, 002H)

PC←(001H, 000H)

16ビット・レジスタDWとAWをオペランドで指定される16ビット・メモリで割り(符号付き除算), 商を16ビット・レジスタAWにストアし, 剰余を16ビット・レジスタDWにストアします。正の商の最大値は+32,767(7FFFH)で, 負の商の最小値は-32,767(8001H)です。商が正で最大値を越えたとき, または商が負で最小値より小さくなったときは, 商と剰余は不定となり, ベクタ0割り込みが発生されます。このことは特に0で割ったときに起こります。

整数でない商は整数に切り縮められ, 剰余は被除数と同じ符号を持ちます。

# ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | U  | U | U  |

# ⑧ 記述例

・32ビット・データDW:AWをメモリ0:50Hの内容で割る。

MOV BW, 0

MOV DS0, BW

MOV IX, 50H

DIV DS0:WORD PTR[IX]

## 15.14 BCD補正命令

### 15.14.1 ADJBA(Adjust Byte Add)

- ① 記述形式

ADJBA (オペランドなし)

- ② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 0 | 0 |
| 1 | 1 |
| 0 | 1 |
| 1 | 1 |
| 1 | 1 |

- ③ バイト数

1

- ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 17              | 17              | —               | —               |
| V35 |                 |                 |                 |                 |

- ⑤ 16ビット・ワード転送回数

なし

- ⑥ 機 能

$AL \wedge 0FH > 9$  または  $AC=1$  のとき

$AL \leftarrow AL + 6$

$AH \leftarrow AH + 1$

$AC \leftarrow 1$

$CY \leftarrow AC$

$AL \leftarrow AL \wedge 0FH$

2つのアンパクト10進数の加算のAL内の結果を1つのアンパクト10進数に補正します。上位4ビットはゼロになります。

- ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | U | U | ×  | U | ×  |

- ⑧ 記述例

ADJBA

# 15.14.2 ADJ4A(Adjust Nibble Add)

## ① 記述形式

ADJ4A(オペランドなし)

## ② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 0 | 0 |
| 1 | 0 |
| 0 | 1 |
| 1 | 1 |
| 1 | 1 |

## ③ バイト数

1

## ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 9               | 9               | —               | —               |
| V35 |                 |                 |                 |                 |

## ⑤ 16ビット・ワード転送回数

なし

## ⑥ 機 能

AL∧0FH>9またはAC=1のとき

AL←AL+6

CY←CY∨AC

AC←1

AL>9FHまたはCY=1のとき

AL←AL+60H

CY←1

2つのバケット10進数の加算のAL内の結果を1つのバケット10進数に補正します。

## ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | ×  | × | ×  |

## ⑧ 記述例

ADJ4A

15.14.3 ADJBS(Adjust Byte Subtract)

① 記述形式

ADJBS(オペランドなし)

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 0 | 0 |
| 1 | 1 |
| 1 | 1 |
| 1 | 1 |
| 1 | 1 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 17              | 17              | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

AL∧0FH>9またはAC=1のとき

AL←AL-6

AH←AH-1

AC←1

CY←AC

AL←AL∧0FH

2つのアンパクト10進数の減算のAL内の結果を1つのアンパクト10進数に補正します。上位4ビットはゼロになります。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| U | U | U | ×  | U | ×  |

⑧ 記述例

・SUB AW, BW

ADJBS

15.14.4 ADJ4S(Adjust Nibble Subtract)

① 記述形式

ADJ4S(オペランドなし)

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 0 | 0 |
| 1 | 0 |
| 1 | 1 |
| 1 | 1 |
| 1 | 1 |

③ バイト数

1

④ クロック数

|     | バイト処理           |                 | ワード処理           |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 9               | 9               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機能

AL∧0FH>9またはAC=1のとき

AL←AL-6

CY←AC∨CY

AC←1

AL>9FHまたはCY=1のとき

AL←AL-60H

CY←1

2つのバケット10進数の減算のAL内の結果を1つのバケット10進数に補正します。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | ×  | × | ×  |

⑧ 記述例

・SUB AW, BW

ADJ4S



## 15.15 データ変換命令

### 15.15.1 CVTBD(Convert Binary to Decimal)

① 記述形式

CVTBD(オペランドなし)

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 19              | 19              | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$AH \leftarrow AL \div 0AH$

$AL \leftarrow AL \% 0AH$

レジスタALの2進数8ビットを、2けたのアンパクト10進数に変換します。

レジスタAHはレジスタALを10で割った商で置き換えられ、次にレジスタALがその乗算の剰余で置き換えられます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | U  |

⑧ 記述例

・MOV AL, 30H

CVTBD

15. 15.2 CVTDB(Convert Decimal to Binary)

- ① 記述形式  
CVTDB (オペランドなし)
- ② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 |

- ③ バイト数  
2
- ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 20              | 20              | —               | —               |
| V35 |                 |                 |                 |                 |

- ⑤ 16ビット・ワード転送回数  
なし
- ⑥ 機 能  
 $AL \leftarrow AH \times 0AH + AL$   
 $AH \leftarrow 0$

レジスタAHおよびALの2けたのアンパクト10進数を、16ビットの2進数に変換します。

レジスタALは、AHに10を掛けた結果にALを加えたもので置き換えられ、レジスタAHは0で置き換えられます。

- ⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| U | × | × | U  | × | U  |

- ⑧ 記述例  
• MOV AW, [BW]  
CVTDB

### 15.15.3 CVTBW(Convert Byte to Word)

① 記述形式

CVTBW(オペランドなし)

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 1 | 0 |
| 0 | 0 |
| 1 | 1 |
| 0 | 0 |
| 0 | 0 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 3               | 3               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

AL<80Hのとき AH←0

AL≥80Hのとき AH←FFH

レジスタAL内のバイトの符号をレジスタAHに拡張します。バイト除算を実行する前に、あるバイトから倍長(ワード)の被除数を得るのに有効です。

⑦ フラグの動作

なし

⑧ 記述例

・MOV AL, BUF1;BUF1はバイト変数

CVTBW

MOV DL, 60

DIV DL

15.15.4 CVTWL (Convert Word to Long Word)

- ① 記述形式  
CVTWL (オペランドなし)
- ② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 1 | 0 |
| 0 | 1 |
| 1 | 0 |
| 0 | 0 |
| 1 | 1 |

- ③ バイト数  
1
- ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 8               | 8               |
| V35 |                 |                 |                 |                 |

- ⑤ 16ビット・ワード転送回数  
なし
- ⑥ 機 能  
AW<8000Hのとき     DW←0  
AW≥8000Hのとき     DW←FFFFH

レジスタAW内のワードの符号をレジスタDWに拡張します。ワード除算を実行する前に、あるワードから倍長（ダブルワード）の被除数を得るのに有効です。

- ⑦ フラグの動作  
なし
- ⑧ 記述例  
・MOV AW, BUFFER  
CVTWL  
DIV CW

# 15.16 比較命令

## 15.16.1 CMP (Compare)

(1) レジスタとレジスタ

① 記述形式

CMP reg, reg'

② 命令語形式

|   |   |     |      |   |   |   |   |
|---|---|-----|------|---|---|---|---|
| 7 | 0 | 7   | 6    | 5 | 3 | 2 | 0 |
| 0 | 0 | 1   | 1    | 1 | 0 | 1 | W |
| 1 | 1 | reg | reg' |   |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg-reg'

第1オペランドで指定される8／16ビット・レジスタの内容から第2オペランドで指定される8／16ビット・レジスタの内容を減算します。結果はストアせず、フラグにのみ影響を与えます。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| × | × | × | ×  | × | ×  |

⑧ 記述例

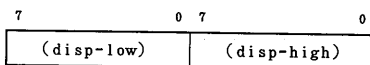
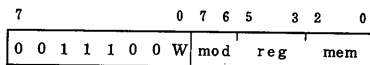
- CMP AW, CW
- CMP AL, DH

## (2) メモリとレジスタ

### ① 記述形式

**CMP** mem, reg

## ② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+6+T          | EA+6+T          | EA+8+2・T        | EA+8+2・T        |
| V35 | EA+7+T          | EA+7+T          | EA+7+T          | EA+7+T          |

⑤ 16ビット・ワード転送回数

**1**

### ⑥ 機能

$$(\text{mem}) - \text{reg}$$

第1オペランドでアドレスされる8/16ビット・メモリの内容から第2オペランドで指定される8/16ビット・レジスタの内容を減算します。結果はストアせず、フラグにのみ影響を与えます。

### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| X | X | X | X  | X | X  |

### ⑧ 記述例

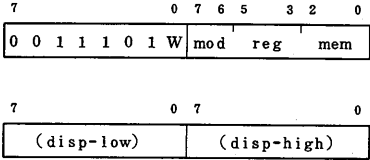
- CMP BYTE PTR[ IY], AL
- CMP [ IX], DW

(3) レジスタとメモリ

① 記述形式

CMP reg,mem

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+6+T          | EA+6+T          | EA+8+2・T        | EA+8+2・T        |
| V35 | EA+7+T          | EA+7+T          | EA+7+T          | EA+7+T          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

reg-(mem)

第1オペランドで指定される8 / 16ビット・レジスタの内容から第2オペランドでアドレスされる8 / 16ビット・メモリの内容を減算します。結果はストアせず、フラグにのみ影響を与えます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

- CMP BL, BYTE PTR[IX]
- CMP CW, [BP+4]

#### (4) レジスタとイミディエト・データ

##### ① 記述形式

CMP reg, imm

##### ② 命令語形式

|                 |         |  |  |  |  |     |               |   |
|-----------------|---------|--|--|--|--|-----|---------------|---|
| 7               | 0 7 6 5 |  |  |  |  | 3 2 |               | 0 |
| 1 0 0 0 0 0 S W |         |  |  |  |  |     | 1 1 1 1 1 reg |   |

|                   |   |            |   |
|-------------------|---|------------|---|
| 7                 | 0 | 7          | 0 |
| imm8 or imm16-low |   | imm16-high |   |

##### ③ バイト数

3 / 4

##### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

##### ⑤ 16ビット・ワード転送回数

なし

##### ⑥ 機 能

reg-imm

第1オペランドで指定される8 / 16ビット・レジスタの内容から第2オペランドで指定される8 / 16ビット・イミディエト・データの内容を減算します。結果はストアせず、フラグにのみ影響を与えます。

##### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

##### ⑧ 記述例

- CMP CL, 02
- CMP AW, 8000H

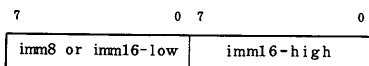
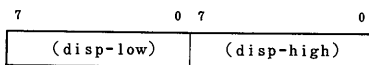
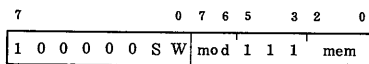


⑤ メモリとイミディエト・データ

① 記述形式

CMP mem,imm

② 命令語形式



③ バイト数

3 / 4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+7+T          | EA+7+T          | EA+10+2・T       | EA+10+2・T       |
| V35 | EA+8+T          | EA+8+T          | EA+9+T          | EA+9+T          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

(mem)-imm

第1オペランドでアドレスされる8/16ビット・メモリの内容から第2オペランドで指定される8/16ビット・イミディエト・データを減算します。結果はストアせず、フラグにのみ影響を与えます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

④ 記述例

- `CMP BYTE PTR[IX], 20H`
- `CMP WORD PTR[BW], 1000H`

(6) アキュムレータとイミディエト・データ

① 記述形式

CMP acc, imm

② 命令語形式

|               |                   |            |   |
|---------------|-------------------|------------|---|
| 7             | 0 7               | 0 7        | 0 |
| 0 0 1 1 1 0 W | imm8 or imm16-low | imm16-high |   |

③ バイト数

2 / 3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

W=0 のとき AL-imm8

W=1 のとき AW-imm16

第1オペランドで指定されるアキュムレータ（AL/AW）の内容から第2オペランドで指定される8/16ビット・イミディエト・データを減算します。結果はストアせず、フラグにのみ影響を与えます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | ×  |

⑧ 記述例

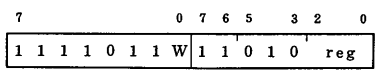
- CMP AL, 02
- CMP AW, 7FFFH

# 15.17 補数演算命令

## 15.17.1 NOT(Not)

(1) レジスタ

- ① 記述形式  
NOT reg
- ② 命令語形式



- ③ バイト数  
2
- ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 5               | 5               |
| V35 |                 |                 |                 |                 |

- ⑤ 16ビット・ワード転送回数  
なし
- ⑥ 機 能  
reg←reg

オペランドで指定される8／16ビット・レジスタの各ビットを反転し（1の補数をとる），結果を指定されたレジスタにストアします。

- ⑦ フラグの動作  
なし
- ⑧ 記述例
  - ・NOT AL
  - ・NOT CW
  - ・NOT IX

## (2) メモリ

### ① 記述形式

NOT mem

### ② 命令語形式

|     |   |   |   |   |   |   |     |
|-----|---|---|---|---|---|---|-----|
| 7   | 0 | 7 | 6 | 5 | 3 | 2 | 0   |
| 1   | 1 | 1 | 1 | 0 | 1 | 1 | W   |
| mod |   |   |   | 0 | 1 | 0 | mem |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

### ③ バイト数

2 / 3 / 4

### ④ クロック数

|     | バ イ ト 処 理         |                 | ワ ー ド 処 理         |                   |
|-----|-------------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | $EA+11+2 \cdot T$ | $EA+9+T$        | $EA+15+4 \cdot T$ | $EA+11+2 \cdot T$ |
| V35 | $EA+13+2 \cdot T$ | $EA+10+T$       | $EA+13+2 \cdot T$ | $EA+10+T$         |

### ⑤ 16ビット・ワード転送回数

2

### ⑥ 機 能

$(mem) \leftarrow \overline{(mem)}$

オペランドでアドレスされる8/16ビット・メモリの各ビットを反転し(1の補数をとる), 結果をアドレスされたメモリにストアします。

### ⑦ フラグの動作

なし

### ⑧ 記述例

- NOT BYTE PTR[BW+IX]
- NOT WORD PTR[BP+4]

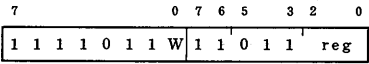
15.17.2 NEG(Negate)

(1) レジスタ

① 記述形式

NEG reg

② 命令語形式



③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 5               | 5               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg ← reg + 1

オペランドで指定される8／16ビット・レジスタの2の補数をとります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | 1* |

\*：実行前の reg が 0 のときは 0

⑧ 記述例

- NEG DL
- NEG CW
- NEG IX
- NEG BP

## (2) メモリ

### ① 記述形式

NEG mem

### ② 命令語形式

|     |   |   |   |   |   |   |     |
|-----|---|---|---|---|---|---|-----|
| 7   | 0 | 7 | 6 | 5 | 3 | 2 | 0   |
| 1   | 1 | 1 | 1 | 0 | 1 | 1 | W   |
| mod |   |   |   | 0 | 1 | 1 | mem |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

### ③ バイト数

2 / 3 / 4

### ④ クロック数

|     | バ イ ト 処 理         |                 | ワ ー ド 処 理         |                   |
|-----|-------------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | $EA+11+2 \cdot T$ | $EA+9+T$        | $EA+15+4 \cdot T$ | $EA+11+2 \cdot T$ |
| V35 | $EA+13+2 \cdot T$ | $EA+10+T$       | $EA+13+2 \cdot T$ | $EA+10+T$         |

### ⑤ 16ビット・ワード転送回数

2

### ⑥ 機 能

$(mem) \leftarrow \overline{(mem)} + 1$

オペランドでアドレスされる8 / 16ビット・メモリの2の補数をとります。

### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | ×  | × | 1* |

\*：実行前の (mem) が 0 のときは 0

### ⑧ 記述例

- NEG BYTE PTR[1Y]
- NEG WORD PTR[1X]

# 15.18 論理演算命令

## 15.18.1 TEST (Test)

(1) レジスタとレジスタ

① 記述形式

TEST reg, reg'

② 命令語形式

|   |   |      |     |   |   |   |   |
|---|---|------|-----|---|---|---|---|
| 7 | 0 | 7    | 6   | 5 | 3 | 2 | 0 |
| 1 | 0 | 0    | 0   | 0 | 1 | 0 | W |
| 1 | 1 | reg' | reg |   |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 4               | 4               | 4               | 4               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg ^ reg'

第1オペランドで指定される8/16ビット・レジスタと第2オペランドで指定される8/16ビット・レジスタとの論理積をとります。結果はストアされず、フラグのみが影響を受けます。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| 0 | × | × | U  | × | 0  |



⑧ 記述例

• MOV IX, 0

MOV IY, 100H

:

:

TEST IX, IY

## (2) メモリとレジスタ

### ① 記述形式

TEST mem, reg or TEST reg, mem

### ② 命令語形式

|     |   |   |   |     |   |     |   |
|-----|---|---|---|-----|---|-----|---|
| 7   | 0 | 7 | 6 | 5   | 3 | 2   | 0 |
| 1   | 0 | 0 | 0 | 0   | 1 | 0   | W |
| mod |   |   |   | reg |   | mem |   |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

### ③ バイト数

2 / 3 / 4

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+8+T          | EA+8+T          | EA+10+2・T       | EA+10+2・T       |
| V35 | EA+12+T         | EA+12+T         | EA+11+2・T       | EA+11+2・T       |

### ⑤ 16ビット・ワード転送回数

1

### ⑥ 機 能

(mem) ∧ reg

第1オペランドで指定される8/16ビット・レジスタと第2オペランドでアドレスされる8/16ビット・メモリとの論理積をとります。結果はストアされず、フラグのみが影響を受けます。CYとVフラグはクリアされ、ACフラグは不定となります。

### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

### ⑧ 記述例

・TEST [BW], CW

### ③ レジスタとイミューディエト・データ

#### ① 記述形式

TEST reg, imm

#### ② 命令語形式

|   |   |   |   |   |     |   |   |
|---|---|---|---|---|-----|---|---|
| 7 | 0 | 7 | 6 | 5 | 3   | 2 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1   | 1 | W |
| 1 | 1 | 0 | 0 | 0 | reg |   |   |

|                   |            |   |   |
|-------------------|------------|---|---|
| 7                 | 0          | 7 | 0 |
| imm8 or imm16-low | imm16-high |   |   |

#### ③ バイト数

3 / 4

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 7               | 7               | 8               | 8               |
| V35 |                 |                 |                 |                 |

#### ⑤ 16ビット・ワード転送回数

なし

#### ⑥ 機 能

reg ∧ imm

第1オペランドで指定される8 / 16ビット・レジスタと第2オペランドで指定される8 / 16ビット・イミューディエト・データとの論理積をとります。結果はストアされず、フラグのみが影響を受けます。CYとVフラグはクリアされ、ACフラグは不定となります。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

#### ⑧ 記述例

• IN BL, 0DAH

TEST BL, 1

(4) メモリとイミューディエト・データ

① 記述形式

TEST mem, imm

② 命令語形式

|     |   |   |   |   |   |   |     |
|-----|---|---|---|---|---|---|-----|
| 7   | 0 | 7 | 6 | 5 | 3 | 2 | 0   |
| 1   | 1 | 1 | 1 | 0 | 1 | 1 | W   |
| mod |   |   |   | 0 | 0 | 0 | mem |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

|                   |   |            |   |
|-------------------|---|------------|---|
| 7                 | 0 | 7          | 0 |
| imm8 or imm16-low |   | imm16-high |   |

③ バイト数

3 / 4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+11+T         | EA+11+T         | EA+11+2・T       | EA+11+2・T       |
| V35 | EA+9+T          | EA+9+T          | EA+10+T         | EA+10+T         |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

(mem) ∧ imm

第1オペランドでアドレスされる8/16ビット・メモリと第2オペランドで指定される8/16ビット・イミューディエト・データとの論理積をとります。結果はストアされず、フラグのみが影響を受けます。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

• TEST [IX], 0FFFFH

(5) アキュムレータとイミディエト・データ

① 記述形式

TEST acc,imm

② 命令語形式

|                 |                   |            |   |
|-----------------|-------------------|------------|---|
| 7               | 0 7               | 0 7        | 0 |
| 1 0 1 0 1 0 0 W | imm8 or imm16-low | imm16-high |   |

③ バイト数

2 / 3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

W=0 のとき AL∧imm8

W=1 のとき AW∧imm16

第1オペランドで指定されるアキュムレータ(AL/AW)と第2オペランドで指定される8/16ビット・イミディエト・データとの論理積をとります。結果はストアされず、フラグのみが影響を受けます。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

• IN AL, 0D8H

TEST AL, 'A'

## 15.18.2 AND (And)

(1) レジスタとレジスタをレジスタへ

① 記述形式

AND reg, reg'

② 命令語形式

|   |   |     |      |   |   |   |   |
|---|---|-----|------|---|---|---|---|
| 7 | 0 | 7   | 6    | 5 | 3 | 2 | 0 |
| 0 | 0 | 1   | 0    | 0 | 0 | 1 | W |
| 1 | 1 | reg | reg' |   |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$reg \leftarrow reg \wedge reg'$

第1オペランドで指定される8/16ビット・レジスタと第2オペランドで指定される8/16ビット・レジスタとの論理積をとり、結果を第1オペランドで指定されたレジスタにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

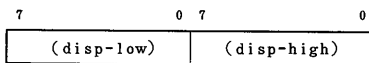
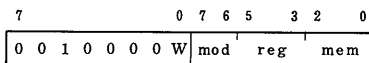
- AND AW, DW
- AND SP, BP
- AND IX, IY

(2) メモリとレジスタをメモリへ

① 記述形式

AND mem, reg

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理         |                 | ワ ー ド 処 理         |                  |
|-----|-------------------|-----------------|-------------------|------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止  |
| V25 | $EA+8+2 \cdot T$  | $EA+6+T$        | $EA+12+4 \cdot T$ | $EA+8+2 \cdot T$ |
| V35 | $EA+10+2 \cdot T$ | $EA+7+T$        | $EA+10+2 \cdot T$ | $EA+7+T$         |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

$(mem) \leftarrow (mem) \wedge reg$

第1オペランドでアドレスされる8 / 16ビット・メモリと第2オペランドで指定される8 / 16ビット・レジスタとの論理積をとり、結果を第1オペランドでアドレスされたメモリにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

• MOV AL, 0FH  
AND BYTE PTR[ IY], AL



(3) レジスタとメモリをレジスタへ

① 記述形式

AND reg, mem

② 命令語形式

|   |   |   |   |   |   |   |             |
|---|---|---|---|---|---|---|-------------|
| 7 | 0 | 7 | 6 | 5 | 3 | 2 | 0           |
| 0 | 0 | 1 | 0 | 0 | 1 | W | mod reg mem |

|            |             |   |   |
|------------|-------------|---|---|
| 7          | 0           | 7 | 0 |
| (disp-low) | (disp-high) |   |   |

③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+6+T          | EA+6+T          | EA+8+2・T        | EA+8+2・T        |
| V35 | EA+7+T          | EA+7+T          | EA+7+T          | EA+7+T          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

reg ← reg ∧ (mem)

第1オペランドで指定される8 / 16ビット・レジスタと第2オペランドでアドレスされる8 / 16ビット・メモリとの論理積をとり、結果を第1オペランドで指定されたレジスタにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

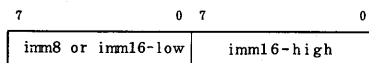
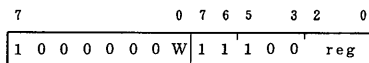
・ AND AW, DS1:[IY]

(4) レジスタとイミディエト・データをレジスタへ

① 記述形式

AND reg, imm

② 命令語形式



③ バイト数

3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg ← reg ∧ imm

第1オペランドで指定される8 / 16ビット・レジスタと第2オペランドで指定される8 / 16ビット・イミディエト・データとの論理積をとり、結果を第1オペランドで指定されたレジスタにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

• MOV DW, IY

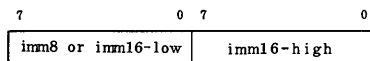
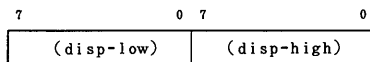
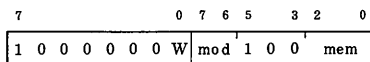
AND DW, 7FFFH

(5) メモリとイミディエト・データをメモリへ

① 記述形式

AND mem, imm

② 命令語形式



③ バイト数

3 / 4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+9+2・T        | EA+7+2・T        | EA+14+4・T       | EA+10+4・T       |
| V35 | EA+11+2・T       | EA+9+2・T        | EA+12+2・T       | EA+8+2・T        |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem) ← (mem) ∧ imm

第1オペランドでアドレスされる8／16ビット・メモリと第2オペランドで指定される8／16ビット・イミディエト・データとの論理積をとり、結果を第1オペランドでアドレスされたメモリにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

- AND WORD PTR DS:[IX+2], 20H

(6) アキュムレータとイミディエト・データをアキュムレータへ

① 記述形式

AND acc, imm

② 命令語形式

|   |                   |   |   |            |   |
|---|-------------------|---|---|------------|---|
| 7 | 0                 | 7 | 0 | 7          | 0 |
| 0 | 0                 | 1 | 0 | 0          | 1 |
| 0 | 0                 | 1 | 0 | 0          | 1 |
| W | imm8 or imm16-low |   |   | imm16-high |   |

③ バイト数

2 / 3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

W = 0 のとき AL ← AL ∧ imm8

W = 1 のとき AW ← AW ∧ imm16

第1オペランドで指定されるアキュムレータ (AL/AW) と第2オペランドで指定される8 / 16ビット・イミディエト・データとの論理積をとり、結果を第1オペランドで指定されたアキュムレータにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

• IN AL, 0D8H

AND AL, 7FH

## 15.18.3 OR (Or)

### (1) レジスタとレジスタをレジスタへ

#### ① 記述形式

OR reg, reg'

#### ② 命令語形式

|       |         |   |   |   |     |   |   |   |   |     |      |
|-------|---------|---|---|---|-----|---|---|---|---|-----|------|
| 7     | 0 7 6 5 |   |   |   | 3 2 |   | 0 |   |   |     |      |
| <hr/> |         |   |   |   |     |   |   |   |   |     |      |
| 0     | 0       | 0 | 0 | 1 | 0   | 1 | W | 1 | 1 | reg | reg' |

#### ③ バイト数

2

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

#### ⑤ 16ビット・ワード転送回数

なし

#### ⑥ 機 能

reg ← reg V reg'

第1オペランドで指定される8/16ビット・レジスタと第2オペランドで指定される8/16ビット・レジスタとの論理和をとり、結果を第1オペランドで指定されたレジスタにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

#### ⑧ 記述例

- OR BW, DW
- OR IX, BP
- OR AL, DL

(2) メモリとレジスタをメモリへ

① 記述形式

OR mem, reg

② 命令語形式

|     |   |   |   |     |   |     |   |
|-----|---|---|---|-----|---|-----|---|
| 7   | 0 | 7 | 6 | 5   | 3 | 2   | 0 |
| 0   | 0 | 0 | 0 | 1   | 0 | 0   | W |
| mod |   |   |   | reg |   | mem |   |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+8+2・T        | EA+6+T          | EA+12+4・T       | EA+8+2・T        |
| V35 | EA+10+2・T       | EA+7+T          | EA+10+2・T       | EA+7+T          |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem) ← (mem) ∨ reg

第1オペランドでアドレスされる8/16ビット・メモリと第2オペランドで指定される8/16ビット・レジスタとの論理和をとり、結果を第1オペランドでアドレスされるメモリにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

• OR BYTE PTR DS1:[IY+3], DL

### (3) レジスタとメモリをレジスタへ

#### ① 記述形式

OR reg, mem

#### ② 命令語形式

|     |   |   |   |     |   |     |   |
|-----|---|---|---|-----|---|-----|---|
| 7   | 0 | 7 | 6 | 5   | 3 | 2   | 0 |
| 0   | 0 | 0 | 0 | 1   | 0 | 1   | W |
| mod |   |   |   | reg |   | mem |   |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

#### ③ バイト数

2 / 3 / 4

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+6+T          | EA+6+T          | EA+8+2・T        | EA+8+2・T        |
| V35 | EA+7+T          | EA+7+T          | EA+7+T          | EA+7+T          |

#### ⑤ 16ビット・ワード転送回数

1

#### ⑥ 機 能

reg ← reg ∨ (mem)

第1オペランドで指定される8 / 16ビット・レジスタと第2オペランドでアドレスされる8 / 16ビット・メモリとの論理和をとり、結果を第1オペランドで指定されたレジスタにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

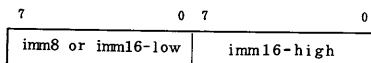
#### ⑧ 記述例

・ OR AW, WORD PTR[IX]



### ① 記述形式

## ② 命令語形式



## 3 / 4

|     | バイト処理           |                 | ワード処理           |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

## なし

$$\text{reg} \leftarrow \text{reg} \vee \text{imm}$$

第1オペランドで指定される8／16ビット・レジスタと第2オペランドで指定される8／16ビット・イミディエント・データとの論理和をとり、結果を第1オペランドで指定されたレジスタにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | x | x | U  | x | 0  |

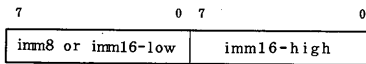
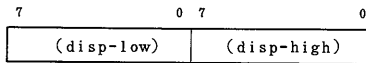
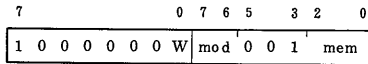
- OR BP, 0FFH
- OR CL, 3

⑤ メモリとイミューディエト・データをメモリへ

① 記述形式

OR mem, imm

② 命令語形式



③ バイト数

3 / 4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+9+2・T        | EA+7+2・T        | EA+14+4・T       | EA+10+4・T       |
| V35 | EA+11+2・T       | EA+9+2・T        | EA+12+2・T       | EA+8+2・T        |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem) ← (mem) ∨ imm

第1オペランドでアドレスされる8 / 16ビット・メモリと第2オペランドで指定される8 / 16ビット・イミューディエト・データとの論理和をとり、結果を第1オペランドでアドレスされたメモリにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

• MOV AX, 0F000H

MOV DS1, AX

MOV IX, 0

OR DS1:[IX], 0F0FH

(6) アキュムレータとイミディエト・データをアキュムレータへ

① 記述形式

OR acc, imm

② 命令語形式

|   |                   |   |   |            |   |
|---|-------------------|---|---|------------|---|
| 7 | 0                 | 7 | 0 | 7          | 0 |
| 0 | 0                 | 0 | 0 | 1          | 1 |
| 0 | 0                 | 0 | 0 | 1          | 0 |
| W | imm8 or imm16-low |   |   | imm16-high |   |

③ バイト数

2 / 3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

W = 0 のとき AL ← AL ∨ imm8

W = 1 のとき AW ← AW ∨ imm16

第1オペランドで指定されるアキュムレータ (AL/AW) と第2オペランドで指定される8 / 16ビット・イミディエト・データとの論理和をとり、結果を第1オペランドで指定されたアキュムレータにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

• OR AL, 0FH

• OR AW, 8000H

## 15.18.4 XOR (Exclusive Or)

### (1) レジスタとレジスタをレジスタへ

#### ① 記述形式

XOR reg, reg'

#### ② 命令語形式

|   |   |     |      |   |   |   |   |
|---|---|-----|------|---|---|---|---|
| 7 | 0 | 7   | 6    | 5 | 3 | 2 | 0 |
| 0 | 0 | 1   | 1    | 0 | 0 | 1 | W |
| 1 | 1 | reg | reg' |   |   |   |   |

#### ③ バイト数

2

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

#### ⑤ 16ビット・ワード転送回数

なし

#### ⑥ 機 能

reg ← reg ∨ reg'

第1オペランドで指定される8/16ビット・レジスタと第2オペランドで指定される8/16ビット・レジスタとの排他的論理和をとり、結果を第1オペランドで指定されるレジスタにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

#### ⑧ 記述例

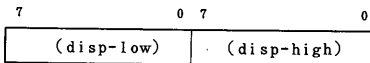
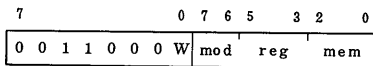
- XOR CL, DL
- XOR CW, CW ; レジスタCWのクリア
- XOR AW, DW

(2) メモリとレジスタをメモリへ

### ① 記述形式

XOR mem, reg

## ② 命令語形式



③ バイト数

2 / 3 / 4

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+8+2・T        | EA+6+T          | EA+12+4・T       | EA+8+2・T        |
| V35 | EA+10+2・T       | EA+7+T          | EA+10+2・T       | EA+7+T          |

## ⑤ 16ビット・ワード転送回数

2

### ⑥ 機能

$$(\text{mem}) \leftarrow (\text{mem}) \vee \text{reg}$$

第1オペランドでアドレスされる8／16ビット・メモリと第2オペランドで指定される8／16ビット・レジスタとの排他的論理和をとり、結果を第1オペランドでアドレスされるメモリにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

### ⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| 0 | × | × | U  | × | 0  |

### ⑧ 記述例

- XOR [BW], AW

### ③ レジスタとメモリをレジスタへ

#### ① 記述形式

XOR reg, mem

#### ② 命令語形式

|     |   |     |   |   |     |   |   |
|-----|---|-----|---|---|-----|---|---|
| 7   | 0 | 7   | 6 | 5 | 3   | 2 | 0 |
| 0   | 0 | 1   | 1 | 0 | 0   | 1 | W |
| mod |   | reg |   |   | mem |   |   |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

#### ③ バイト数

2 / 3 / 4

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+6+T          | EA+6+T          | EA+8+2・T        | EA+8+2・T        |
| V35 | EA+7+T          | EA+7+T          | EA+7+T          | EA+7+T          |

#### ⑤ 16ビット・ワード転送回数

1

#### ⑥ 機 能

reg ← reg ∨ (mem)

第1オペランドで指定される8 / 16ビット・レジスタと第2オペランドでアドレスされる8 / 16ビット・メモリとの排他的論理和をとり、結果を第1オペランドで指定されるレジスタにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

#### ⑧ 記述例

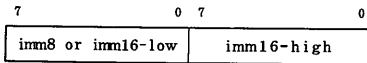
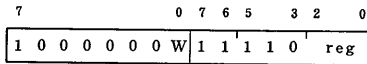
・ XOR DW, WORD PTR[IX]

(4) レジスタとイミューディエト・データをレジスタへ

① 記述形式

XOR reg, imm

② 命令語形式



③ バイト数

3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg ← reg ∨ imm

第1オペランドで指定される8 / 16ビット・レジスタと第2オペランドで指定される8 / 16ビット・イミューディエト・データとの排他的論理和をとり、結果を第1オペランドで指定されたレジスタにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

- XOR BL, 0FH
- XOR DW, 0FFFFH

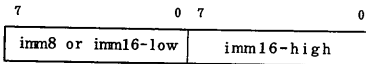
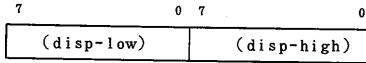
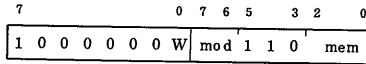


(5) メモリとイミディエト・データをメモリへ

① 記述形式

XOR mem, imm

② 命令語形式



③ バイト数

3 / 4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+9+2・T        | EA+7+2・T        | EA+14+4・T       | EA+10+4・T       |
| V35 | EA+11+2・T       | EA+9+2・T        | EA+12+2・T       | EA+8+2・T        |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem) ← (mem) ∨ imm

第1オペランドでアドレスされる8 / 16ビット・メモリと第2オペランドで指定される8 / 16ビット・イミディエト・データとの排他的論理和をとり、結果を第1オペランドでアドレスされるメモリにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

• XOR BYTE PTR[BX], 0FFH

(6) アキュムレータとイミディエト・データをアキュムレータへ

① 記述形式

XOR acc, imm

② 命令語形式

|   |                   |   |   |            |   |
|---|-------------------|---|---|------------|---|
| 7 | 0                 | 7 | 0 | 7          | 0 |
| 0 | 0                 | 1 | 1 | 0          | 1 |
| 0 | 0                 | 1 | 1 | 0          | 1 |
| W | imm8 or imm16-low |   |   | imm16-high |   |

③ バイト数

2 / 3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 5               | 5               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

W=0 のとき AL←AL∨imm8

W=1 のとき AW←AW∨imm16

第1オペランドで指定されるアキュムレータ(AL/AW)と第2オペランドで指定される8/16ビット・イミディエト・データとの排他的論理和をとり、結果を第1オペランドで指定されるアキュムレータにストアします。CYとVフラグはクリアされ、ACフラグは不定となります。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | 0  |

⑧ 記述例

・XOR AL, 0F0H

・XOR AW, 0FFH

# 15.19 ビット操作命令

## 15.19.1 TEST1(Test Bit)

### (1) 8ビット・レジスタのビットCL

① 記述形式

TEST1 reg8,CL

② 命令語形式

|                 |                 |           |       |
|-----------------|-----------------|-----------|-------|
| 7               | 0 7             | 0 7       | 3 2 0 |
| 0 0 0 0 1 1 1 1 | 0 0 0 1 0 0 0 0 | 1 1 0 0 0 | reg   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 7               | 7               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg8のビットNO.CL=0のとき Z←1

reg8のビットNO.CL=1のとき Z←0

第1オペランドで指定される8ビット・レジスタのCLレジスタで指定されるビットが0ならばZフラグがセット(1)され、1ならばリセット(0)されます。CLの値は下位3ビット(0-7)のみ有効です。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| 0 | U | × | U  | U | 0  |

⑧ 記述例

・MOV CL,01  
IN AL,0DAH  
TEST1 AL,CL;ビット1をテスト

## (2) 8ビット・メモリのビットC L

### ① 記述形式

TEST1 mem8,CL

### ② 命令語形式

|   |   |   |   |     |   |   |   |     |   |
|---|---|---|---|-----|---|---|---|-----|---|
| 7 | 0 | 7 | 0 | 7   | 6 | 5 | 3 | 2   | 0 |
| 0 | 0 | 0 | 0 | 1   | 1 | 1 | 1 | 0   | 0 |
| 0 | 0 | 0 | 1 | 0   | 0 | 0 | 0 | mod | 0 |
| 0 | 0 | 0 | 0 | mem |   |   |   |     |   |

|            |             |   |   |
|------------|-------------|---|---|
| 7          | 0           | 7 | 0 |
| (disp-low) | (disp-high) |   |   |

### ③ バイト数

3 / 4 / 5

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+11+T         | EA+11+T         | —               | —               |
| V35 | EA+12+T         | EA+12+T         |                 |                 |

### ⑤ 16ビット・ワード転送回数

なし

### ⑥ 機 能

(mem8)のビットNO.CL=0のとき Z←1

(mem8)のビットNO.CL=1のとき Z←0

第1オペランドで指定される8ビット・メモリのCLレジスタで指定されるビットが0ならばZフラグがセット(1)され、1ならばリセット(0)されます。CLの値は下位3ビット(0-7)のみ有効です。

### ⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| 0 | U | × | U  | U | 0  |

### ⑧ 記述例

• MOV CL, 07

MOV BYTE PTR[IX], AL

TEST1 BYTE PTR[IX], CL

③ 16ビット・レジスタのビットCL

① 記述形式

TEST1 reg16,CL

② 命令語形式

|                 |                 |           |       |
|-----------------|-----------------|-----------|-------|
| 7               | 0 7             | 0 7       | 3 2 0 |
| 0 0 0 0 1 1 1 1 | 0 0 0 1 0 0 0 1 | 1 1 0 0 0 | reg   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 7               | 7               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16のビットNO.CL=0のとき Z←1

reg16のビットNO.CL=1のとき Z←0

第1オペランドで指定される16ビット・レジスタのCLレジスタで指定されるビットが0ならばZフラグがセット(1)され、1ならばリセット(0)されます。CLの値は下位4ビット(0-15)のみ有効です。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | U | × | U  | U | 0  |

⑧ 記述例

• MOV CL, 0FH

TEST1 IY, CL; ビット15をテスト

#### (4) 16ビット・メモリのビットCL

##### ① 記述形式

TEST1 mem16,CL

##### ② 命令語形式

|                 |     |  |  |  |         |  |  |                 |       |  |  |           |  |  |     |  |
|-----------------|-----|--|--|--|---------|--|--|-----------------|-------|--|--|-----------|--|--|-----|--|
| 7               | 0 7 |  |  |  | 0 7 6 5 |  |  |                 | 3 2 0 |  |  |           |  |  |     |  |
| 0 0 0 0 1 1 1 1 |     |  |  |  |         |  |  | 0 0 0 1 0 0 0 1 |       |  |  | mod 0 0 0 |  |  | mem |  |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

##### ③ バイト数

3 / 4 / 5

##### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+13+2・T       | EA+13+2・T       |
| V35 |                 |                 | EA+12+T         | EA+12+T         |

##### ⑤ 16ビット・ワード転送回数

1

##### ⑥ 機 能

(mem16)のビットNO.CL=0のとき Z←1

(mem16)のビットNO.CL=1のとき Z←0

第1オペランドで指定される16ビット・メモリのCLレジスタで指定されるビットが0ならばZフラグがセット(1)され、1ならばリセット(0)されます。CLの値は下位4ビット(0-15)のみ有効です。

##### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | U | × | U  | U | 0  |

##### ⑧ 記述例

• MOV CL, 04

TEST1 WORD PTR[ IY ], CL

(5) 8ビット・レジスタのビット imm3

① 記述形式

TEST1 reg8, imm3

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 |

|   |   |   |   |   |      |
|---|---|---|---|---|------|
| 7 | 3 | 2 | 0 | 7 | 0    |
| 1 | 1 | 0 | 0 | 0 | reg  |
|   |   |   |   |   | imm3 |

③ バイト数

4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 6               | 6               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg8のビットNO.imm3=0のとき Z←1

reg8のビットNO.imm3=1のとき Z←0

第1オペランドで指定される8ビット・レジスタの第2オペランドで指定される3ビット・イミディエト・データで指定されるビットが0ならばZフラグがセット(1)され, 1ならばリセット(0)されます. 命令の4バイト目のイミディエト・データは下位3ビットのみ有効です.

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | U | × | U  | U | 0  |

⑧ 記述例

・TEST1 CL, 05

・TEST1 AL, 0

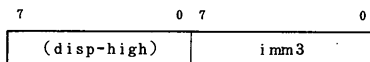
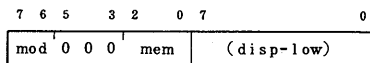
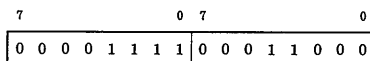


⑥ 8ビット・メモリのビットimm3

① 記述形式

TEST1 mem8, imm3

② 命令語形式



③ バイト数

4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+8+T          | EA+8+T          | —               | —               |
| V35 | EA+9+T          | EA+9+T          |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

(mem8)のビットNO. imm3 = 0 のとき Z ← 1

(mem8)のビットNO. imm3 = 1 のとき Z ← 0

第1オペランドでアドレスされる8ビット・メモリの第2オペランドで指定された3ビット・イミディエト・データで指定されるビットが0ならばZフラグがセット(1)され、1ならばリセット(0)されます。命令の最終バイトのイミディエト・データは下位3ビットのみ有効です。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | U | × | U  | U | 0  |

⑧ 記述例

```
• MOV    DS 0 : [ IX ], AL
  TEST1  BYTE PTR [ IX ], 7
```

(7) 16ビット レジスタのビットimm4

① 記述形式

TEST1 reg16,imm4

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 |

|     |   |   |   |      |   |
|-----|---|---|---|------|---|
| 7   | 3 | 2 | 0 | 7    | 0 |
| 1   | 1 | 0 | 0 | 0    | 0 |
| reg |   |   |   | imm4 |   |

③ バイト数

4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16のビットNO. imm4 = 0 のとき Z ← 1

reg16のビットNO. imm4 = 1 のとき Z ← 0

第1オペランドで指定される16ビット・レジスタの、第2オペランドで指定される4ビット・イミディエト・データで指定されるビットが0ならばZフラグがセット(1)され、1ならばリセット(0)されます。命令の4バイト目のイミディエト・データは下位4ビットのみ有効です。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | U | × | U  | U | 0  |

⑧ 記述例

- IN           AW, 0DCH  
TEST1   AW, 14

⑧ 16ビット・メモリのビット imm4

① 記述形式

TEST1 mem16, imm4

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 |

|     |   |   |   |     |            |   |   |
|-----|---|---|---|-----|------------|---|---|
| 7   | 6 | 5 | 3 | 2   | 0          | 7 | 0 |
| mod | 0 | 0 | 0 | mem | (disp-low) |   |   |

|             |   |      |   |
|-------------|---|------|---|
| 7           | 0 | 7    | 0 |
| (disp-high) |   | imm4 |   |

③ バイト数

4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+10+2・T       | EA+10+2・T       |
| V35 |                 |                 | EA+9+T          | EA+9+T          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

(mem16) のビット NO. imm4 = 0 のとき Z ← 1

(mem16) のビット NO. imm4 = 1 のとき Z ← 0

第1オペランドでアドレスされる16ビット・メモリの、第2オペランドで指定された4ビット・イミディエト・データで指定されるビットが0ならばZフラグがセット(1)され、1ならばリセット(0)されます。命令の最終バイトのイミディエト・データは、下位4ビットのみ有効です。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | U | × | U  | U | 0  |

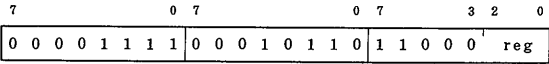
⑧ 記述例

• TEST1 WORD PTR[BW][IX], 15

15.19.2 NOT1(Not Bit)

(1) 8ビット・レジスタのビットCL

- ① 記述形式  
NOT1 reg8,CL
- ② 命令語形式



- ③ バイト数  
3
- ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 7               | 7               | —               | —               |
| V35 |                 |                 |                 |                 |

- ⑤ 16ビット・ワード転送回数  
なし
- ⑥ 機 能  
reg8のビットNO.CL ← reg8のビットNO.CL

第1オペランドで指定される8ビット・レジスタの、CLレジスタで指定されるビットが反転されます。CLの値は下位3ビットのみ有効です。

- ⑦ フラグの動作  
なし
- ⑧ 記述例

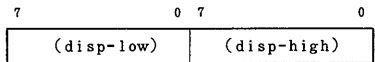
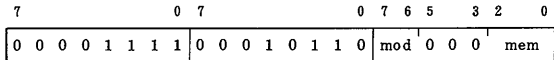
・MOV CL, 01  
NOT1 AL, CL

(2) 8ビット・メモリのビットCL

① 記述形式

NOT1 mem8,CL

② 命令語形式



③ バイト数

3 / 4 / 5

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+13+2・T       | EA+11+T         | —               | —               |
| V35 | EA+15+2・T       | EA+12+T         |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

(mem8)のビットNO.CL←(mem8)のビットNO.CL

第1オペランドで指定される8ビット・メモリの、CLレジスタで指定されるビットが反転されます。CLの値は下位3ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・MOV CL, 07

NOT1 BYTE PTR[IX+3], CL



(3) 16ビット・レジスタのビットCL

① 記述形式

NOT1 reg16,CL

② 命令語形式

|                 |                 |             |       |
|-----------------|-----------------|-------------|-------|
| 7               | 0 7             | 0 7         | 3 2 0 |
| 0 0 0 0 1 1 1 1 | 0 0 0 1 0 1 1 1 | 1 1 0 0 0 0 | reg   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 7               | 7               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16のビットNO.CL←reg16のビットNO.CL

第1オペランドで指定される16ビット・レジスタの、CLレジスタで指定されるビットが反転されます。CLの値は下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

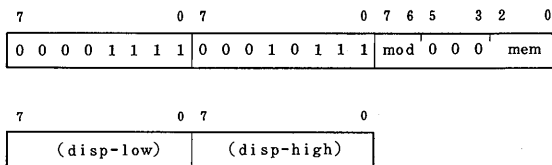
・MOV CL, 10  
NOT1 DW, CL

(4) 16ビット・メモリのビットCL

① 記述形式

NOT1 mem16,CL

② 命令語形式



③ バイト数

3 / 4 / 5

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+17+4・T       | EA+13+2・T       |
| V35 |                 |                 | EA+15+2・T       | EA+12+T         |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem16)のビットNO.CL←(mem16)のビットNO.CL

第1オペランドでアドレスされる16ビット・メモリの、CLレジスタで指定されるビットが反転されます。CLの値は下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

```

・MOV DS1:[BW],DW
MOV CL,14
NOT1 DS1:[BW] CL

```

(5) 8ビット・レジスタのビット imm3

① 記述形式

NOT1 reg8, imm3

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

|   |   |   |   |   |      |
|---|---|---|---|---|------|
| 7 | 3 | 2 | 0 | 7 | 0    |
| 1 | 1 | 0 | 0 | 0 | reg  |
|   |   |   |   |   | imm3 |

③ バイト数

4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 6               | 6               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg8 のビット NO. imm3 ← reg8 のビット NO. imm3

第1オペランドで指定される8ビット・レジスタの，第2オペランドで指定される3ビット・イミディエト・データで指定されるビットが反転されます。命令の4バイト目のイミディエト・データは，下位3ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

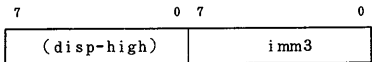
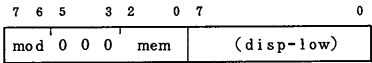
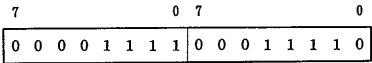
・ IN AL, 0  
NOT1 AL, 7

⑥ 8ビット・メモリのビット imm3

① 記述形式

NOT1 mem8, imm3

② 命令語形式



③ バイト数

4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+10+2・T       | EA+8+T          | —               | —               |
| V35 | EA+12+2・T       | EA+9+T          |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

(mem8) のビット NO. imm3 ← (mem8) のビット NO. imm3

第1オペランドでアドレスされる8ビット・メモリの、第2オペランドで指定された3ビット・イミディエト・データで指定されるビットが反転されます。命令の最終バイトのイミディエト・データは、下位3ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・MOV AW, 1234H  
MOV IX, AW  
NOT1 BYTE PTR[IX], 6

(7) 16ビット・レジスタのビットimm4

① 記述形式

NOT1 reg16,imm4

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 |

|   |   |   |   |   |      |
|---|---|---|---|---|------|
| 7 | 3 | 2 | 0 | 7 | 0    |
| 1 | 1 | 0 | 0 | 0 | reg  |
|   |   |   |   |   | imm4 |

③ バイト数

4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16のビットNO.imm4 ← reg16のビットNO.imm4

第1オペランドで指定される16ビット・レジスタの、第2オペランドに記述された4ビット・イミディエト・データで指定されるビットが反転されます。命令の4バイト目のイミディエト・データは、下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・NOT1 DW, 15

⑧ 16ビット・メモリのビットimm4

① 記述形式

NOT1 mem16,imm4

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 |

|     |   |   |   |     |            |   |   |
|-----|---|---|---|-----|------------|---|---|
| 7   | 6 | 5 | 3 | 2   | 0          | 7 | 0 |
| mod | 0 | 0 | 0 | mem | (disp-low) |   |   |

|             |      |   |   |
|-------------|------|---|---|
| 7           | 0    | 7 | 0 |
| (disp-high) | imm4 |   |   |

③ バイト数

4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+14+4・T       | EA+10+2・T       |
| V35 |                 |                 | EA+12+2・T       | EA+9+T          |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem16)のビットNO.imm4 ← (mem16)のビットNO.imm4

第1オペランドでアドレスされる16ビット・メモリの、第2オペランドの4ビット・イメージ・データで指定されるビットが反転されます。命令の最終バイトのイメージ・データは、下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・NOT1 WORD PTR[BW], 15

(9) キャリー・フラグ

① 記述形式

NOT1 CY

② 命令語形式

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$CY \leftarrow \overline{CY}$

CYフラグを反転します。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
|   |   |   |    |   | ×  |

⑧ 記述例

• NOT1 CY

IN AL, 02

SHRA AL, 1

BC \$-10H

15.19.3 CLR1(Clear Bit)

(1) 8ビット レジスタのビットCL

① 記述形式

CLR1 reg8,CL

② 命令語形式

|                 |                 |           |       |
|-----------------|-----------------|-----------|-------|
| 7               | 0 7             | 0 7       | 3 2 0 |
| 0 0 0 0 1 1 1 1 | 0 0 0 1 0 0 1 0 | 1 1 0 0 0 | reg   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 8               | 8               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg8のビットNO.CL←0

第1オペランドで指定される8ビット・レジスタの、CLレジスタで指定されるビットがクリア(0)されます。CLの値は、下位3ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

• MOV CL, 02  
CLR1 AL, CL  
OUT ODCH, AL



## (2) 8ビット・メモリのビットCL

### ① 記述形式

CLR1 mem8,CL

### ② 命令語形式

|     |   |   |   |   |   |   |     |   |   |
|-----|---|---|---|---|---|---|-----|---|---|
| 7   | 0 | 7 | 0 | 7 | 6 | 5 | 3   | 2 | 0 |
| 0   | 0 | 0 | 0 | 1 | 1 | 1 | 1   | 0 | 0 |
| mod |   |   |   | 0 | 0 | 0 | mem |   |   |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

### ③ バイト数

3 / 4 / 5

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+14+2・T       | EA+12+T         | —               | —               |
| V35 | EA+16+2・T       | EA+13+T         |                 |                 |

### ⑤ 16ビット・ワード転送回数

なし

### ⑥ 機 能

(mem8)のビットNO.CL←0

第1オペランドでアドレスされる8ビット・メモリの、CLレジスタで指定されるビットがクリア(0)されます。CLの値は、下位3ビットのみ有効です。

### ⑦ フラグの動作

なし

### ⑧ 記述例

• MOV CL, 3

CLR1 BYTE PTR[IY], CL

(3) 16ビット・レジスタのビットCL

① 記述形式

CLR1 reg16,CL

② 命令語形式

|                 |                 |           |       |
|-----------------|-----------------|-----------|-------|
| 7               | 0 7             | 0 7       | 3 2 0 |
| 0 0 0 0 1 1 1 1 | 0 0 0 1 0 0 1 1 | 1 1 0 0 0 | reg   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ソ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 8               | 8               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16のビットNO.CL←0

第1オペランドで指定される16ビット・レジスタの、CLレジスタで指定されるビットがクリア(0)されます。CLの値は、下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

```

• MOV    CL, 15
CLR1    AW, CL
MOV     DW, 100H
OUT     DW, AW

```

(4) 16ビット・メモリのビットCL

① 記述形式

CLR1 mem16,CL

② 命令語形式

|   |  |  |  |  |  |   |   |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|---|--|--|--|--|--|---|---|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|
| 7 |  |  |  |  |  | 0 | 7 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|---|--|--|--|--|--|---|---|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

③ バイト数

3 / 4 / 5

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+18+4・T       | EA+14+2・T       |
| V35 |                 |                 | EA+16+2・T       | EA+13+T         |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem16)のビットNO.CL←0

第1オペランドでアドレスされる16ビット・メモリの、CLレジスタで指定されるビットがクリア(0)されます。CLの値は、下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・MOV CL,12

CLR1 WORD PTR[BW],CL

(5) 8ビット・レジスタのビット imm3

① 記述形式

CLR1 reg8, imm3

② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |  |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|--|---|
| 7 |   |   |   |   |   |   |   | 0 | 7 |   |   |   |   |   |   |  | 0 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 |  |   |

|   |   |   |   |   |     |      |  |   |
|---|---|---|---|---|-----|------|--|---|
| 7 |   | 3 | 2 |   | 0   | 7    |  | 0 |
| 1 | 1 | 0 | 0 | 0 | reg | imm3 |  |   |

③ バイト数

4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 7               | 7               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg8のビットNO. imm3 ← 0

第1オペランドで指定される8ビット・レジスタの、第2オペランドに記述された3ビット・イミューディエト・データで指定されるビットがクリア(0)されます。命令の4バイト目のイミューディエト・データは、下位3ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・CLR1 CL, 7

・CLR1 AL, 4

⑥ 8ビット・メモリのビット imm3

① 記述形式

CLR1 mem8, imm3

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 |

|     |   |   |   |   |     |            |   |
|-----|---|---|---|---|-----|------------|---|
| 7   | 6 | 5 | 3 | 2 | 0   | 7          | 0 |
| mod | 0 | 0 | 0 | 0 | mem | (disp-low) |   |

|             |      |   |   |
|-------------|------|---|---|
| 7           | 0    | 7 | 0 |
| (disp-high) | imm3 |   |   |

③ バイト数

4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+11+2・T       | EA+9+T          | —               | —               |
| V35 | EA+13+2・T       | EA+10+T         |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

(mem8)のビットNO. imm3←0

第1オペランドで指定される8ビット・メモリの、第2オペランドに記述された3ビット・イミディエイト・データで指定されるビットがクリア(0)されます。命令の最終バイトのイミディエイト・データは、下位3ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・ CLR1 BYTE PTR[IX], 6

⑦ 16ビット・レジスタのビット imm4

① 記述形式

CLR1 reg16,imm4

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |

|   |   |   |   |     |      |
|---|---|---|---|-----|------|
| 7 | 3 | 2 | 0 | 7   | 0    |
| 1 | 1 | 0 | 0 | 0   |      |
|   |   |   |   | reg |      |
|   |   |   |   |     | imm4 |

③ バイト数

4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 7               | 7               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16のビットNO.imm4←0

第1オペランドで指定される16ビット・レジスタの、第2オペランドに記述された4ビット・イミディエト・データで指定されるビットがクリアされます。命令の4バイト目のイミディエト・データは、下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

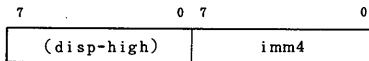
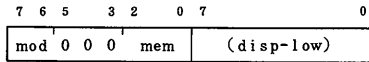
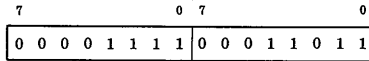
- CLR1 AW, 0
- CLR1 IX, 8
- CLR1 BP, 15

⑧ 16ビット・メモリのビットimm4

① 記述形式

CLR1 mem16, imm4

② 命令語形式



③ バイト数

4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+15+4・T       | EA+10+2・T       |
| V35 |                 |                 | EA+13+2・T       | EA+9+T          |

⑤ 16ビット・ワード転送回数

3

⑥ 機 能

(mem16)のビットNO.imm4←0

第1オペランドでアドレスされる16ビット・メモリの、第2オペランドに記述された4ビット・イミディエト・データで指定されるビットがクリア(0)されます。命令の最終バイトのイミディエト・データは、下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・CLR1 WORD PTR[IY], 10

(9) キャリー・フラグ

① 記述形式

CLR1 CY

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 1 | 1 |
| 1 | 1 |
| 1 | 1 |
| 1 | 0 |
| 0 | 0 |
| 0 | 0 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

CY←0

CYフラグをクリアします。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
|   |   |   |    |   | 0  |

⑧ 記述例

• CLR1 CY

SHL AL, 1

BC \$+6



(10) 方向フラグ

① 記述形式

CLR1 DIR

② 命令語形式

|   |               |
|---|---------------|
| 7 | 0             |
| 1 | 1 1 1 1 1 0 0 |

③ バイト数

1

④ クロック数

|      | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|------|-----------------|-----------------|-----------------|-----------------|
|      | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V2.5 | 2               | 2               | 2               | 2               |
| V3.5 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

DIR←0

DIRフラグをクリアします。

MOVBK, CMPBK, CMPM, LDM, STM, INM, OUTMの各命令実行時に、インデックス・レジスタIX, IYをオートインクリメントするように設定します。

⑦ フラグの動作

|     |
|-----|
| DIR |
| 0   |

⑧ 記述例

```
• CLR1 DIR
  MOV  AW, 1000H
  MOV  DS0, AW
  MOV  AW, 2000H
  MOV  DS1, AW
  MOV  IX, 0
  MOV  IY, 0
  MOV  CW, 0FFFH
  REP  MOV BKW
```

15. 19. 4 SET1(Set Bit)

(1) 8ビット・レジスタのビットCL

① 記述形式

SET1 reg8,CL

② 命令語形式

|                 |                 |           |       |
|-----------------|-----------------|-----------|-------|
| 7               | 0 7             | 0 7       | 3 2 0 |
| 0 0 0 0 1 1 1 1 | 0 0 0 1 0 1 0 0 | 1 1 0 0 0 | reg   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 7               | 7               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg8のビットNO.CL←1

第1オペランドで指定される8ビット・レジスタの、CLレジスタで指定されるビットがセット(1)されます。CLの値は、下位3ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・MOV CL, 4  
SET1 AL, CL  
OUT 0DAH, AL

(2) 8ビット・メモリのビットCL

① 記述形式

SET1 mem8,CL

② 命令語形式

|   |     |   |   |   |         |   |   |   |     |   |   |   |   |   |   |   |     |   |   |   |   |     |
|---|-----|---|---|---|---------|---|---|---|-----|---|---|---|---|---|---|---|-----|---|---|---|---|-----|
| 7 | 0 7 |   |   |   | 0 7 6 5 |   |   |   | 3 2 |   | 0 |   |   |   |   |   |     |   |   |   |   |     |
| 0 | 0   | 0 | 0 | 1 | 1       | 1 | 1 | 0 | 0   | 0 | 1 | 0 | 1 | 0 | 0 | 0 | mod | 0 | 0 | 0 | 0 | mem |

|            |             |   |   |
|------------|-------------|---|---|
| 7          | 0           | 7 | 0 |
| (disp-low) | (disp-high) |   |   |

③ バイト数

3 / 4 / 5

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+13+2・T       | EA+11+T         | —               | —               |
| V35 | EA+15+2・T       | EA+12+T         |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

(mem8)のビットNO.CL←1

第1オペランドで指定される8ビット・メモリの、CLレジスタで指定されるビットがセット(1)されます。CLの値は、下位3ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・MOV CL, 7

SET1 BYTE PTR[BW], CL

③ 16ビット・レジスタのビットCL

① 記述形式

SET1 reg16,CL

② 命令語形式

|                 |                 |             |       |
|-----------------|-----------------|-------------|-------|
| 7               | 0 7             | 0 7         | 3 2 0 |
| 0 0 0 0 1 1 1 1 | 0 0 0 1 0 1 0 1 | 1 1 0 0 0 1 | reg   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 7               | 7               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16のビットNO.CL←1

第1オペランドで指定される16ビット・レジスタの、CLレジスタで指定されるビットがセット(1)されます。CLの値は、下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・MOV CL,15

SET1 IY,CL

(4) 16ビット・メモリのビットCL

① 記述形式

SET1 mem16,CL

② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |     |   |   |   |   |  |  |  |   |   |  |     |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|-----|---|---|---|---|--|--|--|---|---|--|-----|
| 7 |   |   |   |   |   |   | 0 | 7 |   |   |   |   |   |   |   |     | 0 | 7 | 6 | 5 |  |  |  | 3 | 2 |  | 0   |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | mod | 0 | 0 | 0 | 0 |  |  |  |   |   |  | mem |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

③ バイト数

3 / 4 / 5

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+17+4・T       | EA+13+2・T       |
| V35 |                 |                 | EA+15+2・T       | EA+12+T         |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem16)のビットNO.CL←1

第1オペランドでアドレスされる16ビット・メモリの、CLレジスタで指定されるビットがセット(1)されます。CLの値は、下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

・MOV CL,09  
SET1 WORD PTR[IX],CL

(5) 8ビット・メモリのビットimm3

① 記述形式

SET1 reg8, imm3

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 0 |

|     |   |   |   |      |   |
|-----|---|---|---|------|---|
| 7   | 3 | 2 | 0 | 7    | 0 |
| 1   | 1 | 0 | 0 | 0    | 0 |
| reg |   |   |   | imm3 |   |

③ バイト数

4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 6               | 6               | —               | —               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg8のビットNO. imm3 ← 1

第1オペランドで指定される8ビット・レジスタの、第2オペランドで記述された3ビット・イミディエイト・データで指定されるビットがセット(1)されます。命令の4バイト目のイミディエイト・データは、下位3ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

- SET1 CL, 7
- SET1 AL, 3

⑥ 8ビット・メモリのビットimm3

① 記述形式

SET1 mem8,imm3

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 0 |

|     |   |   |   |     |            |   |   |
|-----|---|---|---|-----|------------|---|---|
| 7   | 6 | 5 | 3 | 2   | 0          | 7 | 0 |
| mod | 0 | 0 | 0 | mem | (disp-low) |   |   |

|             |      |   |   |
|-------------|------|---|---|
| 7           | 0    | 7 | 0 |
| (disp-high) | imm3 |   |   |

③ バイト数

4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+10+2・T       | EA+8+T          | —               | —               |
| V35 | EA+12+2・T       | EA+9+T          |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

(mem8)のビットNO.imm3←1

第1オペランドでアドレスされる8ビット・メモリの、第2オペランドに記述された3ビット・イミディエト・データで指定されるビットがセット(1)されます。命令の最終バイトのイミディエト・データは、下位3ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

• SET1 BYTE PTR[BW],05



(7) 16ビット・レジスタのビット imm4

① 記述形式

SET1 reg16, imm4

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 |

|     |   |   |   |      |   |
|-----|---|---|---|------|---|
| 7   | 3 | 2 | 0 | 7    | 0 |
| 1   | 1 | 0 | 0 | 0    | 1 |
| reg |   |   |   | imm4 |   |

③ バイト数

4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 6               | 6               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

reg16のビットNO, imm4 ← 1

第1オペランドで指定される16ビット・レジスタの、第2オペランドに記述された4ビット・イミディエト・データで指定されるビットがセット(1)されます。

命令の4バイト目のイミディエト・データは、下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

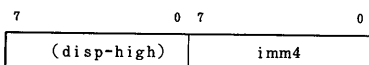
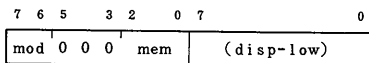
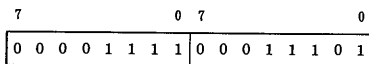
- SET1 AW, 7
- SET1 IY, 13
- SET1 BP, 15

⑧ 16ビット・メモリのビット imm4

① 記述形式

SET1 mem16, imm4

② 命令語形式



③ バイト数

4 / 5 / 6

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+14+4・T       | EA+10+2・T       |
| V35 |                 |                 | EA+12+2・T       | EA+9+T          |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

(mem16)のビットNO. imm4←1

第1オペランドでアドレスされる16ビット・メモリの、第2オペランドに記述された4ビット・イミディエト・データで指定されるビットがセット(1)されます。命令の最終バイトのイミディエト・データは、下位4ビットのみ有効です。

⑦ フラグの動作

なし

⑧ 記述例

• SET1 WORD PTR DS1:[BW],13

⑨ キャリー・フラグ

① 記述形式

SET1 CY

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 1 | 1 |
| 1 | 1 |
| 1 | 1 |
| 0 | 0 |
| 1 |   |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

CY←1

CYフラグをセットします。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
|   |   |   |    |   | 1  |

⑧ 記述例

• SET1 CY

ROLC DW, 1

(10) 方向フラグ

① 記述形式

SET1 DIR

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 1 | 1 |
| 1 | 1 |
| 1 | 1 |
| 1 | 1 |
| 0 | 1 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

DIR←1

DIRフラグをセットします。

MOVBK,CMPBK,CMPM,LDM,STM,INM,OUTMの各命令実行時, インデクス・レジスタIX,IYをオートデクリメントするように設定します。

⑦ フラグの動作

|     |
|-----|
| DIR |
| 1   |

⑧ 記述例

```
• SET1 DIR
  MOV  AW, 1100H
  MOV  DS0, AW
  MOV  AW, 4100H
  MOV  DS1, AW
  MOV  IX, 0
  MOV  IY, 0
  MOV  CW, 0FFH
  REP  MOVEKW
```

# 15.20 シフト命令

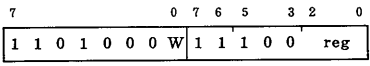
## 15.20.1 SHL (Shift Left)

(1) レジスタ1ビット

① 記述形式

SHL reg,1

② 命令語形式



③ バイト数

2

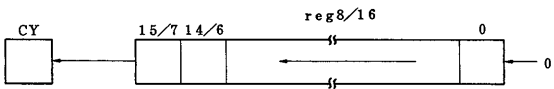
④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 8               | 8               | 8               | 8               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタを1ビット左シフトします。指定されたレジスタのLSBには0がロードされ、MSBのデータはCYフラグにシフトされます。シフト後符号ビットが元のままであればVフラグがクリアされます。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| × | × | × | U  | × | ×  |

③ 記述例

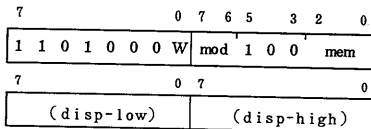
- SHL AL, 1  
OUT 0D8H, AL
- SHL DW, 1  
MOV BW, DW

(2) メモリ1ビット

① 記述形式

SHL mem,1

② 命令語形式



③ バイト数

2 / 3 / 4

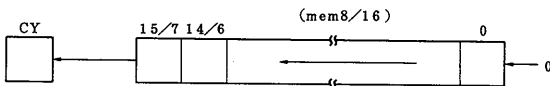
④ クロック数

|     | バ イ ト 処 理         |                 | ワ ー ド 処 理         |                   |
|-----|-------------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | $EA+14+2 \cdot T$ | $EA+12+T$       | $EA+18+4 \cdot T$ | $EA+14+2 \cdot T$ |
| V35 | $EA+16+2 \cdot T$ | $EA+13+T$       | $EA+16+2 \cdot T$ | $EA+13+T$         |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリを1ビット論理的または算術的に左シフトします。アドレスされたメモリのLSBには0がロードされ、MSBのデータはCYフラグにシフトされます。シフト後符号ビット(ビット7または15)が元のままであればVフラグがクリアされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | U  | × | ×  |

⑧ 記述例

・SHL BYTE PTR[IX],1



(3) レジスタ可変ビット

① 記述形式

SHL reg, CL

② 命令語形式

|   |   |   |   |   |     |   |   |
|---|---|---|---|---|-----|---|---|
| 7 | 0 | 7 | 6 | 5 | 3   | 2 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0   | 1 | W |
| 1 | 1 | 1 | 0 | 0 | reg |   |   |

③ バイト数

2

④ クロック数

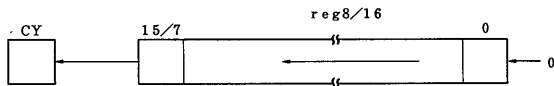
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  |
| V35 |                 |                 |                 |                 |

n : シフト数

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタをレジスタCLに等しいビット数分左シフトします。指定されたレジスタのLSBには0がロードされ、MSBのデータはCYフラグにシフトされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |

⑧ 記述例

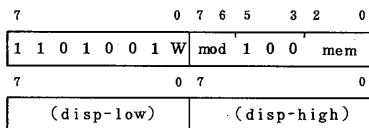
- MOV CL, 4
- SHL DW, CL

(4) メモリ可変ビット

① 記述形式

SHL mem, CL

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

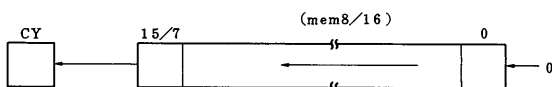
|       | バ イ ト 処 理                   |                     | ワ ー ド 処 理                   |                             |
|-------|-----------------------------|---------------------|-----------------------------|-----------------------------|
|       | 内蔵 R A M<br>アクセス許可          | 内蔵 R A M<br>アクセス禁止  | 内蔵 R A M<br>アクセス許可          | 内蔵 R A M<br>アクセス禁止          |
| V 2 5 | $EA+17+2 \cdot T+2 \cdot n$ | $EA+15+T+2 \cdot n$ | $EA+21+4 \cdot T+2 \cdot n$ | $EA+17+2 \cdot T+2 \cdot n$ |
| V 3 5 | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$ | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$         |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリをレジスタCLに等しいビット数分左シフトします。アドレスされたメモリのLSBには0がシフトされ、MSBのデータはCYフラグにシフトされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |

⑧ 記述例

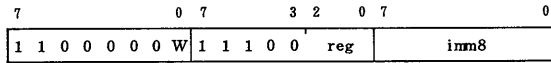
- MOV CL, 08  
SHL [BW], CL

(5) レジスタ・マルチビット

① 記述形式

SHL reg, imm8

② 命令語形式



③ バイト数

3

④ クロック数

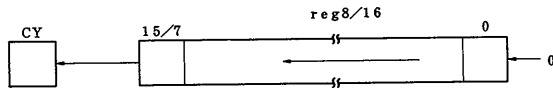
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   |
| V35 |                 |                 |                 |                 |

n : シフト数

⑤ 16ビット・ワード転送回数

なし

⑥ 機能



第1オペランドで指定される8/16ビット・レジスタが、第2オペランドに記述された8ビット・イミディエート・データで指定されるビット数分左へシフトされます。8/16ビット・レジスタのLSBには0が入力され、MSBのデータはCYフラグにシフトされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |

⑧ 記述例

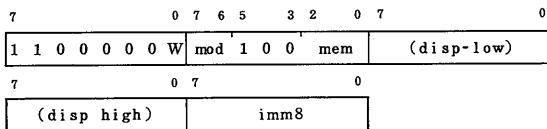
- IN AL, 0D8H  
SHL AL, 4

⑥ メモリ・マルチビット

① 記述形式

SHL mem, imm8

② 命令語形式



③ バイト数

3 / 4 / 5

④ クロック数

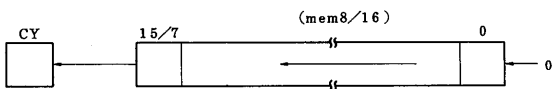
|     | バ イ ト 処 理                 |                    | ワ ー ド 処 理                 |                           |
|-----|---------------------------|--------------------|---------------------------|---------------------------|
|     | 内蔵RAM<br>アクセス許可           | 内蔵RAM<br>アクセス禁止    | 内蔵RAM<br>アクセス許可           | 内蔵RAM<br>アクセス禁止           |
| V25 | $EA+13+2\cdot T+2\cdot n$ | $EA+11+T+2\cdot n$ | $EA+17+4\cdot T+2\cdot n$ | $EA+13+2\cdot T+2\cdot n$ |
| V35 | $EA+15+2\cdot T+2\cdot n$ | $EA+12+T+2\cdot n$ | $EA+15+2\cdot T+2\cdot n$ | $EA+12+T+2\cdot n$        |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリが、第2オペランドに記述された8ビット・イミディエト・データで指定されるビット数分左へシフトされます。8/16ビット・メモリのLSBには0がロードされ、MSBのデータはCYフラグにシフトされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |

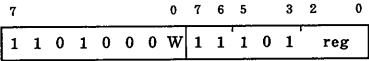
⑧ 記述例

- IN AW, 0C8H  
MOV [ IY ], AW  
SHL WORD PTR [ IY ], 12

# 15.20.2 SHR (Shift Right)

## (1) レジスタ1ビット

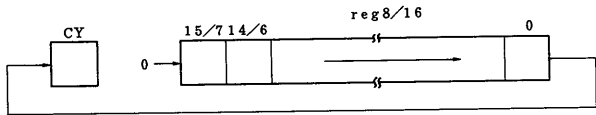
- ① 記述形式  
SHR reg,1
- ② 命令語形式



- ③ バイト数  
2
- ④ クロック数

|     | バイト 処 理         |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 8               | 8               | 8               | 8               |
| V35 |                 |                 |                 |                 |

- ⑤ 16ビット・ワード転送回数  
なし
- ⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタを1ビット論理的に右シフトします。指定されたレジスタのMSBには0がロードされ、LSBのデータはCYフラグにシフトされます。シフト後符号ビット（ビット7または15）が元のままであればVフラグがクリアされます。

## ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | U  | × | ×  |



⑧ 記述例

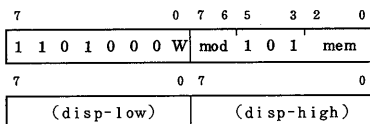
- SHR BW, 1  
BC LOOP

## ② メモリ 1 ビット

### ① 記述形式

SHR mem, 1

### ② 命令語形式



### ③ バイト数

2 / 3 / 4

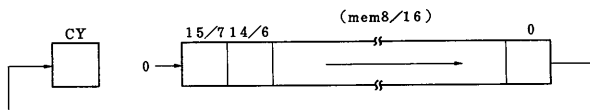
### ④ クロック数

|     | バ イ ト 処 理         |                  | ワ ー ド 処 理         |                   |
|-----|-------------------|------------------|-------------------|-------------------|
|     | 内蔵 RAM<br>アクセス許可  | 内蔵 RAM<br>アクセス禁止 | 内蔵 RAM<br>アクセス許可  | 内蔵 RAM<br>アクセス禁止  |
| V25 | $EA+14+2 \cdot T$ | $EA+12+T$        | $EA+18+4 \cdot T$ | $EA+14+2 \cdot T$ |
| V35 | $EA+16+2 \cdot T$ | $EA+13+T$        | $EA+16+2 \cdot T$ | $EA+13+T$         |

### ⑤ 16ビット・ワード転送回数

2

### ⑥ 機 能



第 1 オペランドでアドレスされる 8/16 ビット・メモリを 1 ビット論理的に右シフトします。アドレスされたメモリの MSB には 0 がロードされ、LSB のデータは CY フラグにシフトされます。シフト後符号ビット (ビット 7 または 15) が元のままであれば V フラグがクリアされます。

### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × | × | × | U  | × | ×  |

### ⑧ 記述例

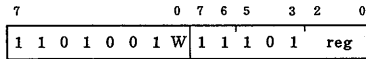
・ SHR BYTE PTR[BW], 1

(3) レジスタ可変ビット

① 記述形式

SHR reg, CL

② 命令語形式



③ バイト数

2

④ クロック数

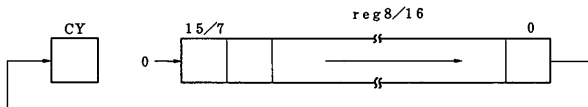
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  |
| V35 |                 |                 |                 |                 |

n : シフト数

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタをレジスタCLに等しいビット数分論理的に右シフトします。指定されたレジスタのMSBには0がロードされ、LSBのデータはCYフラグにシフトされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |

⑧ 記述例

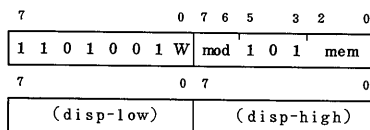
- MOV CL, 3  
SHR DW, CL
- MOV CL, 4  
SHR AL, CL

#### (4) メモリ可変ビット

##### ① 記述形式

SHR mem, CL

##### ② 命令語形式



##### ③ バイト数

2 / 3 / 4

##### ④ クロック数

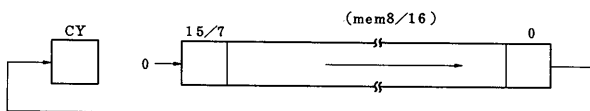
|       | バ イ ト 処 理                   |                     | ワ ー ド 処 理                   |                             |
|-------|-----------------------------|---------------------|-----------------------------|-----------------------------|
|       | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止             |
| V 2 5 | $EA+17+2 \cdot T+2 \cdot n$ | $EA+15+T+2 \cdot n$ | $EA+21+4 \cdot T+2 \cdot n$ | $EA+17+2 \cdot T+2 \cdot n$ |
| V 3 5 | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$ | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$         |

n : シフト数

##### ⑤ 16ビット・ワード転送回数

2

##### ⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリをレジスタCLに等しいビット数分論理的に右シフトします。アドレスされたメモリのMSBには0がロードされ、LSBのデータはCYフラグにシフトされます。

##### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |

⑧ 記述例

• MOV CL, 4

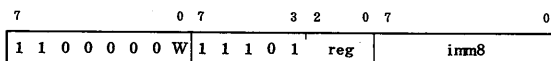
SHR BYTE PTR[ IY], CL

(5) レジスタ・マルチビット

① 記述形式

SHR reg, imm8

② 命令語形式



③ バイト数

3

④ クロック数

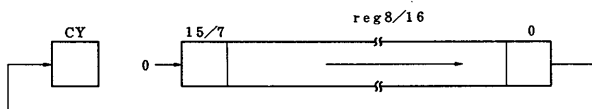
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   |
| V35 |                 |                 |                 |                 |

n : シフト数

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタが、第2オペランドに記述された8ビット・イミディエート・データで指定されるビット数分右へシフトされます。8/16ビット・レジスタのMSBには0がロードされ、LSBのデータはCYフラグにシフトされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |

⑧ 記述例

- RCV: IN AL, 0DAH  
SHR AL, 3  
BC RCV
- SHR CW, 8

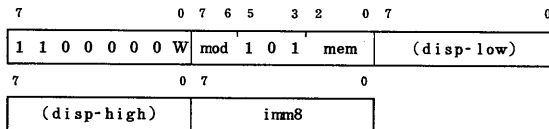


⑥ メモリ・マルチビット

① 記述形式

SHR mem, imm8

② 命令語形式



③ バイト数

3 / 4 / 5

④ クロック数

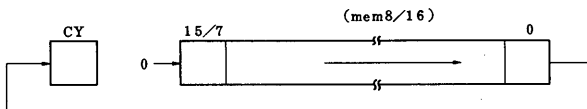
|     | バ イ ト 処 理                   |                     | ワ ー ド 処 理                   |                             |
|-----|-----------------------------|---------------------|-----------------------------|-----------------------------|
|     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止             |
| V25 | $EA+13+2 \cdot T+2 \cdot n$ | $EA+11+T+2 \cdot n$ | $EA+17+4 \cdot T+2 \cdot n$ | $EA+13+2 \cdot T+2 \cdot n$ |
| V35 | $EA+15+2 \cdot T+2 \cdot n$ | $EA+12+T+2 \cdot n$ | $EA+15+2 \cdot T+2 \cdot n$ | $EA+12+T+2 \cdot n$         |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドで指定される8/16ビット・メモリが、第2オペランドに記述された8ビット・イミディエイト・データで指定されるビット数分右へシフトされます。8/16ビット・メモリのMSBには0がロードされ、LSBのデータはCYフラグにシフトされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |

⑧ 記述例

- SHR WORD PTR[BW], 8

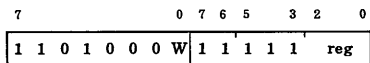
### 15.20.3 SHRA (Shift Right Arithmetic)

(1) レジスタ1ビット

### ① 記述形式

SHRA reg,1

## ② 命令語形式



### ③ バイト数

2

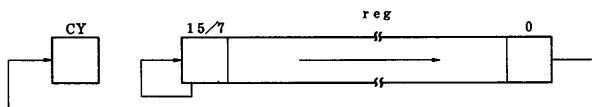
#### ④ クロック数

|     | バ イ ト 処 理        |                  | ワ ー ド 処 理        |                  |
|-----|------------------|------------------|------------------|------------------|
|     | 内蔵 RAM<br>アクセス許可 | 内蔵 RAM<br>アクセス禁止 | 内蔵 RAM<br>アクセス許可 | 内蔵 RAM<br>アクセス禁止 |
| V25 | 8                | 8                | 8                | 8                |
| V35 |                  |                  |                  |                  |

## ⑤ 16ビット・ワード転送回数

なし

### ⑥ 機能



第1オペランドで指定される8/16ビット・レジスタを1ビット算術的に右シフトします。指定されたレジスタのMSBには元と同じ値のビットがシフトされ、シフト後も符号は変化しません。LSBのデータはCYフラグにシフトされます。

### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | x | x | U  | x | x  |

⑧ 記述例

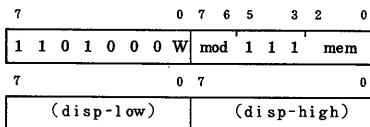
- SHRA AL, 1
- SHRA BP, 1
- SHRA DW, 1

## (2) メモリ1ビット

### ① 記述形式

SHRA mem,1

### ② 命令語形式



### ③ バイト数

2 / 3 / 4

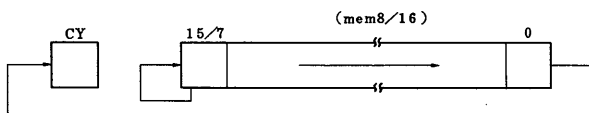
### ④ クロック数

|     | バ イ ト 処 理         |                 | ワ ー ド 処 理         |                   |
|-----|-------------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | $EA+14+2 \cdot T$ | $EA+12+T$       | $EA+18+4 \cdot T$ | $EA+14+2 \cdot T$ |
| V35 | $EA+16+2 \cdot T$ | $EA+13+T$       | $EA+16+2 \cdot T$ | $EA+13+T$         |

### ⑤ 16ビット・ワード転送回数

2

### ⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリを1ビット算術的に右シフトします。アドレスされたメモリ of MSB には元と同じ値のビットがシフトされ、シフト後も符号は変化しません。LSB のデータはCYフラグにシフトされます。

### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| 0 | × | × | U  | × | ×  |

### ⑧ 記述例

・SHRA BYTE PTR[ $IX+3$ ],1

### (3) レジスタ可変ビット

#### ① 記述形式

SHRA reg, CL

#### ② 命令語形式

|   |   |   |   |   |   |   |     |
|---|---|---|---|---|---|---|-----|
| 7 | 0 | 7 | 6 | 5 | 3 | 2 | 0   |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | W   |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | reg |

#### ③ バイト数

2

#### ④ クロック数

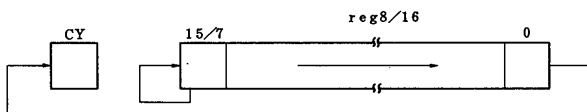
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  |
| V35 |                 |                 |                 |                 |

n : シフト数

#### ⑤ 16ビット・ワード転送回数

なし

#### ⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタをレジスタCLに等しいビット数分、算術的に右シフトします。指定されたレジスタのMSBには元と同じ値のビットがシフトされ、シフト後も符号は変化しません。LSBのデータはCYフラグにシフトされます。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |

⑨ 記述例

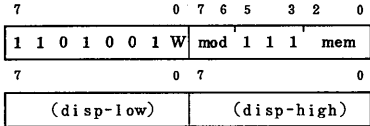
- MOV CL, 2  
SHRA BL, CL
- MOV CL, 9  
SHRA DW, CL

(4) メモリ可変ビット

① 記述形式

SHRA mem.CL

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

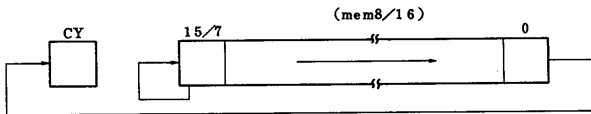
|     | バ イ ト 処 理                   |                     | ワ ー ド 処 理                   |                             |
|-----|-----------------------------|---------------------|-----------------------------|-----------------------------|
|     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止             |
| V25 | $EA+17+2 \cdot T+2 \cdot n$ | $EA+15+T+2 \cdot n$ | $EA+21+T+2 \cdot n$         | $EA+17+2 \cdot T+2 \cdot n$ |
| V35 | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$ | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$         |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリをレジスタCLに等しいビット数分、算術的に右シフトします。アドレスされたメモリにMSBには元と同じ値のビットがシフトされ、シフト後も符号は変化しません。LSBのデータはCYフラグにシフトされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |



⑧ 記述例

• MOV CL, 8

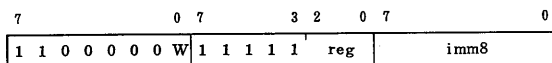
SHRA BYTE PTR[IX], CL

(5) レジスタ・マルチビット

① 記述形式

SHRA reg,imm8

② 命令語形式



③ バイト数

3

④ クロック数

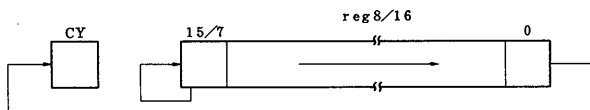
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   |
| V35 |                 |                 |                 |                 |

n : シフト数

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタが、第2オペランドに記述された8ビット・イミディエイト・データで指定されるビット数分、算術的に右シフトされます。8/16ビット・レジスタのLSBのデータはCYフラグにシフトされますが、MSBには元の値が再ロードされて変化せず、符号は保存されます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |

⑧ 記述例

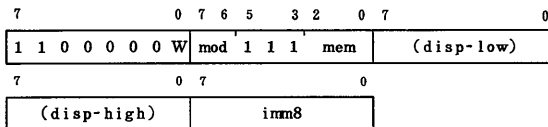
- SHRA AW, 8
- SHRA CW, 2
- SHRA BP, 4

⑥ メモリ・マルチビット

① 記述形式

SHRA mem,imm8

② 命令語形式



③ バイト数

3 / 4 / 5

④ クロック数

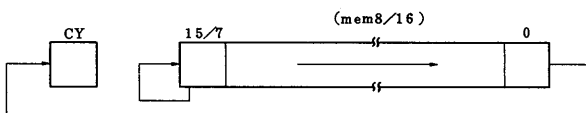
|     | バイト処理                       |                     | ワード処理                       |                             |
|-----|-----------------------------|---------------------|-----------------------------|-----------------------------|
|     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止             |
| V25 | $EA+13+2 \cdot T+2 \cdot n$ | $EA+11+T+2 \cdot n$ | $EA+17+4 \cdot T+2 \cdot n$ | $EA+13+2 \cdot T+2 \cdot n$ |
| V35 | $EA+15+2 \cdot T+2 \cdot n$ | $EA+12+T+2 \cdot n$ | $EA+15+2 \cdot T+2 \cdot n$ | $EA+12+T+2 \cdot n$         |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機能



第1オペランドでアドレスされる8/16ビット・メモリが、第2オペランドに記述された8ビット・イミディエート・データで指定されるビット数分、算術的に右シフトされます。8/16ビット・メモリのLSBのデータはCYフラグにシフトされますが、MSBには元の値が再ロードされて変化せず、符号は保存されます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U | × | × | U  | × | ×  |

③ 記述例

・ SHRA BYTE PTR[IY], 4

15.21    ローテート命令

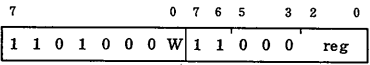
15.21.1    ROL (Rotate Left)

(1) レジスタ1ビット

① 記述形式

ROL reg,1

② 命令語形式



③ バイト数

2

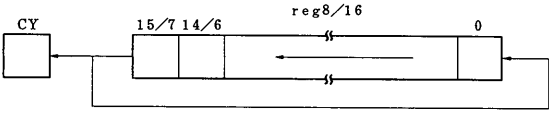
④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 8               | 8               | 8               | 8               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタを1ビット左回転します。指定されたレジスタのMSBが変化したときはVフラグがセットされ、元のままのときはクリアされます。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| × |   |   |    |   | ×  |

⑧ 記述例

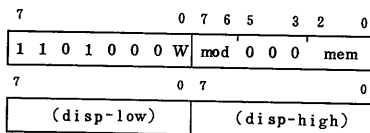
- ROL AL, 1
- ROL DW, 1

## (2) メモリ1ビット

### ① 記述形式

ROL mem, 1

### ② 命令語形式



### ③ バイト数

2 / 3 / 4

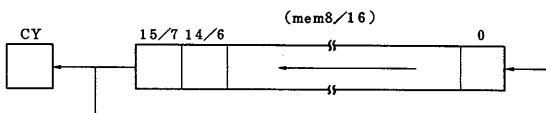
### ④ クロック数

|     | バ イ ト 処 理         |                 | ワ ー ド 処 理         |                   |
|-----|-------------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | $EA+14+2 \cdot T$ | $EA+12+T$       | $EA+18+4 \cdot T$ | $EA+14+2 \cdot T$ |
| V35 | $EA+16+2 \cdot T$ | $EA+13+T$       | $EA+16+2 \cdot T$ | $EA+13+T$         |

### ⑤ 16ビット・ワード転送回数

2

### ⑥ 機能



第1オペランドでアドレスされる8/16ビット・メモリを1ビット左回転します。アドレスされたメモリのMSBが変化したときはVフラグがセットされ、元のままのときはクリアされます。

### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × |   |   |    |   | ×  |

### ⑧ 記述例

• MOV [IX], BL

ROL BYTE PTR[IX], 1

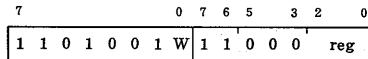


### (3) レジスタ可変ビット

#### ① 記述形式

ROL reg, CL

#### ② 命令語形式



#### ③ バイト数

2

#### ④ クロック数

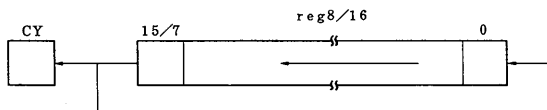
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  |
| V35 |                 |                 |                 |                 |

n : シフト数

#### ⑤ 16ビット・ワード転送回数

なし

#### ⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタをレジスタCLに等しいビット数分左回転します。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U |   |   |    |   | ×  |

⑧ 記述例

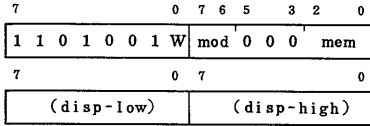
- MOV CL, 2  
  ROL DL, CL
- MOV CL, 4  
  ROL AX, CL

(4) メモリ可変ビット

① 記述形式

ROL mem, CL

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

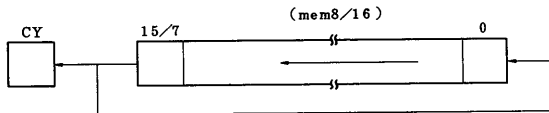
|       | バ イ ト 処 理                   |                     | ワ ー ド 処 理                   |                             |
|-------|-----------------------------|---------------------|-----------------------------|-----------------------------|
|       | 内蔵 R A M<br>アクセス許可          | 内蔵 R A M<br>アクセス禁止  | 内蔵 R A M<br>アクセス許可          | 内蔵 R A M<br>アクセス禁止          |
| V 2 5 | $EA+17+2 \cdot T+2 \cdot n$ | $EA+15+T+2 \cdot n$ | $EA+21+4 \cdot T+2 \cdot n$ | $EA+17+2 \cdot T+2 \cdot n$ |
| V 3 5 | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$ | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$         |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリをレジスタCLに等しいビット数分左回転します。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| U |   |   |    |   | ×  |

⑧ 記述例

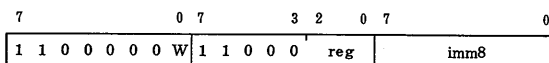
・ MOV CL, AL  
 ROL WORD PTR[BW], CL

(5) レジスタ・マルチビット

### ① 記述形式

ROL reg, imm8

## ② 命令語形式



③ バイト数

3

#### ④ クロック数

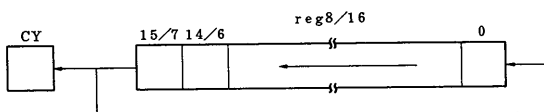
|     | バ イ ト 処 理        |                  | ワ ー ド 処 理        |                  |
|-----|------------------|------------------|------------------|------------------|
|     | 内蔵 RAM<br>アクセス許可 | 内蔵 RAM<br>アクセス禁止 | 内蔵 RAM<br>アクセス許可 | 内蔵 RAM<br>アクセス禁止 |
| V25 | 9+2・n            | 9+2・n            | 9+2・n            | 9+2・n            |
| V35 |                  |                  |                  |                  |

n : シフト数

⑤ 16ビット・ワード転送回数

なし

### ⑥ 機能



第1オペランドで指定される8/16ビット・レジスタが、第2オペランドに記述された8ビット・イミディエイト・データで指定されるビット数分、左回転されます。8/16ビット・レジスタのMSBのデータはCYフラグにシフトされる一方、自身のLSBにロードされます。

### ⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| U |   |   |    |   | X  |

495

⑧ 記述例

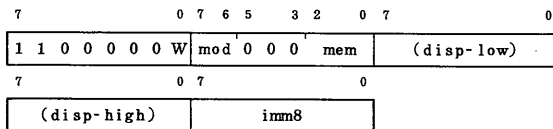
- ROL BL, 2
- ROL AW, 4
- ROL IX, 8

(6) メモリ・マルチビット

① 記述形式

ROL mem, imm8

② 命令語形式



③ バイト数

3 / 4 / 5

④ クロック数

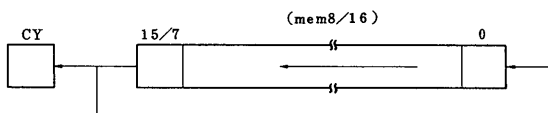
|     | バ イ ト 処 理                   |                     | ワ ー ド 処 理                   |                             |
|-----|-----------------------------|---------------------|-----------------------------|-----------------------------|
|     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止             |
| V25 | $EA+13+2 \cdot T+2 \cdot n$ | $EA+11+T+2 \cdot n$ | $EA+17+4 \cdot T+2 \cdot n$ | $EA+13+2 \cdot T+2 \cdot n$ |
| V35 | $EA+15+2 \cdot T+2 \cdot n$ | $EA+12+T+2 \cdot n$ | $EA+15+2 \cdot T+2 \cdot n$ | $EA+12+T+2 \cdot n$         |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機能



第1オペランドでアドレスされる8/16ビット・メモリが、第2オペランドに記述された8ビット・イミディエト・データで指定されるビット数分、左回転されます。8/16ビット・メモリのMSBのデータは、CYフラグにシフトされる一方、自身のLSBにロードされます。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| U |   |   |    |   | ×  |

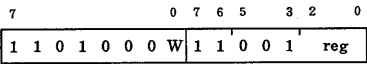
⑧ 記述例

- ROL BYTE PTR[IX], 3
- ROL WORD PTR[IY], 10

15.21.2 ROR (Rotate Right)

(1) レジスタ1ビット

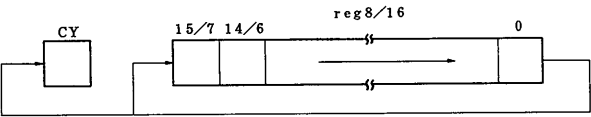
- ① 記述形式  
ROR reg,1
- ② 命令語形式



- ③ バイト数  
2
- ④ クロック数

|     | バイト 処 理         |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 8               | 8               | 8               | 8               |
| V35 |                 |                 |                 |                 |

- ⑤ 16ビット・ワード転送回数  
なし
- ⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタを1ビット右回転します。指定されたレジスタのMSBが変化したときはオーバフロー・フラグがセットされ、元のままのときはクリアされます。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| × |   |   |    |   | ×  |



⑧ 記述例

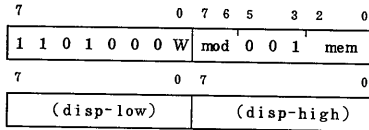
- ROR BL, 1
- ROR AL, 1
- ROR CW, 1
- ROR IX, 1

## ② メモリ1ビット

### ① 記述形式

ROR mem, 1

### ② 命令語形式



### ③ バイト数

2 / 3 / 4

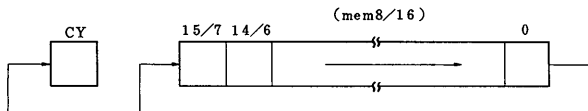
### ④ クロック数

|     | バ イ ト 処 理         |                 | ワ ー ド 処 理         |                   |
|-----|-------------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | $EA+14+2 \cdot T$ | $EA+12+T$       | $EA+18+4 \cdot T$ | $EA+14+2 \cdot T$ |
| V35 | $EA+16+2 \cdot T$ | $EA+13+T$       | $EA+16+2 \cdot T$ | $EA+13+T$         |

### ⑤ 16ビット・ワード転送回数

2

### ⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリを1ビット右回転します。アドレスされたメモリ of MSB が変化したときはオーバーフロー・フラグがセットされ、元のままのときはクリアされます。

### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × |   |   |    |   | ×  |

### ⑧ 記述例

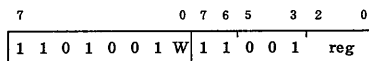
・MOV DS1:[IX], DL  
ROR WORD PTR DS1:[IX], 1

### (3) レジスタ可変ビット

#### ① 記述形式

ROR reg, CL

#### ② 命令語形式



#### ③ バイト数

2

#### ④ クロック数

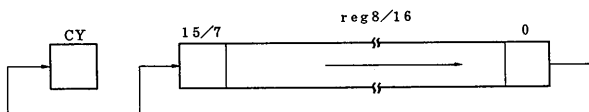
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  |
| V35 |                 |                 |                 |                 |

n : シフト数

#### ⑤ 16ビット・ワード転送回数

なし

#### ⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタをレジスタCLに等しいビット数分右回転します。

#### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U |   |   |    |   | ×  |

⑧ 記述例

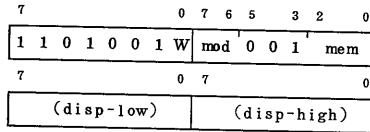
- MOV CL, 3  
ROR DL, CL
- MOV CL, 4  
ROR BW, CL

(4) メモリ可変ビット

① 記述形式

ROR mem, CL

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

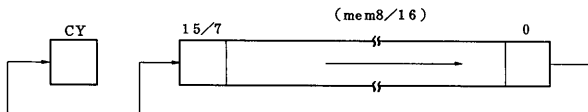
|     | バ イ ト 処 理                   |                     | ワ ー ド 処 理                   |                             |
|-----|-----------------------------|---------------------|-----------------------------|-----------------------------|
|     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止             |
| V25 | $EA+17+2 \cdot T+2 \cdot n$ | $EA+15+T+2 \cdot n$ | $EA+21+4 \cdot T+2 \cdot n$ | $EA+17+2 \cdot T+2 \cdot n$ |
| V35 | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$ | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$         |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリをレジスタCLに等しいビット数分右回転します。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| U |   |   |    |   | X  |

⑧ 記述例

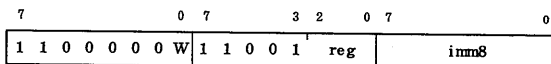
• MOV CL, 5  
ROR [BW], CL

(5) レジスタ・マルチビット

① 記述形式

ROR reg, imm8

② 命令語形式



③ バイト数

3

④ クロック数

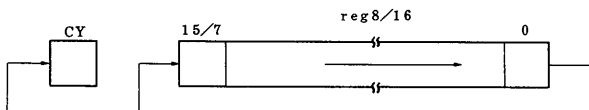
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   |
| V35 |                 |                 |                 |                 |

n : シフト数

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタが、第2オペランドに記述された8ビット・イミディエト・データで指定されるビット数分、右回転されます。8/16ビット・レジスタのLSBのデータは、自身のMSBにシフトされる一方、CYフラグにもシフトされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U |   |   |    |   | ×  |

⑧ 記述例

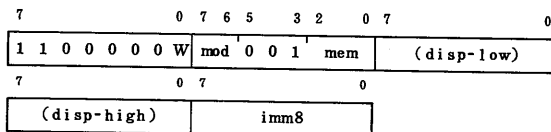
- ROR AL, 3
- ROR CW, 6
- ROR IY, 2

(6) メモリ・マルチビット

① 記述形式

ROR mem, imm8

② 命令語形式



③ バイト数

3 / 4 / 5

④ クロック数

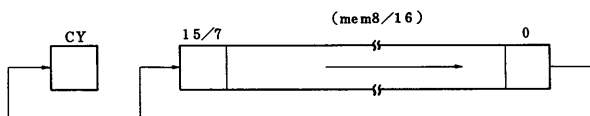
|     | バ イ ト 処 理                 |                    | ワ ー ド 処 理                 |                           |
|-----|---------------------------|--------------------|---------------------------|---------------------------|
|     | 内蔵RAM<br>アクセス許可           | 内蔵RAM<br>アクセス禁止    | 内蔵RAM<br>アクセス許可           | 内蔵RAM<br>アクセス禁止           |
| V25 | $EA+13+2\cdot T+2\cdot n$ | $EA+11+T+2\cdot n$ | $EA+17+4\cdot T+2\cdot n$ | $EA+13+2\cdot T+2\cdot n$ |
| V35 | $EA+15+2\cdot T+2\cdot n$ | $EA+12+T+2\cdot n$ | $EA+15+2\cdot T+2\cdot n$ | $EA+12+T+2\cdot n$        |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリが、第2オペランドに記述された8ビット・イミディエット・データで指定されるビット数分、右回転されます。8/16ビット・メモリのLSBのデータは、自身のMSBにシフトされる一方、CYフラグにもシフトされます。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| U |   |   |    |   | ×  |



⑧ 記述例

• ROR WORD PTR[1Y],8

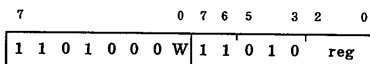
### 15.21.3 ROLC (Rotate Left With Carry)

#### (1) レジスタ1ビット

##### ① 記述形式

ROLC reg,1

##### ② 命令語形式



##### ③ バイト数

2

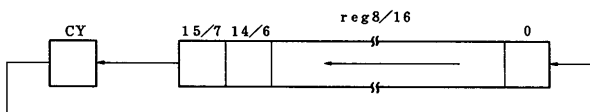
##### ④ クロック数

|     | バイト 処 理         |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 8               | 8               | 8               | 8               |
| V35 |                 |                 |                 |                 |

##### ⑤ 16ビット・ワード転送回数

なし

##### ⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタをCYフラグを通して1ビット左回転します。指定されたレジスタのMSBが変化したときはVフラグがセットされ、元のままのときはクリアされます。

##### ⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × |   |   |    |   | ×  |

⑧ 記述例

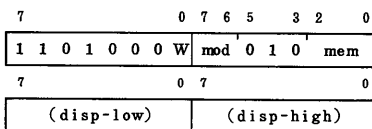
- ROLC AL, 1
- ROLC CL, 1
- ROLC DW, 1
- ROLC AW, 1

(2) メモリ1ビット

① 記述形式

ROLC mem, 1

② 命令語形式



③ バイト数

2 / 3 / 4

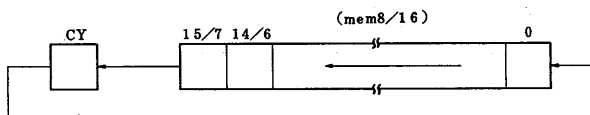
④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | EA+14+2・T       | EA+12+T         | EA+18+4・T       | EA+14+2・T       |
| V35 | EA+16+2・T       | EA+13+T         | EA+16+2・T       | EA+13+T         |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリをCYフラグを通して1ビット左回転します。アドレスされたメモリのMSBが変化したときはVフラグがセットされ、元のままのときはクリアされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × |   |   |    |   | ×  |

⑧ 記述例

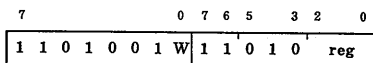
・ ROLC BYTE PTR[BW], 1

(3) レジスタ可変ビット

① 記述形式

ROLC reg, CL

② 命令語形式



③ バイト数

2

④ クロック数

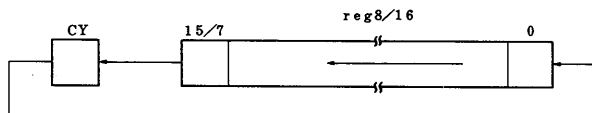
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  |
| V35 |                 |                 |                 |                 |

n : インフト数

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタをCYフラグを通してレジスタCLに等しいビット数分左回転します。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U |   |   |    |   | ×  |

⑧ 記述例

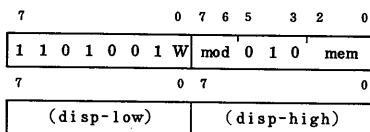
- MOV CL, 4  
ROLC DL, CL
- MOV CL, 2  
ROLC BW, CL

(4) メモリ可変ビット

① 記述形式

ROLC mem, CL

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

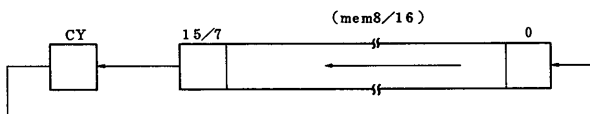
|       | バ イ ト 処 理                   |                     | ワ ー ド 処 理                   |                             |
|-------|-----------------------------|---------------------|-----------------------------|-----------------------------|
|       | 内蔵 R A M<br>アクセス許可          | 内蔵 R A M<br>アクセス禁止  | 内蔵 R A M<br>アクセス許可          | 内蔵 R A M<br>アクセス禁止          |
| V 2 5 | $EA+17+2 \cdot T+2 \cdot n$ | $EA+15+T+2 \cdot n$ | $EA+21+4 \cdot T+2 \cdot n$ | $EA+17+2 \cdot T+2 \cdot n$ |
| V 3 5 | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$ | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$         |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリをCYフラグを通してレジスタCLに等しいビット数分左回転します。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U |   |   |    |   | X  |

⑧ 記述例

・MOV CL, 8

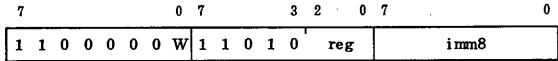
ROL VAR\_2, CL

(5) レジスタ・マルチビット

① 記述形式

ROLC reg, imm8

② 命令語形式



③ バイト数

3

④ クロック数

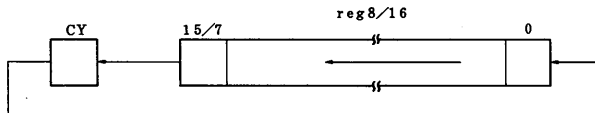
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   |
| V35 |                 |                 |                 |                 |

n : シフト数

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタが、第2オペランドに記述された8ビット・イミディエイト・データで指定されるビット数分、CYフラグを通して左回転されます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U |   |   |    |   | ×  |



⑧ 記述例

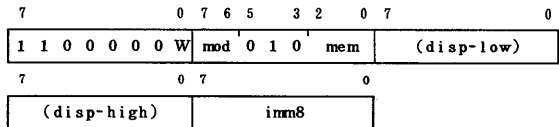
- ROLC CL, 2
- ROLC AL, 4
- ROLC DW, 10
- ROLC IY, 6

⑥ メモリ・マルチビット

① 記述形式

ROLC mem, imm8

② 命令語形式



③ バイト数

3 / 4 / 5

④ クロック数

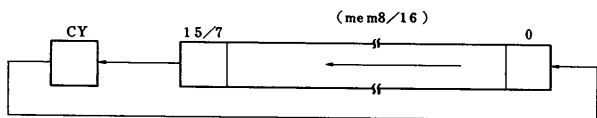
|     | バ イ ト 処 理                   |                     | ワ ー ド 処 理                   |                             |
|-----|-----------------------------|---------------------|-----------------------------|-----------------------------|
|     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止             |
| V25 | $EA+13+2 \cdot T+2 \cdot n$ | $EA+11+T+2 \cdot n$ | $EA+17+4 \cdot T+2 \cdot n$ | $EA+13+2 \cdot T+2 \cdot n$ |
| V35 | $EA+15+2 \cdot T+2 \cdot n$ | $EA+12+T+2 \cdot n$ | $EA+15+2 \cdot T+2 \cdot n$ | $EA+12+T+2 \cdot n$         |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリが、第2オペランドに記述された8ビット・イミディエイト・データで指定されるビット数分、CYフラグを通して左回転されます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U |   |   |    |   | ×  |

⑧ 記述例

・ ROLC WORD PTR[1Y], 12

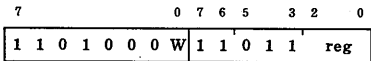
# 15.21.4 RORC (Rotate Right With Carry)

(1) レジスタ1ビット

① 記述形式

RORC reg,1

② 命令語形式



③ バイト数

2

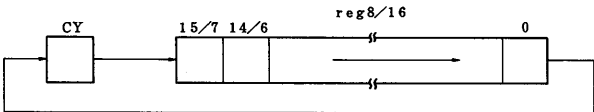
④ クロック数

|     | バイト 処 理         |                 | ワード 処 理         |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 8               | 8               | 8               | 8               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタをCYフラグを通して1ビット右回転します。指定されたレジスタのMSBが変化したときはVフラグがセットされ、元のままのときはクリアされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| × |   |   |    |   | ×  |

⑧ 記述例

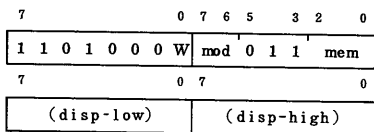
- RORC AL, 1
- RORC BL, 1
- RORC CW, 1
- RORC IX, 1

(2) メモリ1ビット

① 記述形式

RORC mem, 1

② 命令語形式



③ バイト数

2 / 3 / 4

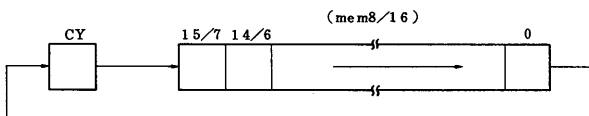
④ クロック数

|     | バ イ ト 処 理         |                 | ワ ー ド 処 理         |                   |
|-----|-------------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | $EA+14+2 \cdot T$ | $EA+12+T$       | $EA+18+4 \cdot T$ | $EA+14+2 \cdot T$ |
| V35 | $EA+16+2 \cdot T$ | $EA+13+T$       | $EA+16+2 \cdot T$ | $EA+13+T$         |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリをCYフラグを通して1ビット右回転します。アドレスされたメモリのMSBが変化したときはVフラグがセットされ、元のままのときはクリアされます。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| X |   |   |    |   | X  |

⑧ 記述例

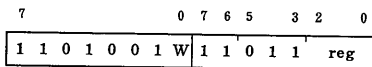
・RORC BYTE PTR[IX], 1

(3) レジスタ可変ビット

① 記述形式

RORC reg, CL

② 命令語形式



③ バイト数

2

④ クロック数

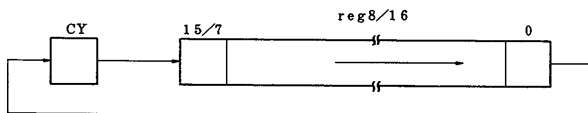
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  | $11+2 \cdot n$  |
| V35 |                 |                 |                 |                 |

n : シフト数

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタをCYフラグを通してレジスタCLに等しいビット数分右回転します。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U |   |   |    |   | ×  |

⑧ 記述例

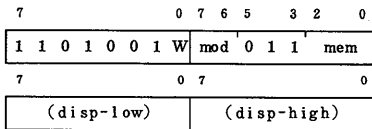
- MOV CL, 2  
RORC BL, CL
- MOV CL, 3  
RORC DW, CL

(4) メモリ可変ビット

① 記述形式

RORC mem, CL

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

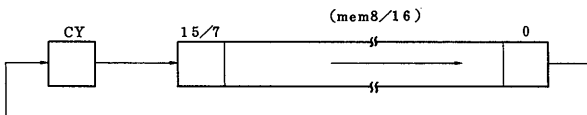
|     | バ イ ト 処 理                   |                     | ワ ー ド 処 理                   |                             |
|-----|-----------------------------|---------------------|-----------------------------|-----------------------------|
|     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止     | 内蔵RAM<br>アクセス許可             | 内蔵RAM<br>アクセス禁止             |
| V25 | $EA+17+2 \cdot T+2 \cdot n$ | $EA+15+T+2 \cdot n$ | $EA+21+4 \cdot T+2 \cdot n$ | $EA+17+2 \cdot T+2 \cdot n$ |
| V35 | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$ | $EA+19+2 \cdot T+2 \cdot n$ | $EA+16+T+2 \cdot n$         |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリをキャリー・フラグを通してレジスタCLに等しいビット数分右回転します。

⑦ フラグの動作

| V | S | Z | AC | P | CY |
|---|---|---|----|---|----|
| U |   |   |    |   | ×  |



⑧ 記述例

• MOV CL, 8

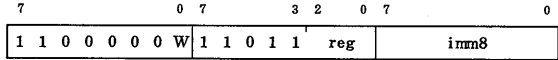
RORC WORD PTR[BW], CL

(5) レジスタ・マルチビット

① 記述形式

RORC reg,imm8

② 命令語形式



③ バイト数

3

④ クロック数

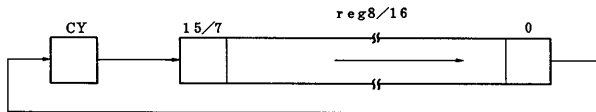
|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   | $9+2 \cdot n$   |
| V35 |                 |                 |                 |                 |

n : シフト数

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能



第1オペランドで指定される8/16ビット・レジスタが、第2オペランドに記述された8ビット・イミディエイト・データで指定されるビット数分、CYフラグを通して右回転されます。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| U |   |   |    |   | ×  |

③ 記述例

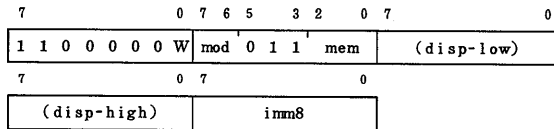
- RORC DL, 2
- RORC BL, 4
- RORC AW, 6
- RORC IX, 4

(6) メモリ・マルチビット

① 記述形式

RORC mem, imm8

② 命令語形式



③ バイト数

3 / 4 / 5

④ クロック数

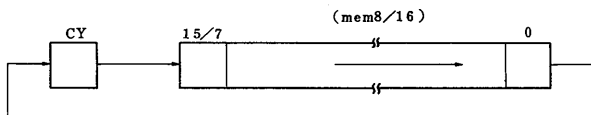
|     | バ イ ト 処 理                 |                    | ワ ー ド 処 理                 |                           |
|-----|---------------------------|--------------------|---------------------------|---------------------------|
|     | 内蔵RAM<br>アクセス許可           | 内蔵RAM<br>アクセス禁止    | 内蔵RAM<br>アクセス許可           | 内蔵RAM<br>アクセス禁止           |
| V25 | $EA+13+2\cdot T+2\cdot n$ | $EA+11+T+2\cdot n$ | $EA+17+4\cdot T+2\cdot n$ | $EA+13+2\cdot T+2\cdot n$ |
| V35 | $EA+15+2\cdot T+2\cdot n$ | $EA+12+T+2\cdot n$ | $EA+15+2\cdot T+2\cdot n$ | $EA+12+T+2\cdot n$        |

n : シフト数

⑤ 16ビット・ワード転送回数

2

⑥ 機 能



第1オペランドでアドレスされる8/16ビット・メモリが、第2オペランドに記述された8ビット・イミディエト・データで指定されるビット数分、CYフラグを通して右回転されます。

⑦ フラグの動作

|   |   |   |    |   |    |
|---|---|---|----|---|----|
| V | S | Z | AC | P | CY |
| U |   |   |    |   | ×  |

⑧ 記述例

• RORC VAR\_1, 10

## 15.22 サブルーチン制御命令

### 15.22.1 CALL (Call)

(1) セグメント内レラティブ

① 記述形式

CALL near-proc

② 命令語形式

|                 |          |           |   |
|-----------------|----------|-----------|---|
| 7               | 0 7      | 0 7       | 0 |
| 1 1 1 0 1 0 0 0 | disp-low | disp-high |   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $22+2 \cdot T$  | $18+2 \cdot T$  |
| V35 |                 |                 | $21+T$          | $17+T$          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

$(SP-1, SP-2) \leftarrow PC$

$SP \leftarrow SP-2$

$PC \leftarrow PC + disp$

PCがスタックに退避されます。次にPCに16ビット相対アドレスがロードされます。この命令によって、この命令の置かれているセグメント内の任意のアドレスをコール可能です。

⑦ フラグの動作

なし

⑧ 記述例

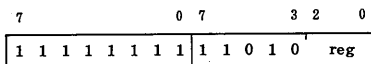
- CALL \$+10
- CALL SUB1 ; SUB1はレベル

## (2) セグメント内レジスタ

### ① 記述形式

CALL regptr16

### ② 命令語形式



### ③ バイト数

2

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $22+2 \cdot T$  | $18+2 \cdot T$  |
| V35 |                 |                 | $21+T$          | $17+T$          |

### ⑤ 16ビット・ワード転送回数

1

### ⑥ 機 能

$(SP-1, SP-2) \leftarrow PC$

$PC \leftarrow \text{regptr16}$

$SP \leftarrow SP-2$

PCがスタックに退避されます。次にオペランドで指定される16ビット・レジスタの値(オフセット)がPCにロードされます。

この命令の置かれているセグメント内の任意のアドレスをコール可能です。

### ⑦ フラグの動作

なし

### ⑧ 記述例

・MOV AW,1200H

CALL AW

・CALL DW

・CALL IX

・CALL BP

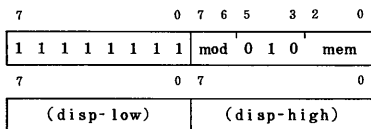


(3) セグメント内メモリ

① 記述形式

CALL memptr16

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理         |                   |
|-----|-----------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | —               | —               | $EA+26+4 \cdot T$ | $EA+24+4 \cdot T$ |
| V35 |                 |                 | $EA+24+2 \cdot T$ | $EA+22+2 \cdot T$ |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

$(SP-1, SP-2) \leftarrow PC$

$SP \leftarrow SP-2$

$PC \leftarrow (memptr16)$

PCがスタックに退避されます。次にオペランドでアドレスされる16ビット・メモリの内容(オフセット)がPCにロードされます。

この命令の置かれているセグメント内の任意のアドレスをコール可能です。

⑦ フラグの動作

なし

⑧ 記述例

・CALL WORD PTR [IX]

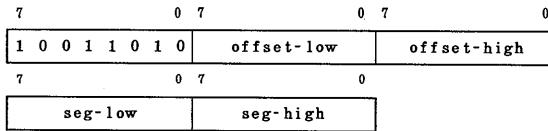
・CALL WORD PTR [IY]

(4) セグメント外ダイレクト

① 記述形式

CALL far-proc

② 命令語形式



③ バイト数

5

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理        |                  |
|-----|-----------------|-----------------|------------------|------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可  | 内蔵RAM<br>アクセス禁止  |
| V25 | —               | —               | $38 + 4 \cdot T$ | $34 + 4 \cdot T$ |
| V35 |                 |                 | $36 + 2 \cdot T$ | $32 + 2 \cdot T$ |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

$(SP-1, SP-2) \leftarrow PS$

$(SP-3, SP-4) \leftarrow PC$

$SP \leftarrow SP-4$

$PS \leftarrow seg$

$PC \leftarrow offset$

PSとPCがスタックに退避されます。次にPSには命令の4, 5バイト目が, PCには命令の2, 3バイト目がロードされます。この命令によって, 任意のセグメントの任意のアドレスをコール可能です。

⑦ フラグの動作

なし

⑧ 記述例

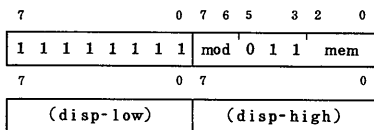
・ CALL SEND

(5) セグメント外メモリ

① 記述形式

CALL memptr 32

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理         |                   |
|-----|-----------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | —               | —               | $EA+36+8 \cdot T$ | $EA+24+8 \cdot T$ |
| V35 |                 |                 | $EA+32+4 \cdot T$ | $EA+20+4 \cdot T$ |

⑤ 16ビット・ワード転送回数

4

⑥ 機 能

$(SP-1, SP-2) \leftarrow PS$

$(SP-3, SP-4) \leftarrow PC$

$SP \leftarrow SP-4$

$PS \leftarrow (memptr\ 32+3, memptr\ 32+2)$

$PC \leftarrow (memptr\ 32+1, memptr\ 32)$

PSとPCがスタックに退避されます。次にオペランドでアドレスされる32ビット・メモリの上位2バイトがPSに、下位2バイトがPCにロードされます。この命令によって任意のセグメントの任意のアドレスをコール可能です。

⑦ フラグの動作

なし

⑧ 記述例

・CALL DWORD PTR [IY]

# 15 . 22 . 2 RET (Return from Procedure).

## (1) セグメント内

### ① 記述形式

RET (オペランドなし)

### ② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 1 | 1 |
| 0 | 0 |
| 0 | 0 |
| 1 | 1 |

### ③ バイト数

1

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理        |                  |
|-----|-----------------|-----------------|------------------|------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可  | 内蔵RAM<br>アクセス禁止  |
| V25 | —               | —               | $20 + 2 \cdot T$ | $20 + 2 \cdot T$ |
| V35 |                 |                 | $19 + T$         | $19 + T$         |

### ⑤ 16ビット・ワード転送回数

1

### ⑥ 機 能

$PC \leftarrow (SP + 1, SP)$

$SP \leftarrow SP + 2$

PCをスタックからリストアします。セグメント内コールからのリターンに使用されます。(3)のRETとの区別は、アセンブラが自動的に行います。

### ⑦ フラグの動作

なし

### ⑧ 記述例

・POP AW

RET

## (2) セグメント内 SP 加算

### ① 記述形式

RET pop-value

### ② 命令語形式

|   |   |   |   |               |                |
|---|---|---|---|---------------|----------------|
| 7 | 0 | 7 | 0 | 7             | 0              |
| 1 | 1 | 0 | 0 | 0             | 1              |
| 0 | 0 | 1 | 0 | pop-value-low | pop-value-high |

### ③ バイト数

3

### ④ クロック数

|     | バ イ ト 処 理          |                    | ワ ー ド 処 理          |                    |
|-----|--------------------|--------------------|--------------------|--------------------|
|     | 内蔵 R A M<br>アクセス許可 | 内蔵 R A M<br>アクセス禁止 | 内蔵 R A M<br>アクセス許可 | 内蔵 R A M<br>アクセス禁止 |
| V25 | —                  | —                  | $20+2 \cdot T$     | $20+2 \cdot T$     |
| V35 |                    |                    | $19+T$             | $19+T$             |

### ⑤ 16ビット・ワード転送回数

1

### ⑥ 機 能

$PC \leftarrow (SP+1, SP)$

$SP \leftarrow SP+2$

$SP \leftarrow SP + pop-value$

PC がスタックからリストアされます。次にオペランドで指定される 16 ビット・ポッ  
プ値が加算されます。

この命令は、PC に続いて退避してあったパラメータが不要となったとき、不要なパラ  
メータの分だけ SP の値をとばすのに有効です。

セグメント内コールからのリターンに使用されます。(4)の RET pop-value との区別  
は、アセンブラが自動的に行います。

### ⑦ フラグの動作

なし

### ⑧ 記述例

RET 8

③ セグメント外

① 記述形式

RET (オペランドなし)

② 命令語形式

|   |               |
|---|---------------|
| 7 | 0             |
| 1 | 1 0 0 1 0 1 1 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理        |                  |
|-----|-----------------|-----------------|------------------|------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可  | 内蔵RAM<br>アクセス禁止  |
| V25 | —               | —               | $29 + 4 \cdot T$ | $29 + 4 \cdot T$ |
| V35 |                 |                 | $27 + 2 \cdot T$ | $27 + 2 \cdot T$ |

⑤ 16ビット・ワード転送回数

2

⑥ 機 能

$PC \leftarrow (SP + 1, SP)$

$PS \leftarrow (SP + 3, SP + 2)$

$SP \leftarrow SP + 4$

PCとPSがスタックからリストアされます。セグメント外コールからのリターンに使用されます。(1)のRETとの区別は、アセンブラが自動的に行います。

⑦ フラグの動作

なし

⑧ 記述例

• POP R

RET

#### (4) セグメント外SP 加算

##### ① 記述形式

RET pop-value

##### ② 命令語形式

|                 |               |                |   |
|-----------------|---------------|----------------|---|
| 7               | 0 7           | 0 7            | 0 |
| 1 1 0 0 1 0 1 0 | pop-value-low | pop-value-high |   |

##### ③ バイト数

3

##### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $30+4 \cdot T$  | $30+4 \cdot T$  |
| V35 |                 |                 | $28+2 \cdot T$  | $28+2 \cdot T$  |

##### ⑤ 16ビット・ワード転送回数

2

##### ⑥ 機 能

$PC \leftarrow (SP+1, SP)$

$PS \leftarrow (SP+3, SP+2)$

$SP \leftarrow SP+4$

$SP \leftarrow SP + pop-value$

PC と PS がスタックからリストアされます。次にオペランドで指定される16ビット・ポップ値がSPに加算されます。この命令は、PC と PS に続いて退避してあったパラメータが不要となったとき、SPの値をとばすのに有効です。

セグメント外コールからのリターンに使用されます。(2)のRET pop-value との区別は、アセンブラが自動的に行います。

##### ⑦ フラグの動作

なし

##### ⑧ 記述例

• RET 6

# 15.23 スタック操作命令

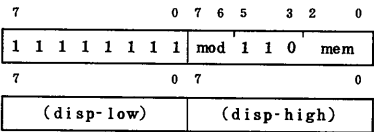
## 15.23.1 PUSH (Push)

(1) 16ビット・メモリ

① 記述形式

PUSH mem16

② 命令語形式



③ バイト数

2 / 3 / 4

④ クロック数

|     | バイト処理           |                 | ワード処理           |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+18+4・T       | EA+14+4・T       |
| V35 |                 |                 | EA+16+2・T       | EA+12+2・T       |

⑤ 16ビット・ワード転送回数

2

⑥ 機能

(SP-1, SP-2)←(mem16)

SP←SP-2

オペランドでアドレスされる16ビット・メモリの内容をスタックに退避します。

⑦ フラグの動作

なし

⑧ 記述例

・PUSH WORD PTR[BW]





(3) セグメント・レジスタ

① 記述形式

PUSH sreg

② 命令語形式

|   |   |   |      |   |   |   |
|---|---|---|------|---|---|---|
| 7 | 5 | 4 | 3    | 2 | 0 |   |
| 0 | 0 | 0 | sreg | 1 | 1 | 0 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $11+2 \cdot n$  | 7               |
| V35 | —               | —               | $10+T$          | 7               |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

$(SP-1, SP-2) \leftarrow sreg$

$SP \leftarrow SP-2$

オペランドで指定されるセグメント・レジスタをスタックに退避します。

⑦ フラグの動作

なし

⑧ 記述例

- PUSH DS0
- PUSH SS
- PUSH DS1

(4) プログラム・ステータス・ワード

① 記述形式

PUSH PSW

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 1 | 0 |
| 0 | 1 |
| 1 | 1 |
| 0 | 0 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理        |                 |
|-----|-----------------|-----------------|------------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可  | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $10 + 2 \cdot T$ | 6               |
| V35 |                 |                 | $9 + T$          | 6               |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

$(SP-1, SP-2) \leftarrow PSW$

$SP \leftarrow SP-2$

PSWをスタックに退避します。

⑦ フラグの動作

なし

⑧ 記述例

・ PUSH PSW

(5) レジスタ・セット

① 記述形式

PUSH R

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 0 | 1 |
| 1 | 0 |
| 0 | 0 |
| 0 | 0 |
| 0 | 0 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $82+16 \cdot T$ | 50              |
| V35 |                 |                 | $74+8 \cdot T$  |                 |

⑤ 16ビット・ワード転送回数

8

⑥ 機 能

TEMP←SP  
 (SP-1, SP-2)←AW  
 (SP-3, SP-4)←CW  
 (SP-5, SP-6)←DW  
 (SP-7, SP-8)←BW  
 (SP-9, SP-10)←TEMP  
 (SP-11, SP-12)←BP  
 (SP-13, SP-14)←IX  
 (SP-15, SP-16)←IY  
 SP←SP-16

8個の16ビット・レジスタ(AW, BW, CW, DW, SP, BP, IX, IY)をスタックに  
退避します。

⑦ フラグの動作

なし

⑧ 記述例

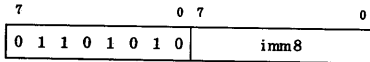
PUSH R

(6) 8ビット・イミューディエト・データ

### ① 記述形式

**PUSH** imm 8

## ② 命令語形式



### ③ バイト数

**2**

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 13+2・T          | 9               |
| V35 |                 |                 | 12+T            |                 |

⑤ 16ビット・ワード転送回数

**1**

### ⑥ 機能

 $(SP-1, SP-2) \leftarrow \text{imm8 のサイン拡張}$ 

SP ← SP - 2

オペランドに記述された 8 ビット・イミディエイト・データがサイン拡張されて、16 ビット・データとして SP でアドレスされるスタックに退避されます。

### ⑦ フラグの動作

なし

### ⑧ 記述例

PUSH 70H

(7) 16ビット・イミディエト・データ

① 記述形式

PUSH imm16

② 命令語形式

|           |   |   |            |   |   |
|-----------|---|---|------------|---|---|
| 7         | 0 | 7 | 0          | 7 | 0 |
| 0         | 1 | 1 | 0          | 1 | 0 |
| 0         | 0 | 0 | 0          | 0 | 0 |
| imm16-low |   |   | imm16-high |   |   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $14+2 \cdot T$  | 10              |
| V35 |                 |                 | $13+T$          |                 |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

$(SP-1, SP-2) \leftarrow imm16$

$SP \leftarrow SP-2$

オペランドに記述された16ビット・イミディエト・データが、SPでアドレスされるスタックに退避されます。

⑦ フラグの動作

なし

⑧ 記述例

・PUSH 3FF0H

・PUSH DAT16

## 15.23.2 POP (Pop)

### (1) 16ビット・メモリ

#### ① 記述形式

POP mem16

#### ② 命令語形式

|            |   |   |   |             |   |   |     |
|------------|---|---|---|-------------|---|---|-----|
| 7          | 0 | 7 | 6 | 5           | 3 | 2 | 0   |
| 1          | 0 | 0 | 0 | 1           | 1 | 1 | 1   |
| mod        |   |   |   | 0           | 0 | 0 | mem |
| 7          | 0 | 7 |   |             |   |   | 0   |
| (disp-low) |   |   |   | (disp-high) |   |   |     |

#### ③ バイト数

2 / 3 / 4

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+16+4・T       | EA+12+2・T       |
| V35 |                 |                 | EA+14+2・T       | EA+11+T         |

#### ⑤ 16ビット・ワード転送回数

2

#### ⑥ 機 能

(mem16) ← (SP+1, SP)

SP ← SP+2

オペランドでアドレスされる16ビット・メモリに、スタックの内容を転送します。

#### ⑦ フラグの動作

なし

#### ⑧ 記述例

- MOV BW, 1000H  
POP WORD PTR[BW]
- POP WORD PTR[IX]

② 16 ビット・レジスタ

① 記述形式

POP reg16

② 命令語形式

|     |   |   |   |
|-----|---|---|---|
| 7   | 3 | 2 | 0 |
| 0   | 1 | 0 | 1 |
| reg |   |   |   |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 12+2・T          | 12+2・T          |
| V35 |                 |                 | 11+T            | 11+T            |

⑤ 16 ビット・ワード転送回数

1

⑥ 機 能

reg16←(SP+1, SP)

SP←SP+2

オペランドで指定される16ビット・レジスタに、スタックの内容を転送します。

⑦ フラグの動作

なし

⑧ 記述例

- ・POP AW
- ・POP BW
- ・POP IY
- ・POP SP
- MOV BP, SP



③ セグメント・レジスタ

① 記述形式

POP sreg

② 命令語形式

|   |   |   |      |   |   |
|---|---|---|------|---|---|
| 7 | 5 | 4 | 3    | 2 | 0 |
| 0 | 0 | 0 | sreg | 1 | 1 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $13+2 \cdot T$  | $13+2 \cdot T$  |
| V35 |                 |                 | $12+T$          | $12+T$          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

sreg ← (SP + 1, SP)

SP ← SP + 2

オペランドで指定されるセグメント・レジスタ (PSは除く) に、スタックの内容を転送します。

なお、この命令と次の命令との間では、割り込み及びシングル・ステップ・ブレークは受け付けられません。

⑦ フラグの動作

なし

⑧ 記述例

・POP DS1

・POP SS

・POP DS0

(4) プログラム・ステータス・ワード

① 記述形式

POP PSW

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 1 | 0 |
| 0 | 1 |
| 1 | 1 |
| 0 | 0 |
| 1 | 1 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $14+2 \cdot T$  | $14+2 \cdot T$  |
| V35 |                 |                 | $13+T$          | $13+T$          |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

$PSW \leftarrow (SP+1, SP)$

$SP \leftarrow SP+2$

PSWにスタックの内容を転送します。

⑦ フラグの動作

| V | DIR | IE | BRK | S | Z | F1 | AC | F0 | P | $\overline{I}BRK$ | CY |
|---|-----|----|-----|---|---|----|----|----|---|-------------------|----|
| R | R   | R  | R   | R | R | R  | R  | R  | R | R                 | R  |

⑧ 記述例

・POP PSW

(5) レジスタ・セット

① 記述形式

POP R

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 0 | 1 |
| 1 | 0 |
| 0 | 0 |
| 0 | 0 |
| 0 | 0 |
| 0 | 1 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $82+16 \cdot T$ | 58              |
| V35 |                 |                 | $74+8 \cdot T$  |                 |

⑤ 16ビット・ワード転送回数

7

⑥ 機 能

$IY \leftarrow (SP+1, SP)$

$IX \leftarrow (SP+3, SP+2)$

$BP \leftarrow (SP+5, SP+4)$

$BW \leftarrow (SP+9, SP+8)$

$DW \leftarrow (SP+11, SP+10)$

$CW \leftarrow (SP+13, SP+12)$

$AW \leftarrow (SP+15, SP+14)$

$SP \leftarrow SP+16$

SPでアドレスされるスタックの内容が、8個の16ビット・レジスタ(AW, BW, CW, DW, BP, SP, IX, IY)に回復されます。

⑦ フラグの動作

なし

⑧ 記述例

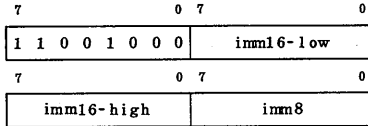
POP R

## 15.23.3 PREPARE (Prepare New Stack Frame)

### ① 記述形式

PREPARE imm16, imm8

### ② 命令語形式



### ③ バイト数

4

### ④ クロック数

imm8=0                       $27+2 \cdot T(V25), 26+T(V35)$

imm8=1                       $39+4 \cdot T(V25), 37+2 \cdot T(V35)$

imm8=n, n>1 のとき  $46+19(n-1)+4 \cdot T(V25), 44+19(n-1)2 \cdot n \cdot T(V35)$

### ⑤ 16ビット・ワード転送回数

imm8=0 のとき なし

imm8 ≥ 1 のとき  $1+2(imm8-1)$

### ⑥ 機能

$(SP-1, SP-2) \leftarrow BP$

$SP \leftarrow SP-2$

temp ← SP を行った後,

imm8 > 0 のとき 次の動作を,

$(SP-1, SP-2) \leftarrow (BP-1, BP-2)$

$SP \leftarrow SP-2$

$BP \leftarrow BP-2$

\*1

“imm8-1” 回繰り返した後,

$(SP-1, SP-2) \leftarrow temp$

$SP \leftarrow SP-2$

\*2

を実行します。

この後次の処理を行います。

$BP \leftarrow temp$

$SP \leftarrow SP-imm16$

imm8=1 のとき, \*1 のくり返し動作を行いません。

imm8=0 のとき, \*1 および \*2 の動作を行いません。

この命令は、ブロック構造の高級言語（例えば Pascal, Ada など）において必要な

“スタック・フレーム”を生成するために用いられます。スタック・フレームには、そのプロシージャから参照してもよい変数を含むフレームを指すポインタ群とローカル変数の領域が含まれます。

この命令は、ローカル変数の領域確保と、グローバル変数への参照を可能とするため、フレーム・ポインタのコピーを行います。第1オペランドに記述された16ビット・イミディエート・データでローカル変数用として確保する領域の大きさ（バイト単位）が指定され、第2オペランドに記述された8ビット・イミディエート・データでプロシージャ・ブロックの深さ（この深さをレキシカル・レベルといいます）が示されます。

この命令によって生成されるフレームのベース・アドレスは、ベース・ポインタBPにセットされます。

まずBPをスタックへ退避します。これは、プロシージャの終了時点で、コールした側のプロシージャのBPを復帰するためです。次に、コールされたプロシージャから参照可能な範囲のフレーム・ポインタ（退避されたBP）をスタックに積みます。参照可能な範囲は、そのプロシージャのレキシカル・レベルより1減じた値となります。

レキシカル・レベルが1以上の場合には、自分自身のフレーム・ポインタもスタックへ積みます。これは、このプロシージャからコールされたプロシージャにおいてフレーム・ポインタのコピーを行う場合に、コールしたプロシージャのフレーム・ポインタもコピーするためです。

次にBPに新しいフレーム・ポインタの値をセットし、そのプロシージャで使用されるローカル変数の領域をスタックに確保します。つまり、SPをローカル変数分だけ減らします。

⑦ フラグの動作

なし

⑧ 記述例

```
• MOV    SP, 60H
  MOV     BP, SP
  CALL    CHK
  PREPARE 0006, 04
  MOV     AW, [BP+0FAH]
  ADD     AW, [BP+0F8H]
  MOV     [BP+0FCH], AW
```

## 15.23.4 DISPOSE (Dispose a Stack Frame)

### ① 記述形式

DISPOSE (オペランドなし)

### ② 命令語形式

|   |               |
|---|---------------|
| 7 | 0             |
| 1 | 1 0 0 1 0 0 1 |

### ③ バイト数

1

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理        |                  |
|-----|-----------------|-----------------|------------------|------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可  | 内蔵RAM<br>アクセス禁止  |
| V25 | —               | —               | $12 + 2 \cdot T$ | $12 + 2 \cdot T$ |
| V35 |                 |                 | $11 + T$         | $11 + T$         |

### ⑤ 16ビット・ワード転送回数

1

### ⑥ 機 能

$SP \leftarrow BP$

$BP \leftarrow (SP + 1, SP)$

$SP \leftarrow SP + 2$

この命令は、PREPARE 命令で生成されたスタック・フレームを1フレーム分リリースします。

BP には、1つ前のフレームを指すポインタ値をロードし、SP には、フレームの最下位を示すポインタ値をロードします。

### ⑦ フラグの動作

なし

### ⑧ 記述例

・DISPOSE

# 15.24 ブランチ命令

## 15.24.1 BR (Branch)

(1) セグメント内レラティブ

① 記述形式

BR near-label

② 命令語形式

|                 |          |           |   |
|-----------------|----------|-----------|---|
| 7               | 0 7      | 0 7       | 0 |
| 1 1 1 0 1 0 0 1 | disp-low | disp-high |   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 12              | 12              |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

PC←PC+disp

現在のPCの値に16ビット・ディスプレイメントを加えた値をロードします。

ブランチ・アドレスがこの命令の置かれているセグメント内にあれば、アセンブラが自動的にこの命令を生成します。

⑦ フラグの動作

なし

⑧ 記述例

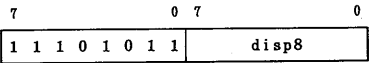
・BR \$-8

② ショート・レラティブ

① 記述形式

BR short-label

② 命令語形式



③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 12              | 12              |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

PC←PC+ext-disp8

現在のPCの値に8ビット・ディスプレイメント（実際にはサイン拡張された16ビット）を加えた値をPCにロードします。

ブランチ・アドレスが、この命令の置かれているセグメント内にかつ -128～+127バイト内にあれば、アセンブラが自動的にこの命令を生成します。

⑦ フラグの動作

なし

⑧ 記述例

・ LOOP :  
 ;  
 BR SHORT LOOP



(3) セグメント内レジスタ

① 記述形式

BR regptr 16

② 命令語形式

|   |   |   |   |   |     |
|---|---|---|---|---|-----|
| 7 | 0 | 7 | 3 | 2 | 0   |
| 1 | 1 | 1 | 1 | 1 | 1   |
| 1 | 1 | 1 | 0 | 0 | reg |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 13              | 13              |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

PC ← regptr 16

オペランドで指定される16ビット・レジスタの内容をPCにロードします。

この命令の置かれているセグメント内の任意のアドレスにジャンプできます。

⑦ フラグの動作

なし

⑧ 記述例

- BR BW
- MOV IX, 100H
- BR IX

(4) セグメント内メモリ

① 記述形式

BR memptr 16

② 命令語形式

|            |   |   |   |             |   |   |     |
|------------|---|---|---|-------------|---|---|-----|
| 7          | 0 | 7 | 6 | 5           | 3 | 2 | 0   |
| 1          | 1 | 1 | 1 | 1           | 1 | 1 | 1   |
| mod        |   |   |   | 1           | 0 | 0 | mem |
| 7          | 0 | 7 |   |             |   |   | 0   |
| (disp-low) |   |   |   | (disp-high) |   |   |     |

③ バイト数

2 / 3 / 4

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理         |                   |
|-----|-----------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | —               | —               | $EA+17+2 \cdot T$ | $EA+17+2 \cdot T$ |
| V35 |                 |                 | $EA+16+T$         | $EA+16+T$         |

⑤ 16ビット・ワード転送回数

1

⑥ 機 能

PC ← (memptr 16)

オペランドでアドレスされる16ビット・メモリの内容がPCにロードされます。

この命令の置かれているセグメント内の任意のアドレスにジャンプできます。

⑦ フラグの動作

なし

⑧ 記述例

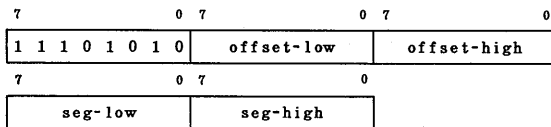
・ BR WORD PTR [BW]

(5) セグメント外ダイレクト

① 記述形式

BR far-label

② 命令語形式



③ バイト数

5

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15              | 15              |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

PC ← offset

PS ← seg

PCに命令の2, 3バイト目の16ビット・オフセット・データを, PSに命令の4, 5バイト目の16ビット・セグメント・データをロードします.

任意のセグメントの任意のアドレスにブランチ可能です.

⑦ フラグの動作

なし

⑧ 記述例

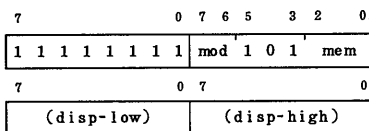
• BR FAR\_LAB

(6) セグメント外メモリ

① 記述形式

BR memptr 32

② 命令語形式



## 15.25 条件付きブランチ命令

### 15.25.1 BV (Branch if Overflow)

① 記述形式

BV short-label

② 命令語形式

|       |   |   |         |
|-------|---|---|---------|
| 7     | 0 | 7 | 0       |
| 0     | 1 | 1 | 0 0 0 0 |
| disp8 |   |   |         |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

V=1のとき PC←PC+ext-disp8

Vフラグが1のとき、現在のPCの値に8ビット・ディスプレイメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にブランチできます。

⑦ フラグの動作

なし

⑧ 記述例

```

・LP2:
:
:
SHL AL,1
BV SHORT LP2

```

15 . 25 . 2 BNV (Branch if Not Overflow)

① 記述形式

BNV short-label

② 命令語形式

|                 |       |   |
|-----------------|-------|---|
| 7               | 0 7   | 0 |
| 0 1 1 1 0 0 0 1 | disp8 |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

V = 0 のとき PC ← PC + ext·disp8

Vフラグが0のとき、現在のPCの値に8ビット・ディシプレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にジャンプできます。

⑦ フラグの動作

なし

⑧ 記述例

・ ROR AL, 1  
BNV LP3  
:  
:  
LP3 :

### 15.25.3 BC/BL (Branch if Carry/Lower)

① 記述形式

BC short-label

BL short-label

② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 0     | 1 | 1 | 0 |
| 0     | 1 | 0 | 1 |
| 0     | 1 | 0 | 0 |
| disp8 |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 | —               | —               | 15/8            | 15/8            |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

CY=1 のとき  $PC \leftarrow PC + \text{ext-disp8}$

CYフラグが1のとき、現在のPCの値に8ビット・ディスプレイメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にジャンプできます。

⑦ フラグの動作

なし

⑧ 記述例

```
•      TEST AL,BL
      BC      SHORT LP4 ;LP4=レベル
      :
      :
      TEST AL,BL
      BL      SHORT LP5 ;LP5=レベル
      :
      :
LP4 :
```



## 15.25.4 BNC/BNL (Branch if Not Carry/Not Lower)

### ① 記述形式

BNC short-label

BNL short-label

### ② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 0     | 1 | 1 | 1 |
| 0     | 0 | 1 | 1 |
| disp8 |   |   |   |

### ③ バイト数

2

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

### ⑤ 16ビット・ワード転送回数

なし

### ⑥ 機 能

$CY=0$  のとき  $PC \leftarrow PC + \text{ext-disp8}$

CYフラグが0のとき、現在のPCの値に8ビット・ディシブレースメント(実際にはサイン拡張された16ビット)を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にブランチできます。

### ⑦ フラグの動作

なし

### ⑧ 記述例

```

ROR AL,1
BNC SHORT LP6 ;LP6=レベル
:
:
ROR AL,1
BNL SHORT LP7 ;LP7=レベル
:
:
LP6:
```

## 15.25.5 BE/BZ (Branch if Equal/Zero)

① 記述形式

BE short-label or BZ short-label

② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 0     | 1 | 1 | 0 |
| 1     | 0 | 1 | 0 |
| 0     | 0 | 0 | 0 |
| disp8 |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

Z=1 のとき PC←PC+ext-disp8

Zフラグが1のとき、現在のPCの値に8ビット・ディズプレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にブランチできます。

⑦ フラグの動作

なし

⑧ 記述例

```

・      AND AL,2
      BE SHORT LOOP ;LOOP=レベル
      :
      :
      OR AH,BH
      BZ SHORT LOOP1 ;LOOP1=レベル
      :
      :
      LOOP :
  
```

## 15.25.6 BNE/BNZ (Branch if Not Equal/Not Zero)

① 記述形式

BNE short-label or BNZ short-label

② 命令語形式

|   |   |   |       |
|---|---|---|-------|
| 7 | 0 | 7 | 0     |
| 0 | 1 | 1 | 0     |
| 1 | 0 | 1 | 0     |
| 1 |   |   |       |
|   |   |   | disp8 |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

Z=0 のとき PC←PC+ext-disp8

Zフラグが0のとき、現在のPCの値に8ビット・ディシプレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にブランチできます。

⑦ フラグの動作

なし

⑧ 記述例

```

• OR AL,BL
  BNE SHORT LP8 ;LP8=レベル
  :
  :
  AND SH,BH
  BNZ SHORT LP9 ;LP9=レベル
  :
  :
  LP8:
  
```

15.25.7 BNH (Branch if Not Higher)

① 記述形式

BNH short-label

② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 0     | 1 | 1 | 0 |
| 1     | 0 | 1 | 1 |
| 0     | 1 | 1 | 0 |
| disp8 |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$CY \vee Z = 1$  のとき  $PC \leftarrow PC + \text{ext-disp8}$

CYとZフラグの論理和が1のとき、現在のPCの値に8ビット・ディスプレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にジャンプできます。

⑦ フラグの動作

なし

⑧ 記述例

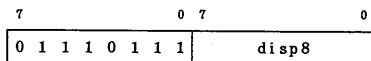
・ ROR AL, 1  
BNH SHORT LP9 ; LP9 = レーベル  
:  
:  
LP9 :

## 15.25.8 BH (Branch if Higher)

① 記述形式

BH short-label

② 命令語形式



③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$CY \vee Z = 0$  のとき  $PC \leftarrow PC + \text{ext-disp8}$

CYとZフラグの論理和が0のとき、現在のPCの値に8ビット・ディシプレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にジャンプできます。

⑦ フラグの動作

なし

⑧ 記述例

```

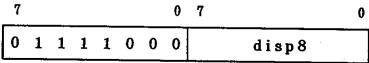
•      ROL AL,1
      BH SHORT LP10 ;LP10=レーベル
      :
      :
LP10:
```

15.25.9 BN (Branch if Negative)

① 記述形式

BN short-label

② 命令語形式



③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

S = 1 のとき PC ← PC + ext-disp8

S フラグが1 のとき、現在の PC の値に8ビット・ディシプレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にブランチできます。

⑦ フラグの動作

なし

⑧ 記述例

・            ADD AL,BL  
             BN LP11 ;LP11=レベル  
             :  
             :  
LP11 :

## 15.25.10 BP (Branch if Positive)

① 記述形式

BP short-label

② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 0     | 1 | 1 | 1 |
| 1     | 0 | 0 | 1 |
| disp8 |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

S = 0 のとき PC ← PC + ext-disp8

S フラグが 0 のとき、現在の PC の値に 8 ビット・ディスプレイースメント（実際にはサイン拡張された 16 ビット）を加えた値をロードします。

この命令の置かれているセグメント内にかつ、-128～+127 バイトのアドレス内にブランチできます。

⑦ フラグの動作

なし

⑧ 記述例

```

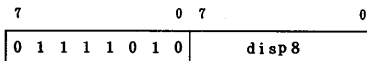
・      SHR AL, 1
      BP  SHORT LP12 ; LP12 = レベル
      :
      :
      LP12:
  
```

## 15.25.11 BPE (Branch if Parity Even)

### ① 記述形式

BPE short-label

### ② 命令語形式



### ③ バイト数

2

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

### ⑤ 16ビット・ワード転送回数

なし

### ⑥ 機 能

$P=1$  のとき  $PC \leftarrow PC + \text{ext-disp8}$

Pフラグが1のとき、現在のPCの値に8ビット・ディスプレイメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にジャンプできます。

### ⑦ フラグの動作

なし

### ⑧ 記述例

```

・      ADD AL,BL
        BPE SHORT LP13 ;LP13=レベル
        :
        :
LP13:

```



## 15.25.12 BPO(Branch if Parity Odd)

① 記述形式

BPO short-label

② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 0     | 1 | 1 | 1 |
| 1     | 0 | 1 | 1 |
| disp8 |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$P=0$  のとき  $PC \leftarrow PC + \text{ext-disp8}$

Pフラグが0のとき、現在のPCの値に8ビット・ディシブレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にブランチできます。

⑦ フラグの動作

なし

⑧ 記述例

```

・      ADD AL,BL
      BPO SHORT LP14 ;LP14=レーベル
      :
      :
LP14 :
```

## 15.25.13 BLT (Branch if Less Than)

① 記述形式

BLT short-label

② 命令語形式

|   |   |        |   |
|---|---|--------|---|
| 7 | 0 | 7      | 0 |
| 0 | 1 | 1      | 1 |
| 1 | 1 | 1      | 0 |
| 0 | 0 | disp 8 |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$S \vee V = 1$  のとき  $PC \leftarrow PC + \text{ext} - \text{disp}8$

SとVフラグの排他的論理和が1のとき、現在のPCの値に8ビット・ディスプレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内にかつ、-128～+127バイトのアドレス内にジャンプできます。

条件不成立のときは次の命令に進みます。

⑦ フラグの動作

なし

⑧ 記述例

```

・      ADD AL,BL
        BLT SHORT LP15 ;LP15=レベル
        :
        :
LP15:

```

## 15.25.14 BGE (Branch if Greater Than or Equal)

① 記述形式

BGE short-label

② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 0     | 1 | 1 | 1 |
| 1     | 1 | 0 | 1 |
| disp8 |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$S \nabla V = 0$  のとき  $PC \leftarrow PC + \text{ext-disp8}$

SとVフラグの排他的論理和が0のとき、現在のPCの値に8ビット・ディスプレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にブランチできます。

条件不成立のときは次の命令に進みます。

⑦ フラグの動作

なし

⑧ 記述例

```

・      SHL AL,1
      BGE SHORT LP16 ;LP16=レベル
      :
      :
LP16:
```

## 15.25.15 BLE (Branch if Less Than or Equal)

① 記述形式

BLE short-label

② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 0     | 1 | 1 | 1 |
| 1     | 1 | 1 | 1 |
| 0     | 0 | 0 | 0 |
| disp8 |   |   |   |

③ バイト数

2

④ クロック数

|     | バイト処理           |                 | ワード処理           |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 | —               | —               | —               | —               |

⑤ 16ビット・ワード転送回数

なし

⑥ 機能

(S $\nabla$ V)  $\vee$  Z = 1 のとき PC $\leftarrow$ PC + ext-disp8

SとVフラグの排他的論理和をとった結果とZフラグの論理和が1のとき、現在のPCの値に8ビット・ディスプレイメント(実際にはサイン拡張された16ビット)を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にジャンプできます。

条件不成立のときは次の命令に進みます。

⑦ フラグの動作

なし

⑧ 記述例

```

• LP17:
    :
    :
    SHR AL, 1
    BLE SHORT LP17

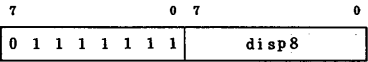
```

15.25.16 BGT (Branch if Greater Than)

① 記述形式

BGT short-label

② 命令語形式



③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

(S∨V)∨Z=0のとき PC←PC+ext-disp8

SとVフラグの排他的論理和をとった結果とZフラグの論理和が0のとき、現在のPCの値に8ビット・ディスプレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にジャンプできます。

条件不成立のときは次の命令に進みます。

⑦ フラグの動作

なし

⑧ 記述例

・ LP18 :  
:  
:  
SHL AL,1  
BGT LP18

## 15.25.17 DBNZNE(Decrement and Branch if Not Zero and Not Equal)

① 記述形式

DBNZNE short-label

② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 1     | 1 | 1 | 0 |
| 0     | 0 | 0 | 0 |
| 0     | 0 | 0 | 0 |
| disp8 |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 17/8            | 17/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

CW←CW-1

CW≠0でZ=0のとき PC←PC+ext-disp8

16ビット・レジスタCWをデクリメントした後、CWが0でなくZフラグがクリアされていれば、現在のPCの値に8ビット・ディスプレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にジャンプできます。

条件不成立のときは次の命令に進みます。

⑦ フラグの動作

なし

⑧ 記述例

・LP19:

:

:

AND AL,0FFH

DBNZNE SHORT LP19 ;LP19=レベル

# 15.25.18 DBNZE (Decrement and Branch if Not Zero and Equal)

## ① 記述形式

DBNZE short-label

## ② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 1     | 1 | 1 | 0 |
| 0     | 0 | 0 | 1 |
| disp8 |   |   |   |

## ③ バイト数

2

## ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 17/8            | 17/8            |
| V35 |                 |                 |                 |                 |

## ⑤ 16ビット・ワード転送回数

なし

## ⑥ 機 能

$CW \leftarrow CW - 1$

$CW \neq 0$  で  $Z = 1$  のとき  $PC \leftarrow PC + \text{ext-disp8}$

16ビット・レジスタCWをデクリメント(−1)し、その結果CWが0でなく、かつZフラグがセットされていれば、現在のPCの値に8ビット・ディスプレースメント(実際にはサイン拡張された16ビット)を加えた値をロードします。

この命令の置かれているセグメント内であつ、−128〜+127バイトのアドレス内にジャンプできます。

条件不成立のときは次の命令に進みます。

## ⑦ フラグの動作

なし

## ⑧ 記述例

・LP20 :  
:  
:  
AND AL, BL  
DBNZE LP20 ; LP20 = レーベル

## 15.25.19 DBNZ (Decrement and Branch if Not Zero)

① 記述形式

DBNZ short-label

② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 1     | 1 | 1 | 0 |
| 0     | 0 | 1 | 0 |
| disp8 |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 17/8            | 17/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

$CW \leftarrow CW - 1$

$CW \neq 0$  のとき  $PC \leftarrow PC + \text{ext-disp8}$

16ビット・レジスタCWをデクリメント(−1)し、その結果CWが0でなければ、現在のPCの値に8ビット・ディスプレースメント(実際にはサイン拡張された16ビット)を加えた値をロードします。

この命令の置かれているセグメント内であつ、−128〜+127バイトのアドレス内にブランチできます。

条件不成立のときは次の命令に進みます。

⑦ フラグの動作

なし

⑧ 記述例

・LP21:

:

:

SHL AL, 1

DBNZ LP21 ; LP21=レーベル



## 15.25.20 BCWZ (Branch if CW Equals Zero)

① 記述形式

BCWZ short-label

② 命令語形式

|       |   |   |   |
|-------|---|---|---|
| 7     | 0 | 7 | 0 |
| 1     | 1 | 1 | 0 |
| 0     | 0 | 1 | 1 |
| disp8 |   |   |   |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15/8            | 15/8            |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

CW=0 のとき PC←PC+ext-disp8

16ビット・レジスタCWが0ならば、現在のPCの値に8ビット・ディスプレースメント（実際にはサイン拡張された16ビット）を加えた値をロードします。

この命令の置かれているセグメント内であつ、-128～+127バイトのアドレス内にジャンプできます。

条件不成立のときは次の命令に進みます。

⑦ フラグの動作

なし

⑧ 記述例

・LP22:

:

:

ADD AL,BL

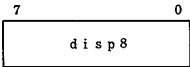
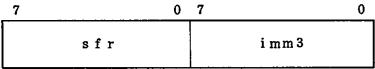
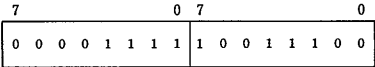
BCWZ SHORT LP22 ;LP22=ラベル

15.25.21 BTCLR(Branch if True and Clear)<sup>注</sup>

① 記述形式

BTCLR sfr,imm3,short-label

② 命令語形式



③ バイト数

5

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 29／21           | 29／21           | —               | —               |
| V35 | 29              | 29              |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

(sfr)のビットNO. imm3=1のとき (sfr)のビットNO. imm3←0

$$PC \leftarrow PC + \text{ext} - \text{disp8}$$

指定された特殊機能レジスタのビットが1のとき、そのビットをクリアして現在のPCの値に8ビット・ディシプレースメント(実際にはサイン拡張された16ビット)を加えた値をPCにロードします。

この命令の置かれているセグメント内であつ-128〜+127バイトのアドレス内にブランチできます。

⑦ フラグの動作

なし

⑧ 記述例

BTCLR EXIC0,7,45

注 μPD70108,70116に対して、新しく追加した命令

15.26 割り込み命令

15.26.1 BRK (Break)

(1) ベクタ3

① 記述形式

BRK 3

② 命令語形式

|   |               |
|---|---------------|
| 7 | 0             |
| 1 | 1 0 0 1 1 0 0 |

③ バイト数

1

④ クロック数

|     | バイト処理           |                 | ワード処理           |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $55+10\cdot T$  | $43+10\cdot T$  |
| V35 |                 |                 | $50+5\cdot T$   | $38+5\cdot T$   |

⑤ 16ビット・ワード転送回数

5

⑥ 機能

(SP-1, SP-2) ← PSW

(SP-3, SP-4) ← PS

(SP-5, SP-6) ← PC

SP ← SP-6

IE ← 0

BRK ← 0

PC ← (00DH, 00CH)

PS ← (00FH, 00EH)

PSW, PS, PCをスタックに退避し, IEとBRKフラグをリセット(0)します.

次に割り込みベクタ・テーブルのベクタ3の下位2バイトをPCに, 上位2バイトを

PSにロードします.

⑦ フラグの動作

| IE | BRK |
|----|-----|
| 0  | 0   |

⑧ 記述例

• BRK 3

(2) イミディエト・データ

① 記述形式

BRK imm8 (≍8)

② 命令語形式

|      |   |   |   |
|------|---|---|---|
| 7    | 0 | 7 | 0 |
| 1    | 1 | 0 | 0 |
| 1    | 1 | 0 | 1 |
| 1    | 0 | 1 | 1 |
| imm8 |   |   |   |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $56+10 \cdot T$ | $44+10 \cdot T$ |
| V35 | —               | —               | $51+5 \cdot T$  | $39+5 \cdot T$  |

⑤ 16ビット・ワード転送回数

5

⑥ 機 能

$(SP-1, SP-2) \leftarrow PSW$

$(SP-3, SP-4) \leftarrow PS$

$(SP-5, SP-6) \leftarrow PC$

$SP \leftarrow SP-6$

$IE \leftarrow 0$

$BRK \leftarrow 0$

$PC \leftarrow (imm8 \times 4 + 1, imm8 \times 4)$

$PS \leftarrow (imm8 \times 4 + 3, imm8 \times 4 + 2)$

PSW, PS, PCをスタックに退避し, IEとBRKフラグをリセット(0)します。

次に, 8ビット・イミディエト・データで指定される割り込みベクタ・テーブル(4バイト)の下位2バイトをPCに, 上位2バイトをPSにロードします。

⑦ フラグの動作

| IE | BRK |
|----|-----|
| 0  | 0   |

⑧ 記述例

• BRK 5

## 15.26.2 BRKV(Break if Overflow)

① 記述形式

BRKV (オペランドなし)

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 1 | 1 |
| 0 | 0 |
| 1 | 1 |
| 1 | 1 |
| 0 | 0 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $55+10 \cdot T$ | $43+10 \cdot T$ |
| V35 |                 |                 | $50+5 \cdot T$  | $38+5 \cdot T$  |

⑤ 16ビット・ワード転送回数

5

⑥ 機 能

$V=1$  のとき  $(SP-1, SP-2) \leftarrow PSW$

$(SP-3, SP-4) \leftarrow PS$

$(SP-5, SP-6) \leftarrow PC$

$SP \leftarrow SP-6$

$IE \leftarrow 0$

$BRK \leftarrow 0$

$PC \leftarrow (011H, 010H)$

$PS \leftarrow (013H, 012H)$

Vフラグがセットされていれば、PSW, PS, PCをスタックに退避し、IEとBRKフラグをリセット(0)します。次に割り込みベクタ・テーブルのベクタ4の下位2バイトをPCに、上位2バイトをPSにロードします。

Vフラグがリセットされていれば次の命令に進みます。

⑦ フラグの動作

| IE | BRK |
|----|-----|
| 0  | 0   |

⑧ 記述例  
BRKV



15.26.3 RETI (Return from Interrupt)

- ① 記述形式  
RETI (オペランドなし)
- ② 命令語形式

|   |               |
|---|---------------|
| 7 | 0             |
| 1 | 1 0 0 1 1 1 1 |

- ③ バイト数  
1
- ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理        |                  |
|-----|-----------------|-----------------|------------------|------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可  | 内蔵RAM<br>アクセス禁止  |
| V25 | —               | —               | $45 + 6 \cdot T$ | $37 + 2 \cdot T$ |
| V35 |                 |                 | $42 + 3 \cdot T$ | $36 + T$         |

- ⑤ 16ビット・ワード転送回数  
8
- ⑥ 機 能  
 $PC \leftarrow (SP + 1, SP)$   
 $PS \leftarrow (SP + 3, SP + 2)$   
 $PSW \leftarrow (SP + 5, SP + 4)$   
 $SP \leftarrow SP + 6$

PC, PS, PSWにスタックの内容をリストアします. 割り込み処理から戻るときに用います.

- ⑦ フラグの動作

|     |     |     |   |     |    |     |   |   |    |    |    |   |      |    |
|-----|-----|-----|---|-----|----|-----|---|---|----|----|----|---|------|----|
| RB2 | RB1 | RB0 | V | DIR | IE | BRK | S | Z | F1 | AC | F0 | P | IBRK | CY |
| R   | R   | R   | R | R   | R  | R   | R | R | R  | R  | R  | R | R    | R  |

- ⑧ 記述例  
• POP R  
RETI

# 15.26.4 RETRBI (Return from Register Bank Switching Interrupt) 注

## ① 記述例

RETRBI (オペランドなし)

## ② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 |

## ③ バイト数

2

## ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 12              | 12              |
| V35 |                 |                 |                 |                 |

## ⑤ 16ビット・ワード転送回数

なし

## ⑥ 機 能

PC←(PC退避)

PSW←(PSW退避)

レジスタ・バンク切り替え機能を使用した割り込みまたはBRKCS 命令からの復帰に使用します。他の命令では正常にこの割り込みから復帰できません。また、他の割り込みからの復帰にこの命令を使用することはできません。

レジスタ・バンク切り替え機能を使用した割り込みからの復帰では、この命令の実行前にFINT 命令を実行する必要があります。

## ⑦ フラグの動作

|     |     |     |   |     |    |     |   |   |    |    |    |   |      |    |
|-----|-----|-----|---|-----|----|-----|---|---|----|----|----|---|------|----|
| RB2 | RB1 | RB0 | V | DIR | IE | BRK | S | Z | F1 | AC | F0 | P | IBRK | CY |
| R   | R   | R   | R | R   | R  | R   | R | R | R  | R  | R  | R | R    | R  |

## ⑧ 記述例

RETRBI

注 μPD70108, 70116 に対して、新しく追加した命令

## 15.26.5 FINT(Finish Interrupt)注

① 記述形式

FINT (オペランドなし)

② 命令語形式

|   |   |   |   |
|---|---|---|---|
| 7 | 0 | 7 | 0 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |

③ バイト数

2

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

内蔵する割り込みコントローラに対して、NMIとINT、およびソフトウェア割り込みを除く割り込みが終了したことを知らせます。NMIとINT、およびソフトウェア割り込みを除く割り込み処理プログラムが終了する直前に使用してください。それ以外では使用してはいけません。

⑦ フラグの動作

なし

⑧ 記述例

FINT

注  $\mu$ PD70108, 70116に対して、新しく追加した命令

## 15.26.6 CHKIND (Check Index)

### ① 記述形式

CHKIND reg16,mem32

### ② 命令語形式

|            |   |   |   |             |   |     |   |
|------------|---|---|---|-------------|---|-----|---|
| 7          | 0 | 7 | 6 | 5           | 3 | 2   | 0 |
| 0          | 1 | 1 | 0 | 0           | 0 | 1   | 0 |
| mod        |   |   |   | reg         |   | mem |   |
| 7          | 0 | 7 | 0 |             |   |     |   |
| (disp-low) |   |   |   | (disp-high) |   |     |   |

### ③ バイト数

2 / 3 / 4

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | EA+26+4・T       | EA+26+4・T       |
| V35 |                 |                 | EA+24+2・T       | EA+24+2・T       |

### ⑤ 16ビット・ワード転送回数

割り込み条件成立のとき 7

割り込み条件不成立のとき 2

### ⑥ 機 能

(mem32) > reg16 または (mem32+2) < reg16 のとき

(SP-1, SP-2) ← PSW

(SP-3, SP-4) ← PS

(SP-5, SP-6) ← PC

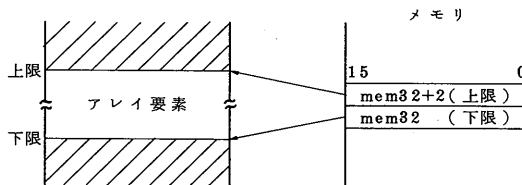
SP ← SP - 6

IE ← 0

BRK ← 0

PS ← (017H, 016H)

PC ← (015H, 014H)



アレイ・タイプのデータ構造において、要素を指定するインデクス値が定義域内にあるか否かをチェックするための命令です。インデクスが定義域を越える場合には、BRK 5 を起動します。

定義域値は、あらかじめメモリ中の2ワード(1ワード目は下限値、2ワード目は上限値)にセットしておきます。

インデクス値は、アレイ操作プログラムが使用しているレジスタ(任意の16ビット・レジスタ)を対象とします。

#### ⑦ フラグの動作

割り込み条件成立のとき

| IE | BRK |
|----|-----|
| 0  | 0   |

割り込み条件不成立のとき

なし

#### ⑧ 記述例

・CHKIND AW,DWORD\_VAR

# 15.27 レジスタ・バンク切り替え命令

## 15.27.1 BRKCS(Break Context Switch)<sup>注</sup>

① 記述形式

BRKCS reg16

② 命令語形式

|                 |                 |           |       |
|-----------------|-----------------|-----------|-------|
| 7               | 0 7             | 0 7       | 3 2 0 |
| 0 0 0 0 1 1 1 1 | 0 0 1 0 1 1 0 1 | 1 1 0 0 0 | reg   |

③ バイト数

3

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 15              | 15              |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

- ・ reg16 で示されるレジスタの内容の下位3ビットをPSW内のRB0, RB1, RB2に入れます。これにより、レジスタ・バンクが切り替わります。
- ・ 切り替え後のレジスタ・バンク内のPC退避エリアにPCの内容を退避します。同じように、PSW退避エリアにPSWの内容を退避します。
- ・ BRKフラグ, IEフラグをクリア(0)します。
- ・ 切り替え後のレジスタ・バンク内のベクタPCの値をPCへロードし, PS, PC で表わされるアドレスへ分岐します。

レジスタ・バンクを切り替えるための命令で、高速なサブルーチン・コールなどに使用します。切り替え後のレジスタ・バンクからの復帰には、RETRBI 命令を使用します。

その際、FINT命令の実行は必要ありません。

⑦ フラグの動作

| RB2 | RB1 | RB0 | V | DIR | IE | BRK | S | Z | F1 | AC | F0 | P | IBRK | CY |
|-----|-----|-----|---|-----|----|-----|---|---|----|----|----|---|------|----|
| ×   | ×   | ×   |   |     | 0  | 0   |   |   |    |    |    |   |      |    |

⑧ 記述例

BRKCS AW

注 μPD70108, 70116 に対して、新しく追加した命令

## 15.27.2 TSKSW(Task Switch)注

### ① 記述形式

TSKSW reg16

### ② 命令語形式

|                 |                 |               |       |
|-----------------|-----------------|---------------|-------|
| 7               | 0 7             | 0 7           | 3 2 0 |
| 0 0 0 0 1 1 1 1 | 1 0 0 1 0 1 0 0 | 1 1 1 1 1 reg |       |

### ③ バイト数

3

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 20              | 20              |
| V35 |                 |                 |                 |                 |

### ⑤ 16ビット・ワード転送回数

なし

### ⑥ 機 能

- 現在のレジスタ・バンク内のPC退避エリアにPCの内容を退避します。  
同様に、PSW退避エリアにPSWの内容を退避します。
  - reg16で示されるレジスタの内容の下位3ビットをPSW内のRB0, RB1, RB2に入れます。これにより、レジスタ・バンクが切り替わります。
  - 切り替え後のレジスタ・バンク内のPSW退避エリアの値をPSWにロードします。次に、PC退避エリアの値をPCにロードし、PS, PCで表わされるアドレスへ分岐します。
- レジスタ・バンクを切り替えるための命令で、高速なタスク切り替えなどに使用します。

### ⑦ フラグの動作

| RB2 | RB1 | RB0 | V | DIR | IE | BRK | S | Z | F1 | AC | F0 | P | IBRK | CY |
|-----|-----|-----|---|-----|----|-----|---|---|----|----|----|---|------|----|
| ×   | ×   | ×   | × | ×   | ×  | ×   | × | × | ×  | ×  | ×  | × | ×    | ×  |

### ⑧ 記述例

TSKSW BP

注  $\mu$ PD70108, 70116に対して、新しく追加した命令

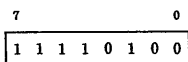
## 15.28 CPU 制御命令

### 15.28.1 HALT (Halt)

① 記述形式

HALT (オペランドなし)

② 命令語形式



③ バイト数

1

④ 16ビット・ワード転送回数

なし

⑤ 機能

ホールト状態にします。

ホールト状態は次の3つの要因によって解除されます。

- RESET 入力
- NMI 入力
- マスカブル割り込み要求入力

なお, HALT 命令の次には必ず NOP 命令を1つ以上置いてください (詳細は 12.2

HALT モード参照)。

⑥ フラグの動作

なし

⑦ 記述例

HALT



## 15.28.2 STOP(Stop) 注

① 記述形式

STOP (オペランドなし)

② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |  |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|--|---|
| 7 |   |   |   |   |   |   |   | 0 | 7 |   |   |   |   |   |   |  | 0 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |  |   |

③ バイト数

2

④ 16ビット・ワード転送回数

なし

⑤ 機能

ストップ状態にします(詳細は12.3 STOPモード参照)。

⑥ フラグの動作

なし

⑦ 記述例

STOP

注  $\mu$ PD70108, 70116に対して, 新しく追加した命令

### 15.28.3 POLL (Poll and wait)

① 記述形式

POLL (オペランドなし)

② 命令語形式

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 7 | 0 |   |   |   |   |   |   |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 |

③ バイト数

1

④ 16ビット・ワード転送回数

なし

⑤ 機能

POLL 端子がアクティブ (ロウ・レベル) になるまで CPU をウェイト状態にします。

⑥ フラグの動作

なし

⑦ 記述例

POLL

⑧ 注意

POLL 命令の直前に BUSLOCK 命令を置くことはできません。

P14 が入力ポートとして設定されているとき POLL 命令は有効です。

その他の場合は、POLL 端子は常時アクティブ (ロウ・レベル) と見なされます。

## 15.28.4 DI (Disable Interrupt)

① 記述形式

DI (オペランドなし)

② 命令語形式

|   |   |
|---|---|
| 7 | 0 |
| 1 | 1 |
| 1 | 1 |
| 1 | 1 |
| 0 | 1 |
| 0 | 0 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 4               | 4               | 4               | 4               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

IE←0

IEフラグをリセットし、マスカブル割り込みを禁止します。

この命令によって外部ノンマスカブル割り込み入力(NMI)およびソフトウェア割り込み命令は禁止されません。

⑦ フラグの動作

| IE |
|----|
| 0  |

⑧ 記述例

・DI

PUSH R

15.28.5 EI (Enable Interrupt)

① 記述形式

EI (オペランドなし)

② 命令語形式

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 12              | 12              | 12              | 12              |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

IE←1

IEフラグをセットし、マスカブル割り込みを許可します。

⑦ フラグの動作

|    |
|----|
| IE |
| 1  |

⑧ 記述例

・POP R

EI

15.28.6 BUSLOCK (Bus Lock Prefix)

① 記述形式

BUSLOCK (オペランドなし)

② 命令語形式

|   |                 |
|---|-----------------|
| 7 | 0               |
| 1 | 1 1 1 1 0 0 0 0 |

③ バイト数

1

④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

⑤ 16ビット・ワード転送回数

なし

⑥ 機 能

この命令に続く1命令を実行している間ホールド要求が禁止されます。従って、上述のブロック処理等の途中でホールド要求を受け付けたくない場合、この命令を用いると有効です。

⑦ フラグの動作

なし

⑧ 記述例

BUSLOCK  
REP  
MOVBKB

⑨ 注 意

BUSLOCK命令をPOLL命令の直前に置くことはできません。

# 15.28.7 FPO1 (Floating Point Operation 1)

## (1) register

### ① 記述形式

FPO1 fp-op

### ② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 7 | 3 | 2 | 0 | 7 | 6 | 5 | 3 | 2 | 0 |   |   |   |   |   |   |
| 1 | 1 | 0 | 1 | 1 | X | X | X | 1 | 1 | Y | Y | Y | Z | Z | Z |

### ③ バイト数

2

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | 60+10・T         | 48+10・T         |
| V35 |                 |                 | 55+5・T          | 43+5・T          |

### ⑤ 16ビット・ワード転送回数

5

### ⑥ 機 能

(SP-1, SP-2) ← PSW

(SP-3, SP-4) ← PS

(SP-5, SP-6) ← PC-x<sup>注</sup>

SP ← SP-6

IE ← 0

BRK ← 0

PC ← (01DH, 01CH)

PS ← (01FH, 01EH)

PSW, PS, PC-x<sup>注</sup> をスタックに退避し, IEとBRKフラグをリセット(0)します。  
次に割り込みベクタ・テーブルのベクタ7の下位2バイトをPCに, 上位2バイトをPSにロードします。

この命令はμPD70108, 70116との互換性を保つために用意された命令です。  
μPD70322, 70320としては特に機能的に意味を持たず割り込み発生のみ行います  
(4.9.3 参照)。

注 xは命令のバイト数+プリフィクスの数

⑦ フラグの動作

| IE | BRK |
|----|-----|
| 0  | 0   |

⑧ 記述例

- FPO1 010101010B
- FPO1 101010101B
- FPO1 0FFH

## (2) メモリ

### ① 記述形式

FPO1 fp-op.mem

### ② 命令語形式

|            |   |   |   |   |   |   |             |     |   |   |   |     |
|------------|---|---|---|---|---|---|-------------|-----|---|---|---|-----|
| 7          | 8 | 2 | 0 | 7 | 6 | 5 | 8           | 2   | 0 |   |   |     |
| 1          | 1 | 0 | 1 | 1 | X | X | X           | mod | Y | Y | Y | mem |
| 7          | 0 |   |   |   |   |   | 7           | 0   |   |   |   |     |
| (disp-low) |   |   |   |   |   |   | (disp-high) |     |   |   |   |     |

### ③ バイト数

2 / 3 / 4

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理         |                   |
|-----|-----------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | —               | —               | $60 + 10 \cdot T$ | $48 + 10 \cdot T$ |
| V35 |                 |                 | $55 + 5 \cdot T$  | $43 + 5 \cdot T$  |

### ⑤ 16ビット・ワード転送回数

5

### ⑥ 機 能

(SP-1, SP-2) ← PSW

(SP-3, SP-4) ← PS

(SP-5, SP-6) ← PC-x<sup>注</sup>

SP ← SP-6

IE ← 0

BRK ← 0

PC ← (01DH, 01CH)

PS ← (01FH, 01EH)

PSW, PS, PC-x<sup>注</sup>をスタックに退避し, IEとBRKフラグをリセット(0)します。

次に割り込みベクタ・テーブルのベクタ7の下位2バイトをPCに, 上位2バイトをPSにロードします。

この命令はμPD70108, 70116との互関性を保つために用意された命令です。  
μPD70322, 70320としては特に機能的に意味を持たず割り込み発生のみ行います  
(4.9.3参照)。



注 x は命令のバイト数+プリフィクスの数

⑦ フラグの動作

| IE | BRK |
|----|-----|
| 0  | 0   |

⑧ 記述例

- FPO1 6, BYTE PTR[IX]
- FPO1 4, WORD\_VAR

## 15.28.8 FPO2 (Floating Point Operation 2)

### (1) register

#### ① 記述形式

FPO2 fp-op

#### ② 命令語形式

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 7 |   |   |   |   |   |   |   | 0 | 7 | 6 | 5 |   |   |   |   | 8 | 2 |   |   | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | X | 1 | 1 | Y | Y | Y | Z | Z | Z | Z | Z | Z | Z | Z |

#### ③ バイト数

2

#### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | —               | —               | $60+10 \cdot T$ | $48+10 \cdot T$ |
| V35 |                 |                 | $55+5 \cdot T$  | $43+5 \cdot T$  |

#### ⑤ 16ビット・ワード転送回数

5

#### ⑥ 機 能

(SP-1, SP-2) ← PSW

(SP-3, SP-4) ← PS

(SP-5, SP-6) ← PC-x<sup>注</sup>

SP ← SP-6

IE ← 0

BRK ← 0

PC ← (01DH, 01CH)

PS ← (01FH, 01EH)

PSW, PS, PC-x<sup>注</sup>をスタックに退避し, IEとBRKフラグをリセット(0)します。

次に割り込みベクタ・テーブルのベクタ7の下位2バイトをPCに, 上位2バイトをPSにロードします。

この命令は $\mu$ PD70108, 70116との互換性を保つために用意された命令です。  
 $\mu$ PD70322, 70320としては特に機能的に意味を持たず割り込み発生のみ行います  
 (4.9.3参照)。

注 xは命令のバイト数+プリフィクスの数

⑦ フラグの動作

| IE | BRK |
|----|-----|
| 0  | 0   |

⑧ 記述例

- FPO2 0101010B
- FPO2 1010101B

## ② メモリ

### ① 記述形式

FPO2 fp-op, mem

### ② 命令語形式

|     |   |   |   |   |   |   |     |
|-----|---|---|---|---|---|---|-----|
| 7   | 0 | 7 | 6 | 5 | 8 | 2 | 0   |
| 0   | 1 | 1 | 0 | 0 | 1 | 1 | X   |
| mod |   |   |   | Y | Y | Y | mem |

|            |   |             |   |
|------------|---|-------------|---|
| 7          | 0 | 7           | 0 |
| (disp-low) |   | (disp-high) |   |

### ③ バイト数

2 / 3 / 4

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理         |                   |
|-----|-----------------|-----------------|-------------------|-------------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可   | 内蔵RAM<br>アクセス禁止   |
| V25 | —               | —               | $60 + 10 \cdot T$ | $48 + 10 \cdot T$ |
| V35 |                 |                 | $55 + 5 \cdot T$  | $43 + 5 \cdot T$  |

### ⑤ 16ビット・ワード転送回数

5

### ⑥ 機 能

(SP-1, SP-2) ← PSW

(SP-3, SP-4) ← PS

(SP-5, SP-6) ← PC-x<sup>注</sup>

SP ← SP-6

IE ← 0

BRK ← 0

PC ← (01DH, 01CH)

PS ← (01FH, 01EH)

PSW, PS, PC-x<sup>注</sup>をスタックに退避し, IEとBRKフラグをリセット(0)します。

次に割り込みベクタ・テーブルのベクタ7の下位2バイトをPCに, 上位2バイトをPSにロードします。

この命令は $\mu$ PD70108, 70116との互関性を保つために用意された命令です。  
 $\mu$ PD70322, 70320としては特に機能的に意味を持たず割り込み発生のみ行います

( 4 . 9 . 3 参照 ).

注 xは命令のバイト数+プリフィクスの数

⑦ フラグの動作

| IE | BRK |
|----|-----|
| 0  | 0   |

⑧ 記述例

- FPO2 0101B, BYTE PTR[ IY ]
- FPO2 1010B, WORD\_VAR

15.28.9 NOP (No Operation)

- ① 記述形式  
NOP (オペランドなし)
- ② 命令語形式

|   |               |
|---|---------------|
| 7 | 0             |
| 1 | 0 0 1 0 0 0 0 |

- ③ バイト数  
1
- ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 4               | 4               | 4               | 4               |
| V35 |                 |                 |                 |                 |

- ⑤ 16ビット・ワード転送回数  
なし
- ⑥ 機 能  
何もせず4クロック費やします。
- ⑦ フラグの動作  
なし
- ⑧ 記述例  
NOP

## 15.29 セグメント・オーバーライド・プリフィクス

これは本来の命令とは異なりますが、機械語を生成します。

### ① 記述形式

DS0 :

DS1 :

PS :

SS :

### ② 命令語形式

|   |   |   |      |   |     |
|---|---|---|------|---|-----|
| 7 | 5 | 4 | 3    | 2 | 0   |
| 0 | 0 | 1 | sreg | 1 | 1 0 |

### ③ バイト数

1

### ④ クロック数

|     | バ イ ト 処 理       |                 | ワ ー ド 処 理       |                 |
|-----|-----------------|-----------------|-----------------|-----------------|
|     | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 | 内蔵RAM<br>アクセス許可 | 内蔵RAM<br>アクセス禁止 |
| V25 | 2               | 2               | 2               | 2               |
| V35 |                 |                 |                 |                 |

### ⑤ 16ビット・ワード転送回数

なし

### ⑥ 機 能

セグメント・オーバーライド可能なメモリ・オペランドをアクセスする際に、オペランドに付記してそのとき使用されるセグメント・レジスタを指定します。この命令を直接記述しなくとも、ASSUME（アセンブラ擬似命令）を使用することによって、セグメント・オーバーライド指定をアセンブラに行わせることができます。

### ⑦ フラグの動作

なし

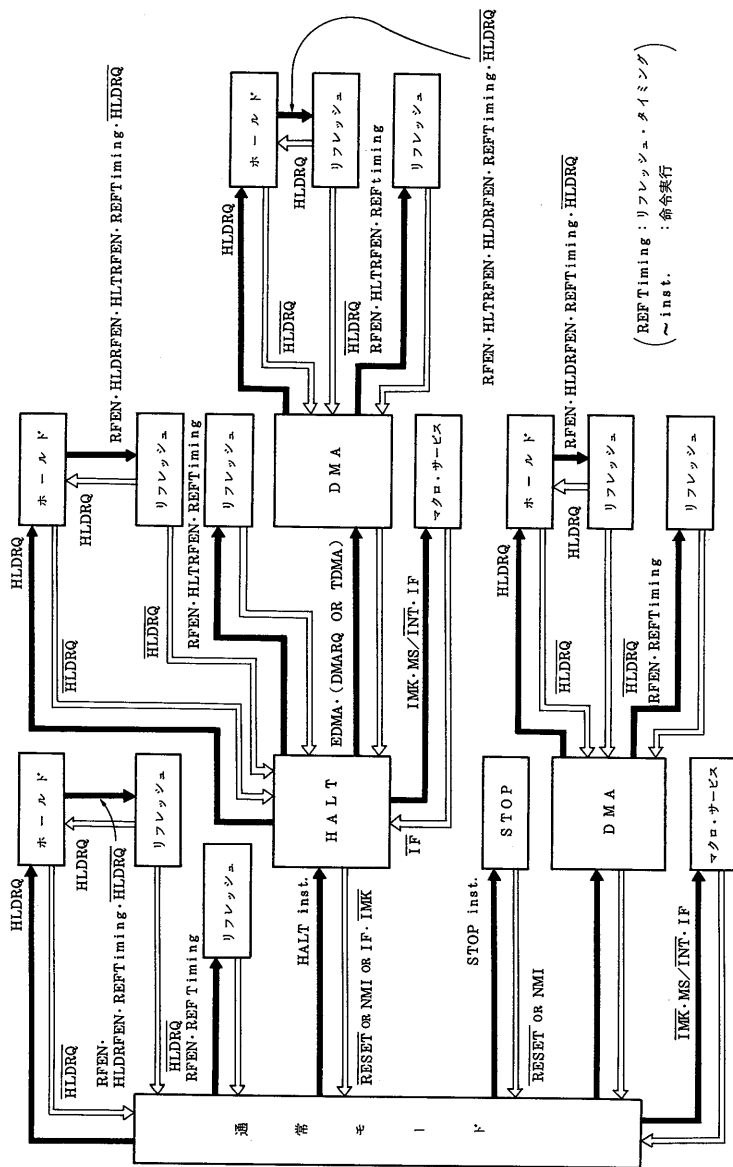
### ⑧ 記述例

・MOV DW,DS1:[BW] ;ディフォルトのセグメント・レジスタはDS0

## 第16章 動作状態の遷移

V25, V35 は、各動作モード（マクロ・サービス、DMA、リフレッシュ、ホールド、HALT、STOP）間を図16-1に示す条件と流れで、遷移します。





(REFTiming:リフレッシュ・タイミング)  
(~inst. :命令実行)

## 付録A 命令ニモニク・リスト

|         |                                 |
|---------|---------------------------------|
| ADD     | Add                             |
| ADD4S   | Add Nibble String               |
| ADDC    | Add with Carry                  |
| ADJ4A   | Adjust Nibble Add               |
| ADJ4S   | Adjust Nibble Subtract          |
| ADJBA   | Adjust Byte Add                 |
| ADJBS   | Adjust Byte Subtract            |
| AND     | And                             |
| BC      | Branch if Carry                 |
| BCWZ    | Branch if CW Equals Zero        |
| BE      | Branch if Equal                 |
| BGE     | Branch if Greater Than or Equal |
| BGT     | Branch if Greater Than          |
| BH      | Branch if Higher                |
| BL      | Branch if Lower                 |
| BLE     | Branch if Less Than or Equal    |
| BLT     | Branch if Less Than             |
| BN      | Branch if Negative              |
| BNC     | Branch if Not Carry             |
| ENE     | Branch if Not Equal             |
| BNH     | Branch if Not Higher            |
| BNL     | Branch if Not Lower             |
| BNV     | Branch if Not Overflow          |
| BNZ     | Branch if Not Zero              |
| BP      | Branch if Positive              |
| BPE     | Branch if Parity Even           |
| BPO     | Branch if Parity Odd            |
| BR      | Branch                          |
| BRK     | Break                           |
| BRKCS   | Break Context Switch            |
| BRKV    | Break if Overflow               |
| BTCLR   | Branch if True and Clear        |
| BUSLOCK | Bus Lock                        |
| BV      | Branch if Overflow              |
| BZ      | Branch if Zero                  |

|         |                                                |
|---------|------------------------------------------------|
| CALL    | Call                                           |
| CHKIND  | Check Index                                    |
| CLR1    | Clear Bit                                      |
| CMP     | Compare                                        |
| CMP4S   | Compare Nibble String                          |
| CMPBK   | Compare Block                                  |
| CMPBKB  | Compare Block Byte                             |
| CMPBKW  | Compare Block Word                             |
| CMPM    | Compare Multiple                               |
| CMPMB   | Compare Multiple Byte                          |
| CMPMW   | Compare Multiple Word                          |
| CVTBD   | Convert Binary to Decimal                      |
| CVTBW   | Convert Byte to Word                           |
| CVTDB   | Convert Decimal to Binary                      |
| CVTWL   | Convert Word to Long Word                      |
| DBNZ    | Decrement and Branch if Not Zero               |
| DBNZE   | Decrement and Branch if Not Zero and Equal     |
| DBNZNE  | Decrement and Branch if Not Zero and Not Equal |
| DEC     | Decrement                                      |
| DI      | Disable Interrupt                              |
| DISPOSE | Dispose                                        |
| DIV     | Divide Signed                                  |
| DIVU    | Divide Unsigned                                |
| DS0:    | Data Segment 0                                 |
| DS1:    | Data Segment 1                                 |
| EI      | Enable Interrupt                               |
| EXT     | Extract Bit Field                              |
| FINT    | Finish Interrupt                               |
| FPO1    | Floating Point Operation 1                     |
| FPO2    | Floating Point Operation 2                     |
| HALT    | Halt                                           |
| IN      | Input                                          |
| INC     | Increment                                      |
| INM     | Input Multiple                                 |
| INS     | Insert Bit Field                               |
| LDEA    | Load Effective Address                         |
| LDM     | Load Multiple                                  |
| LDMB    | Load Multiple Byte                             |
| LDMW    | Load Multiple Word                             |

|         |                                               |
|---------|-----------------------------------------------|
| MOV     | Move                                          |
| MOVBK   | Move Block                                    |
| MOVBKB  | Move Block Byte                               |
| MOVBKW  | Move Block Word                               |
| MOVSPA  | Move Stack Pointer After Context Switch       |
| MOVSPB  | Move Stack Pointer Before Task Switch         |
| MUL     | Multiply Signed                               |
| MULU    | Multiply Unsigned                             |
| NEG     | Negate                                        |
| NOP     | No Operation                                  |
| NOT     | Not                                           |
| NOT1    | Not Bit                                       |
| OR      | Or                                            |
| OUT     | Output                                        |
| OUTM    | Output Multiple                               |
| POLL    | Poll and wait                                 |
| POP     | Pop                                           |
| PREPARE | Prepare                                       |
| PS      | Program Segment                               |
| PUSH    | Push                                          |
| REP     | Repeat Block Operation                        |
| REPC    | Repeat Block Operation While Carry            |
| REPE    | Repeat Block Operation While Equal            |
| REPNC   | Repeat Block Operation While Not Carry        |
| REPNE   | Repeat Block Operation While Not Equal        |
| REPNZ   | Repeat Block Operation While Not Zero         |
| REPZ    | Repeat Block Operation While Zero             |
| RET     | Return                                        |
| RETI    | Return from Interrupt                         |
| RETRBI  | Return from Register Bank Switching Interrupt |
| ROL     | Rotate Left                                   |
| ROL4    | Rotate Left Nibble                            |
| ROLC    | Rotate Left with Carry                        |
| ROR     | Rotate Right                                  |
| ROR4    | Rotate Right Nibble                           |
| RORC    | Rotate Right with Carry                       |

|        |                        |
|--------|------------------------|
| SET1   | Set Bit                |
| SHL    | Shift Left Logical     |
| SHR    | Shift Right Logical    |
| SHRA   | Shift Right Arithmetic |
| SS:    | Stack Segment          |
| STM    | Store Multiple         |
| STMB   | Store Multiple Byte    |
| STMW   | Store Multiple Word    |
| STOP   | Stop                   |
| SUB    | Subtract               |
| SUB4S  | Subtract Nibble String |
| SUBC   | Subtract with Carry    |
| TEST   | Test                   |
| TEST1  | Test Bit               |
| TRANS  | Translate              |
| TRANSB | Translate Byte         |
| TSKSW  | Task Switch            |
| XCH    | Exchange               |
| XOR    | Exclusive-Or           |

## 付録B 命令索引 (アルファベット順)

| 命 令            | ページ | 命 令                          | ページ |
|----------------|-----|------------------------------|-----|
| ADD reg, reg'  | 278 | BNC short-label              | 564 |
| mem, reg       | 280 | BNE "                        | 566 |
| reg, mem       | 282 | BNH "                        | 567 |
| reg, imm       | 284 | BNL "                        | 564 |
| mem, imm       | 286 | BNV "                        | 561 |
| acc, imm       | 288 | BNZ "                        | 566 |
| ADD4S          | 313 | BP "                         | 570 |
| ADDC reg, reg' | 289 | BPE "                        | 571 |
| mem, reg       | 291 | BPO "                        | 572 |
| reg, mem       | 292 | BR near-label                | 554 |
| reg, imm       | 293 | short-label                  | 555 |
| mem, imm       | 294 | regptr16                     | 556 |
| acc, imm       | 296 | memptr16                     | 557 |
| ADJ4A          | 369 | far-label                    | 558 |
| ADJ4S          | 371 | memptr32                     | 559 |
| ADJBA          | 368 | BRK 3                        | 582 |
| ADJBS          | 370 | imm8                         | 584 |
| AND reg, reg'  | 394 | BRKCS reg16                  | 593 |
| mem, reg       | 395 | BRKV                         | 586 |
| reg, mem       | 396 | BTCLR sfr, imm3, short-label | 581 |
| reg, imm       | 397 | BUSLOCK                      | 600 |
| mem, imm       | 398 | BV short-label               | 560 |
| acc, imm       | 400 | BZ "                         | 565 |
| BC short-label | 562 | CALL near-proc               | 529 |
| BCWZ "         | 580 | regptr16                     | 531 |
| BE "           | 565 | memptr16                     | 532 |
| BGE "          | 574 | far-proc                     | 533 |
| BGT "          | 576 | memptr32                     | 534 |
| BH "           | 568 | CHKIND reg16, mem32          | 591 |
| BL "           | 562 | CLR1 reg8, CL                | 435 |
| BLE "          | 575 | mem8, CL                     | 436 |
| BLT "          | 573 | reg16, CL                    | 437 |
| BN "           | 569 | mem16, CL                    | 438 |

| 命 令                        | ページ | 命 令               | ページ |
|----------------------------|-----|-------------------|-----|
| CLR1 reg8, imm8            | 439 | DIVU mem8         | 354 |
| mem8, imm8                 | 440 | reg16             | 356 |
| reg16, imm4                | 441 | mem16             | 358 |
| mem16, imm4                | 442 | DS0:              | 610 |
| CY                         | 443 | DS1:              | 610 |
| DIR                        | 444 | EI                | 599 |
| CMP reg, reg'              | 376 | EXT reg8, reg8'   | 260 |
| mem, reg                   | 377 | reg8, imm4        | 262 |
| reg, mem                   | 378 | FINT              | 590 |
| reg, imm                   | 379 | FPO1 fp-op        | 601 |
| mem, imm                   | 380 | fp-op, mem        | 603 |
| acc, imm                   | 382 | FPO2 fp-op        | 605 |
| CMP4S                      | 317 | fp-op mem         | 607 |
| CMPBK src-block, dst-block | 248 | HALT              | 595 |
| CMPBKB                     | 248 | IN acc, imm8      | 264 |
| CMPBKW                     | 248 | acc, DW           | 266 |
| CMPM dst-block             | 250 | INC reg8          | 323 |
| CMPMB                      | 250 | mem               | 324 |
| CMPMW                      | 250 | reg16             | 325 |
| CVTBD                      | 372 | INM dst-block, DW | 272 |
| CVTBW                      | 374 | INS reg8, reg8'   | 256 |
| CVTDB                      | 373 | reg8, imm4        | 258 |
| CVTWL                      | 375 | LDEA reg16, mem16 | 234 |
| DBNZ short-label           | 579 | LDM src-block     | 252 |
| DBNZE "                    | 578 | LDMB              | 252 |
| DBNZNE "                   | 577 | LDMW              | 252 |
| DEC reg8                   | 326 | MOV reg, reg'     | 217 |
| mem                        | 327 | mem, reg          | 218 |
| reg16                      | 328 | reg, mem          | 219 |
| DI                         | 598 | mem, imm          | 220 |
| DISPOSE                    | 553 | reg, imm          | 221 |
| DIV reg8                   | 360 | acc, dmem         | 222 |
| mem8                       | 362 | dmem, acc         | 223 |
| reg16                      | 364 | sreg, reg16       | 224 |
| mem16                      | 366 | sreg, mem16       | 225 |
| DIVU reg8                  | 352 | reg16, sreg       | 226 |

| 命 令                        | ページ | 命 令                 | ページ |
|----------------------------|-----|---------------------|-----|
| MOV mem16, sreg            | 227 | OR reg, reg'        | 401 |
| DS0, reg16.mem32           | 228 | mem, reg            | 402 |
| DS1, reg16.mem32           | 230 | reg, mem            | 403 |
| AH, PSW                    | 232 | reg, imm            | 404 |
| PSW, AH                    | 233 | mem, imm            | 405 |
| MOVBK dst-block, src-block | 246 | acc, imm            | 407 |
| MOVBKB                     | 246 | OUT imm8, acc       | 268 |
| MOVBKW                     | 246 | DW, acc             | 270 |
| MOVSPA                     | 239 | OUTM DW, src-block  | 275 |
| MOVSPB reg16               | 240 | POLL                | 597 |
| MUL reg8                   | 336 | PQP mem16           | 546 |
| mem8                       | 338 | reg16               | 547 |
| reg16                      | 340 | sreg                | 548 |
| mem16                      | 342 | PSW                 | 549 |
| reg16, reg16', imm8        | 344 | R                   | 550 |
| reg16, mem16, imm8         | 346 | PREPARE imm16, imm8 | 551 |
| reg16, reg16', imm16       | 348 | PS:                 | 610 |
| reg16, mem16, imm16        | 350 | PUSH mem16          | 539 |
| MULU reg8                  | 329 | reg16               | 540 |
| mem8                       | 331 | sreg                | 541 |
| reg16                      | 333 | PSW                 | 542 |
| mem16                      | 334 | R                   | 543 |
| NEG reg                    | 385 | imm8                | 544 |
| mem                        | 386 | imm16               | 545 |
| NOP                        | 609 | REP                 | 243 |
| NOT reg                    | 383 | REPC                | 241 |
| mem                        | 384 | REPE                | 243 |
| NOT1 reg8, CL              | 426 | REPNC               | 242 |
| mem8, CL                   | 427 | REPNE               | 245 |
| reg16, CL                  | 428 | REPNZ               | 245 |
| mem16, CL                  | 429 | REPZ                | 243 |
| reg8, imm3                 | 430 | RET                 | 535 |
| mem8, imm3                 | 431 | pop-value           | 536 |
| reg16, imm4                | 432 |                     | 537 |
| mem16, imm4                | 433 | pop-value           | 538 |
| CY                         | 434 | RETI                | 588 |



| 命 令           | ページ | 命 令              | ページ |
|---------------|-----|------------------|-----|
| RETRBI        | 589 | SET1 mem16, imm4 | 453 |
| ROL reg, 1    | 489 | CY               | 454 |
| mem, 1        | 491 | DIR              | 455 |
| reg, CL       | 492 | SHL reg, 1       | 457 |
| mem, CL       | 494 | mem, 1           | 459 |
| reg, imm8     | 495 | reg, CL          | 460 |
| mem, imm8     | 497 | mem, CL          | 461 |
| ROL4 reg8     | 319 | reg, imm8        | 463 |
| mem8          | 320 | mem, imm8        | 465 |
| ROLC reg, 1   | 509 | SHR reg, 1       | 467 |
| mem, 1        | 511 | mem, 1           | 469 |
| reg, CL       | 512 | reg, CL          | 470 |
| mem, CL       | 514 | mem, CL          | 472 |
| reg, imm8     | 515 | reg, imm8        | 474 |
| mem, imm8     | 517 | mem, imm8        | 476 |
| ROR reg, 1    | 499 | SHRA reg, 1      | 478 |
| mem, 1        | 501 | mem, 1           | 480 |
| reg, CL       | 502 | reg, CL          | 481 |
| mem, CL       | 504 | mem, CL          | 483 |
| reg, imm8     | 505 | reg, imm8        | 485 |
| mem, imm8     | 507 | mem, imm8        | 487 |
| ROR4 reg8     | 321 | SS:              | 610 |
| mem8          | 322 | STM dst-block    | 254 |
| RORC reg, 1   | 518 | STMB             | 254 |
| mem, 1        | 520 | STMW             | 254 |
| reg, CL       | 521 | STOP             | 596 |
| mem, CL       | 523 | SUB reg, reg'    | 297 |
| reg, imm8     | 525 | mem, reg         | 298 |
| mem, imm8     | 527 | reg, mem         | 300 |
| SET1 reg8, CL | 446 | reg, imm         | 302 |
| mem8, CL      | 447 | mem, imm         | 303 |
| reg16, CL     | 448 | acc, imm         | 305 |
| mem16, CL     | 449 | SUB4S            | 315 |
| reg8, imm3    | 450 | SUBC reg, reg'   | 306 |
| mem8, imm3    | 451 | mem, reg         | 307 |
| reg16, imm4   | 452 | reg, mem         | 308 |

| 命 令    |             | ページ |
|--------|-------------|-----|
| SUBC   | reg, imm    | 309 |
|        | mem, imm    | 310 |
|        | acc, imm    | 312 |
| TEST   | reg, reg'   | 387 |
|        | mem, reg    | 389 |
|        | reg, imm    | 390 |
|        | mem, imm    | 391 |
|        | acc, imm    | 393 |
|        |             |     |
| TEST1  | reg8, CL    | 415 |
|        | mem8, CL    | 416 |
|        | reg16, CL   | 417 |
|        | mem16, CL   | 418 |
|        | reg8, imm3  | 419 |
|        | mem8, imm3  | 420 |
|        | reg16, imm4 | 422 |
|        | mem16, imm4 | 424 |
| TRANS  | src-table   | 235 |
| TRANSB |             | 235 |
| TSKSW  | reg16       | 594 |
| XCH    | reg, reg'   | 236 |
|        | mem, reg    | 237 |
|        | AW, reg16   | 238 |
| XOR    | reg, reg'   | 408 |
|        | mem, reg    | 409 |
|        | reg, mem    | 410 |
|        | reg, imm    | 411 |
|        | mem, imm    | 412 |
|        | acc, imm    | 414 |

## 付録C ハードウェア索引(アルファベット順)

| ハードウェア       |                           | ページ     | ハードウェア        |                              | ページ     |
|--------------|---------------------------|---------|---------------|------------------------------|---------|
| 略号           | 名称                        |         | 略号            | 名称                           |         |
| BRG0, BRG1   | ボー・レート・ジェネレータ・レジスタ0, 1    | 53, 186 | RFM           | リフレッシュ・モード・レジスタ              | 54, 121 |
| DAR          | デスティネーション・アドレス・レジスタ       | 141     | RxB0, RxB1    | 受信バッファ・レジスタ0, 1              | 53, 175 |
| DARH         | デスティネーション・アドレス・レジスタ・ハイ    | 141     | SAR           | ソース・アドレス・レジスタ                | 141     |
| DIC0, DIC1   | DMA割り込み要求制御レジスタ0, 1       | 54, 142 | SARH          | ソース・アドレス・レジスタ・ハイ             | 141     |
| DMAC0, DMAC1 | DMAコントロール・レジスタ0, 1        | 54, 139 | SCC0, SCC1    | シリアル制御レジスタ0, 1               | 53, 187 |
| DMAM0, DMAM1 | DMAモード・レジスタ0, 1           | 54, 138 | SCE0, SCE1    | シリアル・エラー・レジスタ0, 1            | 54, 188 |
| EMS0 - EMS2  | 外部割り込みマクロ・サービス制御レジスタ0 - 2 | 53      | SCHR          | サーチ・キャラクタ                    | 73      |
| FLAG         | ユーザ・フラグ・レジスタ              | 48, 54  | SCM0, SCM1    | シリアル・モード・レジスタ0, 1            | 53, 182 |
| IDB          | 内部データ領域ベース・レジスタ           | 52, 54  | SEIC0, SEIC1  | シリアル・エラー割り込み要求制御レジスタ0, 1     | 54, 190 |
| INTM         | 外部割り込みモード・レジスタ            | 53, 79  | SFRP          | 特殊機能レジスタ・ポインタ                | 73      |
| ISPR         | 割り込みプライオリティ・レジスタ          | 54, 78  | SRIC0, SRIC1  | シリアル受信割り込み要求制御レジスタ0, 1       | 54, 190 |
| MD0, MD1     | モジュロ/タイマ・レジスタ0, 1         | 54, 163 | SRMS0, SRMS1  | シリアル受信マクロ・サービス制御レジスタ0, 1     | 53, 191 |
| MSC          | マクロ・サービス・カウンタ             | 73      | STBC          | スタンバイ・コントロール・レジスタ            | 192     |
| MSP          | マクロ・サービス・ポインタ             | 73      | STIC0, STIC1  | シリアル送信割り込み要求制御レジスタ0, 1       | 54, 190 |
| MSS          | マクロ・サービス・セグメント            | 73      | STMS0, STMS1  | シリアル送信マクロ・サービス制御レジスタ0, 1     | 53, 191 |
| P0 - P2      | ポート0 - 2                  | 53, 150 | TBIC          | タイム・ベース割り込み要求制御レジスタ          | 54, 174 |
| PC           | プログラム・カウンタ                | 44      | TC            | ターミナル・カウンタ                   | 141     |
| PM0 - PM2    | ポート0 - 2モード・レジスタ          | 53, 150 | TM0, TM1      | タイマ・レジスタ0, 1                 | 54, 163 |
| PMC0 - PMC1  | ポート0 - 2モード・コントロール・レジスタ   | 53, 150 | TMC0, TMC1    | タイマ・コントロール・レジスタ0, 1          | 54, 165 |
| PMT          | ポートTモード・レジスタ              | 53, 159 | TMIC0 - TMIC2 | タイマ・ユニット割り込み要求制御レジスタ0 - 2    | 54, 171 |
| PRC          | プロセッサ・コントロール・レジスタ         | 54, 162 | TMMS0 - TMMS2 | タイマ・ユニット・マクロ・サービス制御レジスタ0 - 2 | 54, 171 |
| PSW          | プログラム・ステータス・ワード           | 44      | TxB0, TxB1    | 送信バッファ・レジスタ0, 1              | 53, 175 |
| PT           | ポートT                      | 53, 158 | WTC           | ウエイト・コントロール・レジスタ             | 54, 102 |

# 付録D マクロ・サービスとINTの競合に関する制限事項

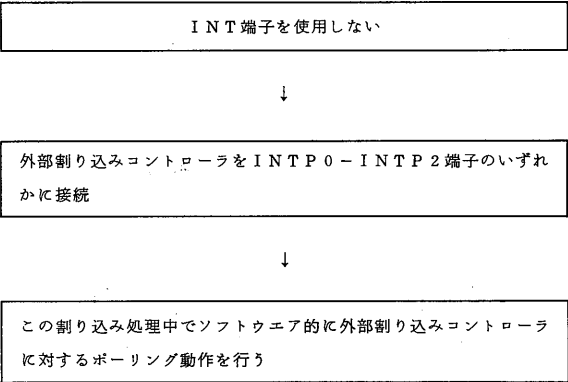
## D.1 制限事項内容

マクロ・サービス要求が、割り込み優先順位制御により保留されている状態でINT要求があった場合、保留されるべきマクロ・サービスが保留されずに先に実行されることがあります。

## D.2 回避方法

マクロ・サービス機能を使用するとき、この現象が貴社のシステムの動作に悪影響を及ぼす場合、INT入力を同時に使用しないでください。

外部割り込みコントローラ(μPD71059)を外付けし、かつ、マクロ・サービス機能を使用するとき、この現象が貴社システムの動作に悪影響を及ぼす場合、次のような手順で割り込み処理を行ってください。

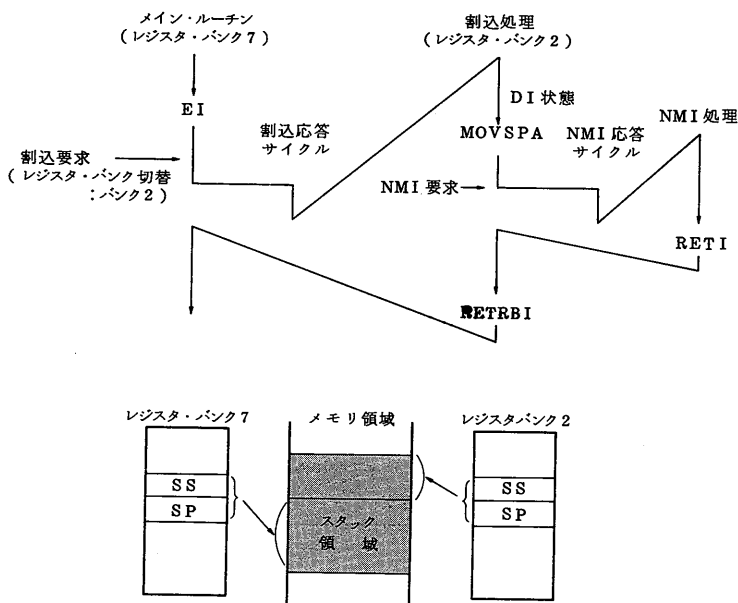


## 付録E MOVSPA命令の使用上の注意事項

### E.1 デバイスの動作説明(現象)

「非同期に発生する割り込みでレジスタ・バンク切り替えを行う場合、切り替え前後のレジスタ・バンクが連続のスタック領域を使用する」ような応用では、切り替え前後のレジスタ・バンク間でSS, SPをコピーするMOVSPA命令を利用することができます。この場合、切り替え後のレジスタ・バンクのプログラム処理の先頭でMOVSPA命令を実行することにより、レジスタ・バンク切り替え前後で使用されるスタック領域を連続させることができます(図E-1参照)。

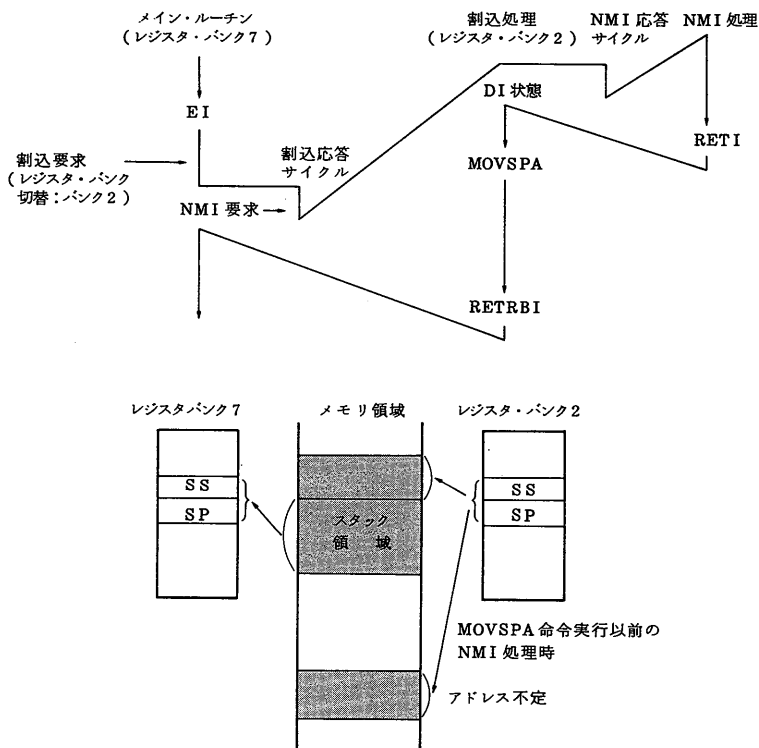
図E-1 正常動作時



ところが、レジスタ・バンク切り替えにより、応答する割り込み  $INT \times \times$  が受け付けられた直後に  $NMI$  要求があった場合、 $INT \times \times$  の処理ルーチンを実行する前に  $NMI$  が受け付けられるため、新しく切り替わったレジスタ・バンク中の  $SS$ 、 $SP$  で示されるスタック領域に対し、 $NMI$  受け付け時の  $PS$ 、 $PC$ 、 $PSW$  の退避が行われます。

このため、「 $MOVSPA$  命令により、切り替え前後のレジスタ・バンクのスタック領域を連続させる」ような応用では、レジスタ・バンク切り替えにより応答する割り込みが受け付けられた直後に  $NMI$  要求があった場合、 $SS$ 、 $SP$  のコピーの前に  $NMI$  が受け付けられ、不定なメモリ領域をスタック領域としてアクセス（書き込み）することになります（図 E-2 参照）。

図 E-2 異常動作時



## E.2 使用上の注意点(回避方法)

レジスタ・バンクの切り替えにより、応答する割り込みとNMIを同時に使用する場合、(1)、(2)のどちらかの方法により異常動作を回避してください。

- (1) MOVSPA命令を使用せず、割り込み発生により切り替わるレジスタ・バンクごとに、個別にスタック領域を設定する。
- (2) 以下の(a)、(b)の手順により、異常動作に対応するための予備用スタックを用意し、スタック領域が不定とならないようにする。
  - (a) あらかじめ、予備用スタックとして使用するための領域を確保しておき、初期化ルーチンにおいて、割り込み発生により切り替わるレジスタ・バンクSS、SPをその領域にセットしておく。<sup>注</sup>
  - (b) 切り替え後のレジスタ・バンクからもとのレジスタ・バンクへ復帰する直前に、(a)で設定した値をセットしておく。

注 (b)を行わない場合、2回目以降の割り込みの発生時に、再びスタック領域が不定となります。





## F.2 回避方法

以下の2点を実施してください。

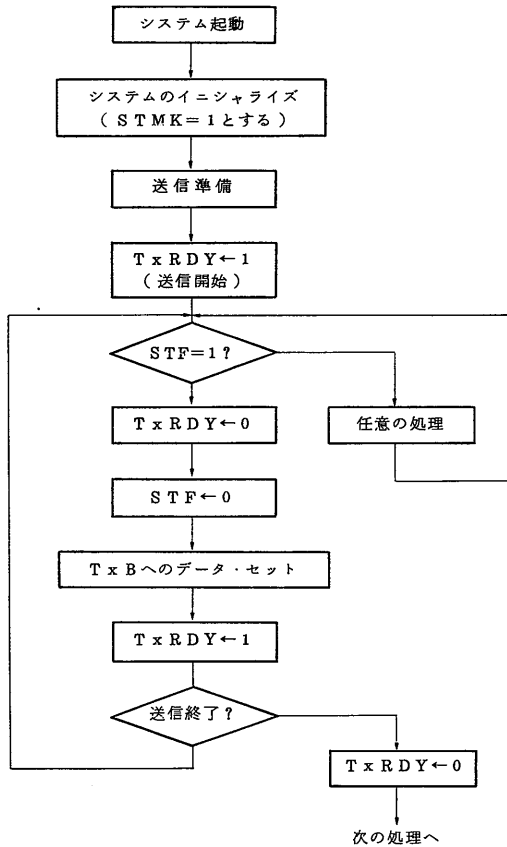
- (a) 送信完了割り込み（マクロ・サービスを含む）を使用し、かつ、送受信のハンドシェークを行う場合、C T S入力を使用せず、別の手段（汎用ポートのポーリングによるハンドシェーク、送受信キャラクタによるハンドシェークなど）でハンドシェークを行ってください。

C T S入力によるハンドシェークをどうしても行いたい場合、送信完了割り込みを使用せず、下記の手順でポーリングにより送信処理を行ってください。

- 1) システムのイニシャライズ後、T x R D Yフラグをセットする。（送信完了割り込みはマスクしておく。）
- 2) S T Fフラグをプログラムでポーリングし、セットされていれば、T x R D Yフラグをクリアする。
- 3) T x Bに送信データを書き込むとともに、S T Fフラグをクリアする。
- 4) T x R D Yフラグをセットする。

図F-1に処理フローの一例を示します。

図 F-1 回避処理フローの一例



- (b) 送信完了割り込み処理（送信完了割り込み処理に対し、ネスティングする可能性のある割り込み処理を含む）において、Tx B へ次の送信データを書き込む以前に TxRDY フラグをセットする命令を実行しないでください。

TxRDY フラグのセットは送信開始時にのみ行う操作であり、通常、送信動作中に TxRDY フラグをリセットおよびセットすることはないため、このような注意は必要ありません。

## 付録G 割り込みの優先順位と処理順序に関する注意事項

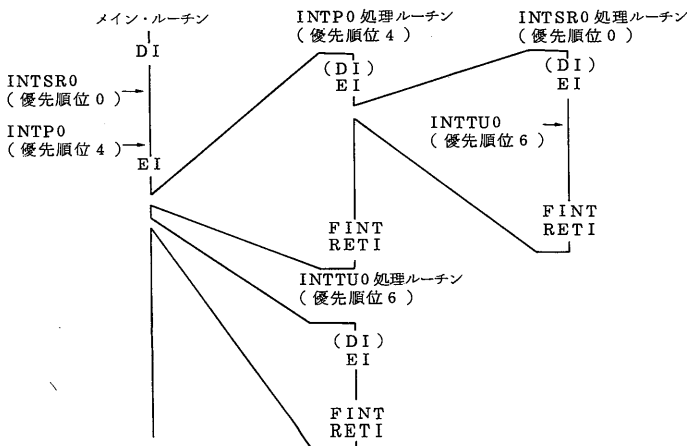
### デバイス動作と使用上の注意

CPUがD I状態からE I状態に遷移したとき、D I状態で保留されていた複数の割り込み要求のうち、ソフトウェアによってプログラマブルに指定される優先順位の低い割り込み要求が優先順位の高い割り込み要求より先に受け付けられる場合があります（発生タイミングは内部タイミングのみに依存するため、外部的に発生タイミングを限定できません）。

しかし、優先順位の低い割り込み処理中でE I命令を実行すると、優先順位に従った多重処理制御により、優先順位の高い割り込みも引き続き受け付けられます。したがって、優先順位の低い割り込み処理については、その先頭でE I命令を実行することにより処理中はE I状態となるようにしてください。

本来、優先順位の低い割り込み処理中はE I状態であるべきであり、優先順位の低い割り込み処理中でD I状態が長く続くと、その間に発生した高い優先順位の割り込み要求はその期間保留されるため、優先順位の設定が意味を持たなくなります。優先順位の低い割り込み処理中ではできるだけ早めにE I命令を実行することが必要です。

### 多重処理制御による正常処理の例



# アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] V25, V35 ユーザーズ・マニュアル

(IEM-967I (第10版), September 1991P)

[お名前など] (さしつかえない範囲で)

御社名 (学校名, その他) ( )  
 ご住所 ( )  
 お電話番号 ( )  
 お仕事の内容 ( )  
 お名前 ( )

## 1. ご評価 (各欄に○をご記入ください)

| 項 目           | 大変良い | 良 い | 普 通 | 悪 い | 大変悪い |
|---------------|------|-----|-----|-----|------|
| 全体の構成         |      |     |     |     |      |
| 説明内容          |      |     |     |     |      |
| 用語解説          |      |     |     |     |      |
| 調べやすさ         |      |     |     |     |      |
| デザイン, 字の大きさなど |      |     |     |     |      |
| そ の 他 ( )     |      |     |     |     |      |
| ( )           |      |     |     |     |      |

## 2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他) ( )

理由 [ ]

## 3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他) ( )

理由 [ ]

## 4. ご意見, ご要望

## 5. このドキュメントをお届けしたのは

NEC 販売員, 特約店販売員, NEC 半応技術部員, その他 ( )

ご協力ありがとうございました。

下記あてに FAX で送信いただくか, 最寄りの販売員にコピーをお渡しください。

NEC 半導体応用技術本部インフォメーションセンター

FAX : (044)548-7900



|      |    |     |        |     |   |       |    |    |   |      |     |        |
|------|----|-----|--------|-----|---|-------|----|----|---|------|-----|--------|
| 北海道  | 支店 | 旭川  | 11     | 231 | - | 0 161 | 立千 | 支店 | 川 | 0425 | 26  | 0911   |
| 青森県  | 支店 | 八戸  | (022)  | 261 | - | 5 511 | 千  | 支店 | 葉 | 0427 | 27  | 5441   |
| 岩手県  | 支店 | 盛岡  | (0196) | 51  | - | 4 344 | 川  | 支店 | 葉 | 054  | 255 | -      |
| 宮城県  | 支店 | 仙台  | (0236) | 23  | - | 5 511 | 千  | 支店 | 葉 | 0559 | 63  | 4455   |
| 秋田県  | 支店 | 秋田  | (0187) | 23  | - | 5 511 | 千  | 支店 | 葉 | 0563 | 63  | 4455   |
| 山形県  | 支店 | 山形  | (0246) | 21  | - | 5 511 | 千  | 支店 | 葉 | 0762 | 23  | 1621   |
| 福島県  | 支店 | いわき | (0259) | 36  | - | 2 155 | 千  | 支店 | 葉 | 0776 | 22  | 1866   |
| 茨城県  | 支店 | 水戸  | (0292) | 26  | - | 1 717 | 川  | 支店 | 葉 | 0764 | 31  | 8461   |
| 栃木県  | 支店 | 宇都宮 | (0283) | 26  | - | 1 717 | 千  | 支店 | 葉 | 0776 | 22  | 1866   |
| 群馬県  | 支店 | 高崎  | (0273) | 26  | - | 1 255 | 千  | 支店 | 葉 | 0764 | 31  | 8461   |
| 埼玉県  | 支店 | 大宮  | (0276) | 46  | - | 4 011 | 川  | 支店 | 葉 | 0822 | 24  | 5504   |
| 千葉県  | 支店 | 千葉  | (0286) | 21  | - | 2 281 | 千  | 支店 | 葉 | 0827 | 27  | 5313   |
| 東京都  | 支店 | 東京  | (03)   | 26  | - | 1 255 | 千  | 支店 | 葉 | 0827 | 27  | 5313   |
| 神奈川県 | 支店 | 横浜  | (0262) | 35  | - | 1 444 | 川  | 支店 | 葉 | 0878 | 36  | 1 2001 |
| 新潟県  | 支店 | 新潟  | (0263) | 35  | - | 1 666 | 千  | 支店 | 葉 | 0878 | 36  | 1 2001 |
| 富山県  | 支店 | 富山  | (0266) | 53  | - | 5 350 | 川  | 支店 | 葉 | 0899 | 45  | 2111   |
| 石川県  | 支店 | 金沢  | (076)  | 26  | - | 1 255 | 千  | 支店 | 葉 | 0931 | 41  | 2867   |
| 福井県  | 支店 | 福井  | (048)  | 64  | - | 1 411 | 川  | 支店 | 葉 | 0934 | 54  | 2867   |

(技術お問い合わせ先)

|                         |                                 |                  |
|-------------------------|---------------------------------|------------------|
| 半導体応用技術本部 第一応用システム技術部   | 〒108-01 東京都港区芝五丁目7番1号(日本電気本社ビル) | 東京(03)3798-6105  |
| 半導体応用技術本部 第二応用システム技術部   | 〒540 大阪市中央区城見一丁目4番24号(日本電気関西ビル) | 大阪(06)945-3383   |
| 半導体応用技術本部 第三応用システム技術部   | 〒460 名古屋市中区栄西丁目14番5号(松下中ビル)     | 名古屋(052)242-2762 |
| 半導体応用技術本部 マイコンコンピュータ技術部 | 〒210 川崎市幸区塚越三丁目484番地            | 川崎(044)548-8890  |

インフォメーションセンター  
FAX (044) 548-7900